


NRI-ER-617-JEAPN01-99-L

# طراحی و ساخت منبع ولتاژ بدون وقفه هوشمند ۲ کیلووات با قابلیت اصلاح ضریب توان ورودی و کنترل بار

رسول حقی

انتشارات پژوهشگاه نیرو

۱۳۹۹

**به نام خدا**

# پژوهشگاه نیرو

نام گزارش: مرحله اول فاز مطالعاتی پروژه طراحی و ساخت منبع ولتاژ بدون وقفه هوشمند ۲ کیلووات با قابلیت اصلاح ضریب توان ورودی و کنترل بار

کد گزارش-ویرایش:

**عنوان پروژه** : طراحی و ساخت منبع ولتاژ بدون وقفه هوشمند ۲ کیلووات با قابلیت اصلاح ضریب توان ورودی و کنترل بار

مدیر پروژه: محمد اسکویی

کارفرما:پژوهشگاه نیرو

**تهیه‌کننده: شرکت توان پژوهان رائین**

**تاریخ :**

## پیشگفتار

برخی از سیستم‌های حساس و مهم در منازل و اماکن عمومی یا در ادارات و کارخانه‌ها باید هنگام قطع برق شهر به طریقی از یک منبع تغذیه دیگر استفاده کنند و به کار خود ادامه دهند. منابع تغذیه‌ای که وظیفه تامین برق را در هنگام قطع برق شبکه به عهده دارند منابع تغذیه اضطراری نامیده می‌شوند. منابع تغذیه

اضطراری بسته به نوع سیستم مورد تغذیه، خصوصیات متفاوتی دارند. برخی از منابع برق اضطراری که از باطری برای تولید انرژی الکتریکی استفاده می‌کنند، فقط قادرند برای مدت محدودی (بسته به مقدار مصرف سیستم مورد تغذیه) برق آنرا تأمین نمایند، ولی برخی دیگر قادرند به مدت نامحدودی تا زمان وصل شدن مجدد برق شهر، برق اضطراری را تامین کنند. هدف از این پروژه، طراحی و ساخت یک منبع تغذیه بدون وقفه می باشد که به جای باطری های آن از باطری های خودروی برقی استفاده می شود. با انتخاب مصرف کننده باطری های خودرو میتوانند در حالت شارژ قرار گیرند. در این حالت، شبکه یا هر منبع تولید انرژی دیگر ( از قبیل سلول های خورشیدی و ... ) جهت شارژ باطری های خودرو عمل می کنند. در حالتی که برق قطع باشد یا حتی زمانیکه از لحاظ اقتصادی به صرفه است انرژی باطری در شبکه تزریق شود، باطری ها در مد دشارژ قرار می گیرند. در مد دشارژ باطری ها توان به شبکه انتقال می دهند و توان هر منبع تولید انرژی دیگر نظیر فتوولتائیک ها و ... اگر با مبدل هماهنگ باشد به شبکه منتقل می شود.

در این گزارش به نتایج حاصل از انجام فاز اول پروژه طراحی و ساخت منبع ولتاژ بدون وقفه هوشمند، ۲ کیلووات با قابلیت اصلاح ضریب توان ورودی و کنترل بار آورده شده است. هدف از این فاز، سه قسمت اصلی می باشد:

الف) جمع‌آوری مدارک و مستندات و مطالعه مراجع مربوطه. کتب و مقالات بسیاری که اخیراً در زمینه طراحی مفهومی اینورترهای با قابلیت عملکرد در مدهای متصل به شبکه و جدا از شبکه تألیف شده است که در ضمیمه این گزارش برخی از آن‌ها ارائه‌شده‌اند.

ب) مطالعه و بررسی استاندارد ها و استخراج آزمون ها و تعیین سامانه ها ی آزمون: در این گزارش استانداردهای مختلف از مراجع مختلف از جمله IEEE ، IEC، UL، ISO و ... تهیه شده اند و یک لیست طبقه بندی شده در فصل آخر از استانداردهای فوق آورده شده است. علاوه بر آن سامانه های آزمون نیز در فصل آخر به تفضیل آورده شده است.

ج) بررسی ساختارهای مختلف پیشنهادی و بررسی مزایا و معایب آنها: در این گزارش در ابتدا طبقه‌بندی انواع اینورتر آورده شده است، و مزایا و معایب هریک به تفضیل شرح داده شده است. برای بررسی مفهومی هریک از اینورترهای مذکور، تحلیل و روابط ریاضی ارائه‌شده‌اند که درنهایت به یک مدل ریاضی برای اینورتر منجر شده است. رابطه‌های ریاضی نشان‌دهنده میزان تغییرات هریک از پارامترهای مبدل در اثر تغییرات مشخصات المان‌های مبدل می‌باشند که کار را برای ایجاد یک تابع تبدیل مناسب که حساسیت‌های مبدل را به‌خوبی نشان دهد هموار می‌کند. پس‌ازآن با بررسی توابع تبدیل به‌دست‌آمده یک روش کنترلی مناسب برای کنترل مبدل در حالت پایدار ارائه می‌شود. حلقه کنترلی باعث ارائه عملکرد مناسب‌تر اینورتر می‌شود، هنگامی‌که در معرض اغتشاشات مختلف قرار می‌گیرد. بعد از طراحی مناسب کنترل‌کننده، ساختارهای مختلف از دیدگاه

مزایا و معایب و پاسخ گوئی مناسب به کنترل‌کننده مقایسه شده‌اند که درنهایت خروجی‌های حاصل از یک اینورتر در نرم‌افزار سیمولینک شبیه سازی شده و نتایج آن ارائه شده است. مهم‌ترین تحلیل قبل از وارد شدن به حوزه پیاده‌سازی، استفاده از نتایج شبیه‌سازی است تا میزان سعی و خطا برای رسیدن به خروجی‌های مناسب را کم‌تر کند. برای ساخت یک اینورتر اصولی که تمامی مشکلات ناشی از اتصال آن‌ها به شبکه و معضلات دیگر برخی استانداردها در این زمینه مطالعه شده است که در ضمیمه این گزارش آورده شده است. استانداردهای ارائه‌شده مربوط به استانداردهای سازگار با سیستم‌های اروپایی است که با شبکه برق ایران هماهنگ می‌باشند.

کارفرمای این پروژه پژوهشگاه نیرو با همکاری شرکت توان پژوهان رائین می باشد. و هزینه های آن مشترکاً بصورت مساوی بین هر دو تقسیم شده است.

مدیر پروژه جناب آقای مهندس محمد اسکوئی و مجری طرح مرکز توسعه فناوری خوردوی برقی می باشد.

ناظر پروژه جناب آقای مهندس روزبه بهزادی می باشد.

## فهرست مطالب

**عنوان** **صفحه**

**فصل اول ۱**
۱-۱) اصول عملکرد اینورتر ۳
۱-۲) جریان منبع DC ۶
**فصل دوم ۷**
۲-۱) تئوری اینورترهای چندسطحی ۸
۲-۲) انواع اینورترهای چندسطحی ۱۰
۲-۳-۱) اینورتر چندسطحی دیود کلمپ ۱۰
۲-۳-۲) اینورتر چندسطحی خازن شناور ۱۳
۲-۳-۳) اینورتر چند سطحی با ساختار پل H سری ۱۵
۲-۳) مقایسه توپولوژیهای مختلف ۱۷
۲-۴) توپولوژی اینورترهای چندسطحی تعمیم‌یافته ۱۸
۲-۵-۱) اینورتر چندسطحی با سوئیچینگ نرم ۱۹
۲-۵-۲) اتصال پشت‌به‌پشت اینورتر دیود کلمپ ۲۰
۲-۵-۳) توپولوژی چندسطحی مرکب ۲۱
۲-۶- مقایسه اینورترهای مرسوم با اینورتر کاسکد پلH ۲۲
**فصل سوم ۲۴**
۳-۲) روشهای مختلف کلیدزنی ۲۵
۳-۲-۱) مدولاسیون تکی عرض پالس ۲۶
۳-۲-۲) روش مدولاسیون عرض پالس سینوسی ۲۸
۳-۲-۳) روش PWM حداقل جریان ۳۲
۳-۲-۴) روش PWM سینوسی با کنترل جریان لحظه‌ای ۳۳
۳-۲-۵) کنترل جریان PWM باند هیسترزیس ۳۴
۳-۲-۶) مدولاسیون پهنای پالس شیفت فاز ۳۶
۳-۲-۷) مدولاسیون پهنای پالس مبتنی بر موجهای چندحاملی ۳۸
۳-۲-۸) مدولاسیون PWM هارمونیک فرعی ۳۹
۳-۲-۹) تکنیک SFO-PWM ۴۳
۳-۳) افزایش فرکانس کلیدزنی در شاخص مدولاسیون پائین ۴۶

۳-۴) روشهای مختلف بهینه سازی ..... ۴۹
۳-۴-۱) الگوریتم PSO ..... ۵۰
۳-۴-۱-۱) استراتژی الگوریتم بهینه سازی گروه ذرات ..... ۵۲
۳-۴-۱-۲) مراحل الگوریتم PSO ..... ۵۴
۳-۴-۲- الگوریتم ژنتیک ..... ۵۵
۳-۴-۲-۱) ایده اصلی ..... ۵۷
۳-۴-۲-۲) اصول عملکرد الگوریتم ژنتیک ..... ۵۹
۳-۴-۲-۳) روشهای انتخاب ..... ۶۱
۳-۴-۲-۴) نقاط قوت الگوریتم ژنتیک ..... ۶۱
۳-۴-۲-۵) محدودیت‌های الگوریتم ژنتیک ..... ۶۲
۳-۴-۲-۶) چند نمونه از کاربردهای الگوریتمهای ژنتیک ..... ۶۲
۳-۴-۳) شبکه عصبی ..... ۶۲
۳-۴-۳-۱) شبکه های عصبی و کامپیوترهای معمولی ..... ۶۳
۳-۴-۳-۲) مزایای شبکه های عصبی ..... ۶۴
۳-۴-۳-۳) تفاوت‌های شبکه‌های عصبی با روش‌های محاسباتی متداول و سیستم‌های خبره ..... ۶۵
۳-۴-۳-۴) کاربردهای شبکه‌های عصبی ..... ۶۶
۳-۴-۴) شبکه SLFA ..... ۶۷
۳-۴-۴-۱) ایده اصلی SFLA ..... ۶۷
۳-۴-۴-۲) عملکرد SLFA ..... ۶۹

**فصل چهارم: ..... ۷۱**

۴-۱- اینورترهای با ساختار کاهش یافته ..... ۷۴
۴-۲- مقایسه قیمت دو اینورتر ۶ سوئیچه و ۴ سوئیچه ..... ۸۸
۴-۳- اینورترهای ماتریسی ..... ۸۹
۴-۴- مقایسه اینورتر چند سطحی با بست دیودی ..... ۹۴
۴-۵- اینورترهای منبع امپدانسی (ZSI) ..... ۹۹
۴-۶- عملکرد مبدل افزاینده با اصلاح ضریب توان ورودی با کنترل جریان به روش زمان خاموشی ثابت با مدولاسیون ولتاژ خط ..... ۱۰۳
۴-۶-۱- کنترل جریان به روش زمان خاموشی ثابت(FOT) ..... ۱۰۴
۴-۶-۲- پیاده سازی عملی کنترل کننده FOT ..... ۱۰۶
۴-۶-۳- بهبود ساختار کنترل کننده و معرفی روش مدولاسیون زمان خاموشی کلید با ولتاژ ورودی: ..... ۱۱۲
۴-۶-۴- بهبود اعوجاج جریان ورودی ..... ۱۱۳

۴-۶-۵- آشکارسازی اشباع‌شدن هسته سلف بوست: ۱۱۶
۴-۶-۶- طراحی پارامترهای مبدل ۱۱۷
۴-۶-۷- نتایج شبیه سازی ۱۲۲
**فصل پنجم ۱۲۷**
۵-۱- استانداردها ۱۲۸
۵-۲- سیستم های قدرت بدون وقفه (UPS)، روش تعیین عملکرد و الزامات آزمون ۱۳۴
۵-۲-۱- شرایط عمومی و محیط کارکرد ۱۳۸
۵-۲-۲- شرایط کاری غیر معمول که باید توسط خریدار مشخص شود ۱۴۱
۵-۲-۳- شرایط کاری الکتریکی و عملکرد ۱۴۲
۵-۲-۴- ایمنی تجهیزات ۱۴۶
۵-۲-۵- مشخصه های ورودی UPS ۱۴۷
۵-۲-۶- مشخصه ها و مقادیر اسمی ۱۴۹
۵-۲-۷- شرایط ورودی UPS که باید توسط خریدار تعیین شود ۱۵۰
۵-۲-۸- مشخصه های خروجی UPS ۱۵۰
۵-۲-۹- مشخصه ها و مقادیر اسمی خروجی ۱۵۴
۵-۲-۱۰-UPS تکی و مجموعهٔ UPS موازی با بای پس ۱۵۵
۵-۲-۱۱- الزامات عملکرد که باید توسط خریدار تعیین شود ۱۵۶
۵-۲-۱۲- مشخصه های مدار باتری و / یا مدار d.c. واسط UPS ۱۵۷
۵-۲-۱۳- کلیدهای UPS، مقادیر اسمی و عملکردی ۱۵۸
۵-۲-۱۴- آزمونهای الکتریکی UPS ۱۵۹
۵-۲-۱۵- آزمونهای واحدهای عمل کنندهٔ UPS (در صورت کاربرد) ۱۶۱
۵-۲-۱۶- آزمونهای تجهیزات کنترل کننده و نشان دهنده ۱۶۲
۵-۲-۱۷- آزمونهای باتری ۱۶۲
۵-۲-۱۸- آزمونهای نوعی مشخصه های اعلام شده توسط سازنده برروی یک مجموعه UPS ۱۶۳
۵-۲-۱۹- آزمون برگشت ولتاژ ۱۶۳
۵-۲-۲۰- آزمون سازگاری الکترومغناطیسی ۱۶۳
**فصل ششم ۱۶۴**
۶-۱- نتیجه گیری ۱۶۵
**مراجع: ۱۶۷**

# فهرست شکل‌ها

**عنوان** **صفحه**

شکل(۱-۱): اینورتر نیم‌پل تک‌فاز ۴
شکل(۱-۲): اینورتر تمام پل تک فاز ۵
شکل (۲-۱) : درایو موتور الکتریکی مبتنی بر یک مبدل چند سطحی ۹
شکل (۲-۲) : اینورتر با دیود کلمپ شده ۱۱
شکل (۲-۳) : ساختار خازن شناور ۱۴
شکل (۲-۴) : اینورتر پل H سری ۱۷
شکل (۲-۵) : توپولوژی سلول‌های چند سطحی Generalized ۱۹
شکل (۲-۶) : مدار کلیدزنی در ولتاژ صفر اینورتر خازن – شناور ۲۰
شکل (۲-۷) : اتصال سری– موازی به سیستم الکتریکی دو اینورتر پشت‌به‌پشت ۲۱
شکل (۲-۸): توپولوژی چندسطحی مرکب ۲۲
شکل (۲-۹): مقایسه اینورترهای دیودکلمپ، خازن‌شناور، P2 و کاسکد ازنظر تعداد قطعات به‌کاررفته در ساختار فیزیکی بر اساس تعداد سطوح مختلف ۲۳
شکل (۳-۱): طبقه‌بندی روش‌های مدولاسیون چندسطحی ۲۵
شکل(۳-۲): مدولاسیون تکی عرض پالس ۲۷
شکل(۳-۳): شکل هارمونیک مدولاسیون عرض پالس منفرد ۲۸
شکل (۳-۴) : اساس روش PWM سینوسی برای اینورتر پل سه فاز ۲۹
شکل (۳-۵) : بلوک دیاگرام کنترل روش PWM سینوسی با کنترل جریان لحظه‌ای ۳۳
شکل (۳-۶) : بلوک دیاگرام کنترل PWM باند هیسترزیس ۳۴
شکل (۳-۷) : اساس کنترل جریان باند هیسترزیس ۳۵
شکل (۳-۸) : سیگنال‌های اینورتر سه‌سطحی به‌ازای Mf های فرد ۳۷
شکل (۳-۹) : سیگنال‌های اینورتر سه‌سطحی به‌ازای Mf های زوج ۳۸

شکل(۳-۱۰): شکل موج ولتاژ خط به خط با استفاده از منابع dc مستقل (۶۰ ولت) اینورتر چندسطحی کاسکد با دو تکنیک سوم PWM مبتنی بر موج حامل در شاخص مدولاسیون واحد در فرکانس 2kHz (الف) SPWM (ب) THPWM ..... ۳۹
شکل (۳-۱۱): روش کنترلی PD با $m_a=0.8$ و $m_f=24$..... ۴۱
شکل (۳-۱۲): روش کنترلی POD با $m_a=0.8$ و $m_f=24$..... ۴۲
شکل (۳-۱۳): روش کنترلی APOD با $m_a=0.8$ و $m_f=24$..... ۴۳
شکل (۳-۱۴): مجموعه موج‌های حامل و سیگنال مرجع سینوسی با شاخص مدولاسیون 0.8..... ۴۳
شکل (۳-۱۵): مدار آنالوگ معادل معادلات ۳-۱۶ الی ۳-۱۹..... ۴۴
شکل (۳-۱۶): نمایش موج‌های حامل و سیگنال مرجع در مدولاسیون SFO-PWM..... ۴۵
شکل (۳-۱۷): نمایش نحوه تعادل کلیدزنی در کلیدها توسط افزایش فرکانس موج‌های حامل..... ۴۵
شکل (۳-۱۸): نحوه جابجایی سیگنال مرجع در بین باندهای حامل برای شاخص مدولاسیون کمتر از 0.5..... ۴۷
شکل (۳-۱۹): نحوه جابجایی مطلوب سیگنال مرجع برای شاخص مدولاسیون کمتر از ۰,۳۳ و افزایش سه برابری فرکانس حامل..... ۴۷
شکل (۳-۲۰): نحوه جابجایی نامطلوب سیگنال مرجع برای شاخص مدولاسیون کمتر از ۰,۳۳ و افزایش سه برابری فرکانس حامل..... ۴۸
شکل (۳-۲۱): روند حرکت ذرات در یک گروه..... ۵۳
شکل(۳-۲۲): مقایسه پاسخ بهینه روش‌های ریاضی و بهینه‌سازی..... ۵۷
شکل(۳-۲۳) تقسیم‌بندی قسمت‌های مختلف یک کروموزوم..... ۵۸
شکل (۳-۲۴) تقسیم‌بندی قسمت‌های مختلف یک کروموزوم..... ۵۹
شکل (۳-۲۵): نحوه تولید نسل جدید..... ۶۰
شکل (۳-۲۶): محاسبه شایستگی F(I) برای عضو I..... ۶۹
شکل (۴-۱): اینورتر با ساختار منبع انشعابی..... ۷۵
شکل (۴-۲): اینورتر با توپولوژی انباره خازنی..... ۷۷
شکل (۴-۳): اینورتر نیم موج لینک DC متغیر..... ۷۸
شکل (۴-۴): اینورتر با آرایش ۶ سوئیچی..... ۷۹
شکل (۴-۵): آرایش اینورتر PWM DC-AC تمام موج ۴ سوئیچه برای موتور سه فاز..... ۷۹

شکل (۴-۶): تغذیه یک بار سه فاز از دو منبع ولتاژ با اختلاف‌فاز ۶۰ نسبت به یکدیگر ..... ۸۰
شکل (۴-۷): دیاگرام برداری شیفت فازی ۶۰ درجه ..... ۸۰
شکل (۴-۸): شکل موج‌های ولتاژ و جریان یک اینورتر چهار سوئیچی در درایو یک موتور القایی ..... ۸۲
شکل (۴-۹): شکل موج‌های واقعی از قبیل، BEMF فازی، جریان و گشتاور فازی موتور BLDC سه فاز با اینورتر چهارسوئیچه ..... ۸۳
شکل (۴-۱۰): پروفایل‌های ولتاژ و جریان موردنیاز موتور BLDC برای داشتن گشتاور ثابت ..... ۸۴
شکل (۴-۱۱): فلوی جریان فازها در مودهای مختلف درایو موتور BLDC با اینورتر ۴ سوئیچ ..... ۸۵
شکل (۴-۱۲): تنظیم جریان فازها و ترتیب کلیدزنی سوئیچ‌ها در درایو موتور BLDC با اینورتر ۴ سوئیچه ..... ۸۶
شکل (۴-۱۳): استراتژی کنترل مستقیم جریان PWM برای حذف اثر ولتاژ ضد محرکه فاز C ..... ۸۷
شکل (۴-۱۴): مدار معادل ساده‌شده درایو در مودهای کاری ۲ و ۵ ..... ۸۸
شکل (۴-۱۵): مبدل ماتریسی سه فاز ۳×۳ ..... ۹۰
شکل (۴-۱۶): جایگذاری یک اینورتر شش پله‌ای با یک اینورتر ماتریسی متصل شده به موتور BLDC ..... ۹۲
شکل (۴-۱۷): مبدل ماتریسی تک‌فاز به سه‌فاز ..... ۹۳
شکل (۴-۱۸): ساختار جدید مبدل ماتریسی با سوئیچ‌های کمتر ..... ۹۴
شکل (۴-۱۹): اینورتر NPC سه سطحی ..... ۹۶
شکل (۴-۲۰): حالات کلیدزنی سیگنال‌های گیت و ولتاژ پایانه اینورتر VAZ ..... ۹۷
شکل (۴-۲۱): دیاگرام تک‌فازی اینورترهای با بست دیودی ۴ و ۵ سطحی ..... ۹۸
شکل (۴-۲۲): اینورترهای منبع امپدانسی ..... ۱۰۲
شکل (۴-۲۳): ترکیب سری و موازی کلیدها با دیود در اینورترهای منبع امپدانسی ..... ۱۰۲
شکل (۵-۱): مشخصه‌های عملکردی پویای ولتاژ خروجی UPS ..... ۱۵۰
شکل (۵-۲): مثالی برای شکل موج ولتاژ خروجی غیر سینوسی ..... ۱۵۲

# فهرست جدول‌ها

**عنوان** **صفحه**

جدول (۲-۱) : حالات سوئیچ‌ها برای اینورتر شش سطحی دیود کلمپ..... ۱۳
جدول (۲-۲) : حالات سوئیچ‌ها برای اینورتر چهارسطحی خازن شناور..... ۱۵
جدول (۲-۳): روابط حاکم بر فاز a سلول‌های پل H..... ۱۶
جدول (۲-۴): مقایسه‌ی تعداد المان‌ها در ساختارهای مختلف اینورترهای چندسطحی..... ۱۸
جدول (۲-۵) تعداد قطعات به‌کاررفته در ساختار فیزیکی اینورترهای m سطحی با توپولوژی مختلف..... ۲۳
جدول (۳-۱) : خانواده‌ی هارمونیک‌های $I_a$ خروجی برای SPWM با$\omega_c/\omega=15$ ..... ۳۱
جدول (۳-۲) امکان افزایش فرکانس کلیدزنی برای شاخص‌های مدولاسیون..... ۴۸
جدول (۳-۳) : تفاوت‌های بنیادی روش محاسباتی متداول و شبکه‌های عصبی مصنوعی..... ۶۵
جدول (۴-۱): حالت‌های مختلف کاری اینورتر منبع انشعابی..... ۷۶
جدول(۴-۲): مودهای کاری، وضعیت فازها و جریان‌ها و ترتیب کلیدزنی سوئیچ‌ها در درایو BLDC با اینورتر چهار سوئیچه.. ۸۵
جدول (۴-۳): مقایسه قیمت دو اینورتر ۴ سوئیچه و ۶ سوئیچه برای کاربردهای توان پائین..... ۸۹
جدول (۴-۴): الگوریتم سوئیچینگ جهت تغذیه به موتور BLDC ..... ۹۴
جدول (۴-۵): تعریف حالات کلیدزنی..... ۹۶
جدول (۴-۶): موقعیت کلید و ولتاژ پایانه اینورتر VAN ..... ۹۹
جدول (۴-۷): تعداد عناصر در اینورترهای چند سطحی با بست دیودی..... ۹۹
جدول (۵-۱): استانداردهای بررسی شده در زمینه سیستم های برق بدون وقفه، ایمنی و حفاظت و زیرساخت ارتباطات ۱۲۸
جدول (۵-۲): ضرایب کاهش برای استفاده در ارتفاع بیش از ۱۰۰۰ متر..... ۱۳۸

# فصل اول

# مقدمه و کلیات

اینورترها کاربرد وسیعی در صنعت مانند موتورهای محرک AC با دور متغیر، گرم‌کننده‌های القایی، منابع تغذیه کمکی و منابع تغذیه بدون وقفه[1] دارند. ورودی اینورتر می‌تواند باتری، سلول سوختی، سلول خورشیدی و یا هر منبع DC دیگری باشد. خروجی اینورترهای تک فاز معمولاً برابر: ۱) ۱۲۰ولت با فرکانس ۶۰ هرتز، ۲) ۲۲۰ ولت با فرکانس ۵۰ هرتز، ۳) ۱۱۵ولت با فرکانس ۴۰۰ هرتز است. در سیستم-های سه فاز توان بالا، خروجی‌ها معمولاً برابر ۱) ۲۲۰ تا ۳۸۰ ولت با فرکانس ۵۰ هرتز، ۲) ۱۲۰ تا ۲۸۰ ولت با فرکانس ۶۰ هرتز، ۳) ۱۱۵ تا ۲۰۰ ولت با فرکانس ۴۰۰ هرتز می‌باشند[۷]. اینورترها معمولاً به دونوع کلی تک‌فاز و سه‌فاز تقسیم‌بندی می‌شوند. در هر نوع برحسب کاربردشان می‌توان از عناصر نیمه‌هادی قابل‌کنترل مانند ترانزیستورهای BJT ، MOSFET ، IGBT ، IGCT و تریستورهای GTO استفاده کرد[5-8]. اینورترها، معمولاً از سیگنال‌های کنترل PWM برای تولید ولتاژ خروجی استفاده می‌کنند. اگر ولتاژ ورودی اینورتر ثابت باشد اینورتر را تغذیه‌شده با ولتاژ ( VCI یا VFI) و اگر جریان ورودی آن ثابت باشد، آن را اینورتر تغذیه‌شده با جریان (CSI یا CFI) و اگر ولتاژ ورودی آن قابل‌کنترل باشد آن را اینورتر با رابط DC متغیر نامند[۶].

امروزه استفاده از اینورترهای چندسطحی[2] در سلول‌های خورشیدی، نیروگاه بادی و پیل‌های سوختی رو به افزایش است، لذا کاهش هارمونیک در این مبدل‌ها از اهمیت ویژه‌ای برخوردار است. در این گزارش سعی شده با انتخاب زاویه‌ی کلیدزنی بهینه به کمک الگوریتم جهش قورباغه، هارمونیک‌های انتخابی را حذف کرده و THD[3] خروجی کاهش داده شود[۴-۱]. معادله‌ی مشتق شده از THD ولتاژ خروجی اینورتر به‌عنوان یکی از توابع هدف در الگوریتم جهش قورباغه بیان‌شده و حداقل کردن آن هدف مسئله است. این روش در اینورترهای چندسطحی با هر تعداد سطح می‌تواند به‌کار گرفته شود. در این گزارش اینورتر ۱۱ سطحی تمام‌پل کسکید (Cascade) با منبع DC جداگانه مورد بررسی قرار گرفته است. نتایج شبیه‌سازی مؤید کارایی این الگوریتم در کاهش THD ولتاژ خروجی و حذف هارمونیک‌ها می‌باشد. اینورتر یک مبدل DC به AC است، که مبدل ولتاژ DC ورودی به ولتاژ AC خروجی و متقارن با دامنه و فرکانس مشخص است. ولتاژ خروجی دارای مقداری ثابت یا متغیر در فرکانس ثابت یا متغیر است. ولتاژ خروجی با تغییر ولتاژ DC ورودی و بهره ثابت اینورتر بدست می‌آید. از طرف دیگر اگر ولتاژ DC

[1] Uninterruptible Power Supply

[2] multilevel inverter

[3] Total harmonic distortion

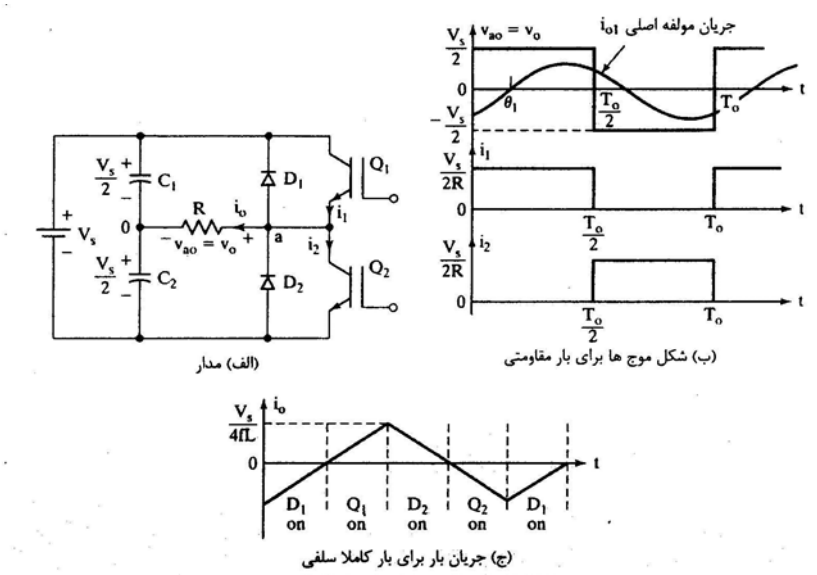
ورودی ثابت و قابل‌کنترل نباشد، می‌توان با تغییر بهره‌ی اینورتر، ولتاژ متغیر خروجی را تولید کرد که این کار توسط کنترل مدولاسیون عرض پالس (PWM)[1] انجام می‌شود. بهره‌ی اینورتر برابر نسبت ولتاژ AC خروجی به ولتاژ DC ورودی تعریف می‌شود. شکل موج‌های ولتاژ خروجی در اینورترهای ایدئال باید سینوسی باشد. باوجوداین، در اینورترهای واقعی این شکل موج‌ها غیر سینوسی بوده و شامل هارمونیک‌های مشخصی می‌باشند. در کاربردهای با توان متوسط و توان کم، ولتاژهای مربعی یا شبه مربعی قابل‌قبول است ولی در کاربردهای توان بالا لازم است شکل موج‌ها سینوسی با اعوجاج کم باشد[۲]. با استفاده از قطعات نیمه‌هادی قدرت سرعت‌بالا و روش‌های کلیدزنی می‌توان هارمونیک‌های ولتاژ خروجی را به‌طور قابل‌توجهی کاهش داد.

## ۱-۱) اصول عملکرد اینورتر

ساده‌ترین ساختار اینورتر، اینورتر تک‌فاز نیم‌پل است که یک شکل موج مربعی دوسطحی تولید می‌کند درحالی‌که اینورتر تک‌فاز تمام‌پل، شکل موج مربعی سه‌سطحی تولید می‌کند.

شکل ۱-۱ (الف) اصول کار اینورتر نیم‌پل را نشان می‌دهد. وقتی ترانزیستور Q1 به مدت T0/2 وصل است ولتاژ لحظه‌ای بار Vo برابر Vs/2 می‌شود. اگر ترانزیستور Q2 به مدت T0/2 وصل باشد ولتاژ -Vs/2 در دو سر بار ظاهر می‌شود. البته باید توجه داشت که مدار منطقی باید به‌گونه‌ای طراحی شود که Q1 و Q2 باهم وصل نشوند. شکل ۱-۱(ب) ، شکل موج‌های ولتاژ خروجی و جریان ترانزیستورها را به ازای بار مقاومتی نشان می‌دهد. این اینورتر به منبع dc سه‌سیمه نیاز دارد و وقتی ترانزیستور قطع باشد ولتاژ معکوس ترانزیستور برابر Vs (بجای Vs/2) خواهد بود. ولتاژ مؤثر خروجی برابر Vo=Vs/2 است[۱۰].

[1] Pulse-width modulation




شکل(۱-۱): اینورتر نیم‌پل تک‌فاز

به دلیل تقارن موج مربعی خروجی در امتداد محورx، هارمونیک‌های زوج ولتاژ خروجی برابر صفر می‌باشند، پس ولتاژ لحظه‌ای خروجی Vo برحسب سری فوریه به‌صورت رابطه‌ی (۱-۱) بیان می‌شود:

$$V_o = \sum_{n=1,3,5,\ldots}^{\infty} \frac{2V_s}{n\Pi} \sin n\omega t \quad ;\omega = 2\Pi f_0 \qquad (۱-۱)$$

به ازای n=1 مقدار مؤثر مؤلفه‌ی اصلی ولتاژ خروجی به‌صورت رابطه‌ی (۱-۲) محاسبه می‌شود:

$$V_{o1} = \frac{2V_s}{\sqrt{2}\Pi} = 0.45V_s \qquad (۱-۲)$$

در شکل ۱-۲(الف)، اصول کار اینورتر تمام‌پل تک‌فاز نمایش داده شده است. در این ترکیب وقتی ترانزیستورهای Q1 و Q2 هم‌زمان وصل شوند ولتاژ منبع Vs دو سر بار قرار می‌گیرد. اگر ترانزیستورهای Q3 و Q4 هم‌زمان وصل شوند ولتاژ بار معکوس شده و برابر Vs- می‌شود. شکل موج‌های خروجی در شکل ۱-۲(ب) نشان داده‌شده‌اند. وابسته به اینکه کدام ترکیب از کلیدهای بالا و پایین از دو ساق مدار وصل یا قطع باشند حالت‌های مختلف کلیدزنی ایجاد می‌شوند. ولتاژ مؤثر خروجی در این مدار از رابطه‌ی (۱-۳) محاسبه می‌شود[۶]:

$$V_o = \sum_{n=1,3,5,...}^{\infty} \frac{4V_s}{n\Pi} \sin n\omega t \quad ; \omega = 2\Pi f_0 \qquad (۳-۱)$$

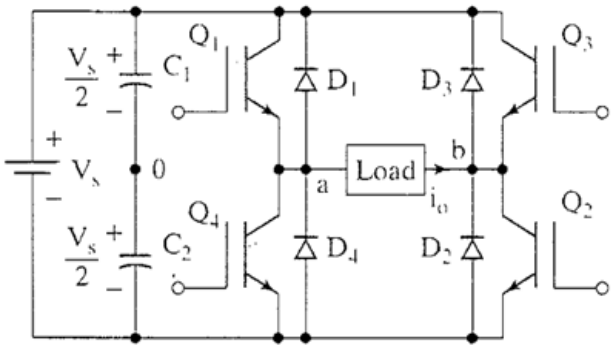
همچنین ولتاژ مؤثر خروجی Vo=Vs است. مقدار مؤثر مؤلفه‌ی اصلی ولتاژ خروجی برابر است با رابطه‌ی (۱-۴):

$$V_{o1} = \frac{4V_s}{\sqrt{2}\Pi} = 0.9V_s \qquad (۴-۱)$$

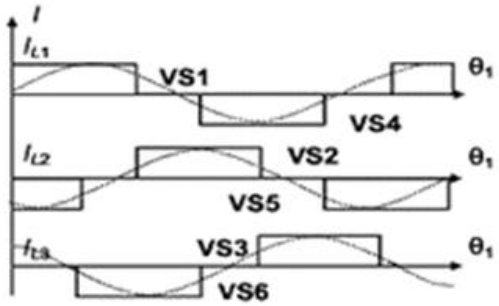
برای بار RL طبق رابطه‌ی ۱-۵ داریم :

$$I_o = \sum_{n=1,3,5,..}^{\infty} \frac{4V_s}{n\Pi\sqrt{R^2 + (n\omega L)^2}} \sin(n\omega t - \theta_n) \qquad (۵-۱)$$

$$\theta_n = \tan^{-1} nwL / R$$




(الف)




(ب)

شکل(۱-۲): اینورتر تمام پل تک فاز

## ۱-۲) جریان منبع DC

با فرض اینکه اینورتر تلفات ندارد، توان متوسط جذب‌شده توسط بار باید با توان متوسط تأمین‌شده توسط منبع DC برابر باشد. برای بارسلفی بحدکافی بزرگ همراه با فرکانس کلیدزنی بالا، جریان بار تقریباً سینوسی است و می‌توان توان بار را ناشی از مؤلفه‌ی اصلی ولتاژ AC خروجی یعنی Vo1 در نظر گرفت[9]. بعد از ساده‌سازی، جریان منبع DC به ترتیب در اینورتر نیم‌پل و تمام‌پل به‌صورت روابط (۱-۸) و (۱-۹) محاسبه می‌شود[۹]:

$$i_S(t) = \frac{V_{01}}{V_S} I_o \cos(\theta_1) \qquad (۱-۸)$$

$$i_S(t) = \frac{V_{01}}{V_S} I_o \cos(\theta_1) - \frac{V_{01}}{V_S} I_o \cos(2\omega t - \theta_1) \qquad (۱-۹)$$

که Vs ولتاژ ثابت منبع DC، Vo1 مؤلفه‌ی اصلی ولتاژ مؤثر خروجی، Io جریان مؤثر بار و θ1 زاویه‌ی بار در فرکانس اصلی می‌باشند.

همان‌گونه که مشاهده می‌شود در اینورتر تمام‌پل، هارمونیک مرتبه‌ی دوم به منبع ولتاژ تزریق می‌شود که برای حذف آن معمولاً خازن بزرگی در دو سر منبع ولتاژ وصل می‌شود.

در مقام مقایسه اینورتر نیم‌پل و تمام‌پل، اگرچه ولتاژ پیک سدی معکوس کلیدها و همچنین در کیفیت خروجی مشابه می‌باشند، ولی مؤلفه‌ی اصلی ولتاژ خروجی مبدل تمام‌پل دو برابر و توان خروجی آن چهار برابر مبدل نیم‌پل است.

# فصل دوم

# اینورترهای قدرت چند سطحی

پایه و اساس اینورترهای چندسطحی با سطوح کوچک ولتاژ برای تبدیل توان برای اولین بار، حدود ۳۰ سال پیش توسط یک محقق دانشگاه MIT مطرح شد. از مزایای استفاده از این راه‌حل برای طراحی اینورترهای قدرت، می‌توان به بالا رفتن کیفیت توان، سازگاری الکترومغناطیسی (EMC)[1] خوب، تلفات سوئیچینگ کمتر و امکان کار در ولتاژهای بالا اشاره کرد و از معایب این اینورترها می‌توان به تعداد زیاد نیمه‌هادی‌های مورد نیاز برای تولید سطوح ولتاژ کوچک‌تر حتی برای اینورترهای ولتاژ پائین اشاره کرد[۱۰-۱۴]. همچنین برای ایجاد این سطوح ولتاژ در طرف DC این اینورترها، نیاز به استفاده از بانک‌های خازنی و یا منابع ولتاژ ایزوله شده، می‌تواند موجب بالا رفتن هزینه‌های پیاده‌سازی عملی شود. از ابتدای ظهور تئوری اینورترهای چندسطحی ساختارهای مختلفی برای آن پیشنهاد شده است. اولین توپولوژی ارائه‌شده برای این اینورترها، ساختار پل H سری بود. پس‌ازآن ساختار اینورترهای چندسطحی با دیود کلمپ شده ارائه گردید. در این توپولوژی از بانک‌های خازنی سری استفاده می‌شود. بعدها ساختار اینورترهای با خازن شناور ارائه شدند[۱۵]. در سال‌های اخیر ساختارهای جدید و ساختارهای دیگری که از ترکیب توپولوژی‌های پایه به‌دست‌آمده‌اند، ارائه‌شده‌اند.

پیشرفت‌های سال‌های اخیر در الکترونیک قدرت، موجب عملی شدن راحت‌تر و اقتصادی شدن پیاده‌سازی این اینورترها شده است. همچنین مزایای خوب اینورترهای چندسطحی باعث شده است تا اکثر تولیدکنندگان درایوهای صنعتی به استفاده از آن‌ها و جدیدترین اختراعات در این زمینه و همچنین تازه‌ترین روش‌های سوئیچینگ روی بیاورند.

این فصل به شرح اصول اینورترهای چندسطحی و معرفی ساختارهای اصلی آن‌ها می‌پردازد.

## ۲-۱) تئوری اینورترهای چندسطحی

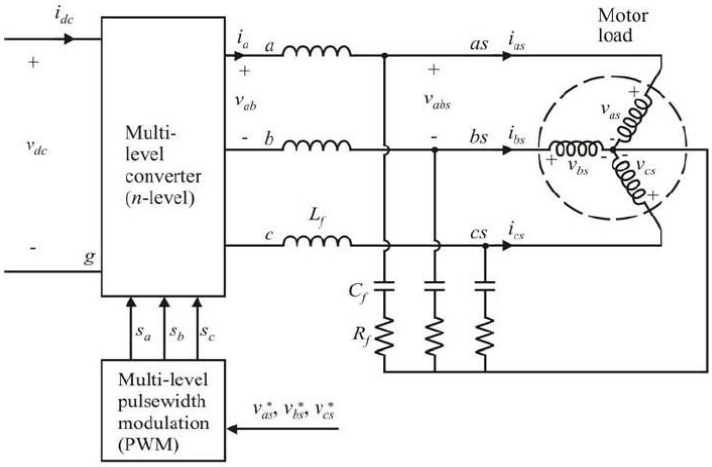
شکل (۲-۱) یک اینورتر چندسطحی با بار موتوری را نشان می‌دهد. اینورتر چندسطحی مفروض می‌تواند در فیلتر اکتیو موازی، جبران‌ساز استاتیکی توزیع[2] (D-STATCOM) و دیگر ادوات انتقال قدرت AC انعطاف‌پذیر (FACTs)[3] مورداستفاده قرار گیرد[۱۷]. از یک دیدگاه می‌توان اینورترهای چند

[1] Electromagnetic compatibility

[2] Distribution static compensator

[3] Flexible AC transmission system

سطحی را به‌عنوان جایگزینی برای اینورترهای معمولی مطرح کرد. مدار R-L-C که در خروجی اینورتر در شکل (۲-۱) مشاهده می‌شود، به‌عنوان فیلتر خروجی جهت بهبود عملکرد هارمونیکی در نظر گرفته شده است.




شکل (۲-۱) : درایو موتور الکتریکی مبتنی بر یک مبدل چند سطحی

$$\begin{bmatrix} v_{ag} \\ v_{bg} \\ v_{cg} \end{bmatrix} = \left( \frac{v_{dc}}{n-1} \right) \begin{bmatrix} s_a \\ s_b \\ s_c \end{bmatrix} \qquad (۱-۲)$$

Sa، Sb و Sc نشان‌دهنده حالات سوئیچینگ برای فازهای a و b و c هستند. برای شمول تمامی حالات سوئیچینگ، هر کدام از حالات سوئیچینگ می‌توانند عددی بین صفر تا (n-1) باشد. با فرض عملکرد صحیح، ولتاژهای خروجی خط به زمین اینورتر توسط رابطه (۲-۱) به دست می‌آیند[۱۷].

همان‌طور که در شکل (۲-۱) دیده می‌شود، یک مدار تولید پالس با استفاده از فیدبکی که از ولتاژهای خروجی به آن وارد می‌شود، سیگنال‌های سوئیچینگ لازم را تولید می‌کند. در مدارات عملی، سیگنال-های خروجی مدار مدولاتور، از خروجی ترانزیستورها و یا دیگر قطعات غیرایده‌آل حاصل می‌شوند و نیز به دلیل وجود بانک‌های خازنی در طرف DC، ممکن است مقادیر اندازه‌گیری شده قدری با مقادیر به‌دست‌آمده از روابط مطرح‌شده متفاوت باشند. ولتاژهای خط به زمین برای مقادیر مختلف n قابل‌محاسبه است. نتیجه فرآیند مدولاسیون سیگنال خروجی، یک موج سینوسی با هارمونیک‌های سوئیچینگ است. پرواضح است که افزایش مقدار n موجب شباهت هر چه بیشتر سیگنال خروجی به

سینوسی کامل و همچنین کاهش هارمونیک خواهد شد. همچنین ولتاژهای خط به نول را می‌توان با استفاده از ولتاژهای خط به زمین از رابطه‌ی (۲-۲) به دست آورد.

$$\begin{bmatrix} v_{an} \\ v_{bn} \\ v_{cn} \end{bmatrix} = \frac{1}{3}\begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix}\begin{bmatrix} v_{ag} \\ v_{bg} \\ v_{cg} \end{bmatrix} \quad (۲-۲)$$

ولتاژهای خط به خط از طریق رابطه‌ی (۲-۳) به ولتاژهای خط به زمین مربوط می‌شوند.

$$\begin{bmatrix} v_{ab} \\ v_{bc} \\ v_{ca} \end{bmatrix} = \begin{bmatrix} 1 & -1 & 0 \\ 0 & 1 & -1 \\ -1 & 0 & 1 \end{bmatrix}\begin{bmatrix} v_{ag} \\ v_{bg} \\ v_{cg} \end{bmatrix} \quad (۲-۳)$$

## ۲-۲) انواع اینورترهای چندسطحی

### ۲-۳-۱) اینورتر چندسطحی دیود کلمپ

اینورتر چندسطحی دیود کلمپ، سطوح ولتاژ چندگانه را با اتصال فازها به یک بانک خازنی سری تولید می‌کند. بر پایه اختراع اصلی، امکان افزایش تعداد سطوح ولتاژ تا عدد دلخواه با افزایش تعداد خازن‌ها وجود دارد. در طرح‌های ارائه شده ابتدائی، این نوع مبدل‌ها به سه سطح محدود شده بودند که در آن‌ها از دو خازن سری بهره گرفته شده بود. پس‌ازآن، توپولوژی اینورترهای با ترمینال نقطه خنثی توسعه یافت . البته اگر تعداد سطوح ولتاژ موردنظر زوج باشد، نیازی به اتصال نقطه خنثی نیست. با توجه به تمایل به متعادل بودن ولتاژ خازن‌ها معمولاً این توپولوژی به‌صورت سه‌سطحی به کار می‌رود. البته در برخی مقالات، تا شش سطح نیز مورد پیاده‌سازی قرار گرفته است. با توجه به کارایی بالای این توپولوژی برای سطوح ولتاژ متوسط، امروزه این ساختار به‌صورت گسترده در صنایع مورد بهره‌برداری قرار گرفته و به‌آسانی در بازار یافت می‌شود[۱۸].

مدار شماتیک این ساختار برای یک اینورتر n-سطحه در شکل (۲-۲) دیده می‌شود.

سیگنال‌های سوئیچ‌ها از حالات سوئیچینگ به‌وسیله رابطه‌ی (۲-۴) به دست می‌آید:

$$T_{ai} = \begin{cases} 1 & s_a \geq i \\ 0 & elsewise \end{cases} \qquad (۴-۲)$$

همچنین معکوس این رابطه می‌تواند به‌صورت رابطه‌ی(۲-۵) شود:

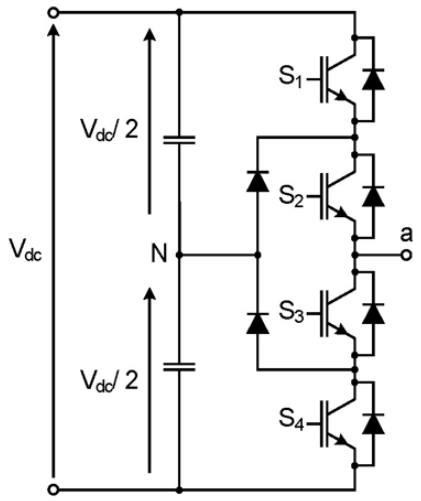
$$s_a = \sum_{i=1}^{n-1} T_{ai} \qquad (۵-۲)$$

حال برای ولتاژهای خط به زمین فاز a و جریان dc می‌توان طبق رابطه‌های (۲-۶) و (۲-۷) نوشت:

$$v_{ag} = \sum_{i=1}^{n-1} T_{ai} v_{ci} \qquad (۶-۲)$$

$$i_{adci} = \left[T_{a(i+1)} - T_{ai}\right] i_{as} \qquad for \quad i = 1,2,...,(n-2) \qquad (۷-۲)$$

این روابط می‌توانند در یک بلوک نرم‌افزار Mathlab SimuLink و یا هر نرم‌افزار شبیه‌سازی دیگر به‌صورت یک برنامه وارد شوند. برنامه‌نویسی با این روابط باعث می‌شود، شبیه‌سازی با در نظر داشتن تغییرات ولتاژ خازن‌ها انجام گیرد.




شکل (۲-۲) : اینورتر با دیود کلمپ شده

اگر به جزئیات بیشتر در شبیه‌سازی نیاز باشد، می‌توان روابط به‌دست‌آمده از قوانین بنیادی KVL و KCL را نیز در نظر داشت. استفاده از این روابط تحلیلی اجازه می‌دهد تا افت ولتاژ بر روی قطعات و

تلفات نیمه‌هادی‌ها و ولتاژها و جریان‌های مستقل قطعات نیز مدنظر قرار گیرند. در اینجا روابط تحلیلی حاکم بر اینورتر n-سطحی شکل (۲-۲) به‌عنوان نمونه ذکر می‌شوند.

با فرض ناچیز بودن افت ولتاژ بر روی دیودها ولتاژ سوئیچ‌ها به‌صورت رابطه‌ی (۲-۸) به‌دست می‌آید:

$$V_{Tai} = (1 - T_{ai}) v_{ci} + T_{ai} [I_a v_{sw} - (1 - I_a) v_d] \quad (۲-۸)$$

که در آن $V_{sw}$ و $V_d$ افت ولتاژهای سوئیچ‌های نیمه‌هادی و دیودها در حالت هدایت می‌باشند و Ia نمادی برای نشان دادن جهت جریان فاز a است. $I_a$ به‌صورت رابطه (۲-۹) تعریف می‌شود:

$$I_a = \begin{cases} 1 & i_{as} > 0 \\ 0 & elsewise \end{cases} \quad (۲-۹)$$

ولتاژ دیود کلمپ شده با نوشتن KVL در حلقه مربوطه به صورت رابطه (۲-۱۰) به دست می‌آید:

$$v_{Di} = \sum_{j=1}^{n-1} (v_{cj} + v_{Taj}) \quad (۲-۱۰)$$

با دقت در رابطه (۲-۱۰) و انجام محاسبات معلوم می‌شود که در این نوع مبدل، دیودهای درونی‌تر ولتاژ بیشتری را سد می‌کنند. این مسئله به‌عنوان یکی از معایب این ساختار مطرح است. ولتاژ فاز به زمین از رابطه (۲-۱۱) و جریان ترانزیستور از رابطه (۲-۱۲) و جریان دیودهای کلمپ نیز از رابطه‌ی (۲-۱۳) محاسبه می‌شوند[۱۹].

$$V_{ag} = \sum_{i=1}^{n-1} T_{ai} [v_{Tai} - I_a v_{sw} + (1 - I_a) v_d] \quad (۲-۱۱)$$

$$I_{Tai} = T_{ai} I_a i_{as} \quad (۲-۱۲)$$

$$i_{Dai} = i_{Ta(i-1)} - i_{Tai} \quad (۲-۱۳)$$

جدول (۲-۱) : حالات سوئیچ‌ها برای اینورتر شش سطحی دیود کلمپ

| ولتاژ خروجی فاز به نول | حالت سوئیچ | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|
| | $T_{a5}$ | $T_{a4}$ | $T_{a3}$ | $T_{a2}$ | $T_{a1}$ | $\overline{T_{a5}}$ | $\overline{T_{a4}}$ | $\overline{T_{a3}}$ | $\overline{T_{a2}}$ | $\overline{T_{a1}}$ |
| $5v_c$ | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| $4v_c$ | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| $3v_c$ | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 |
| $2v_c$ | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |
| $v_c$ | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |

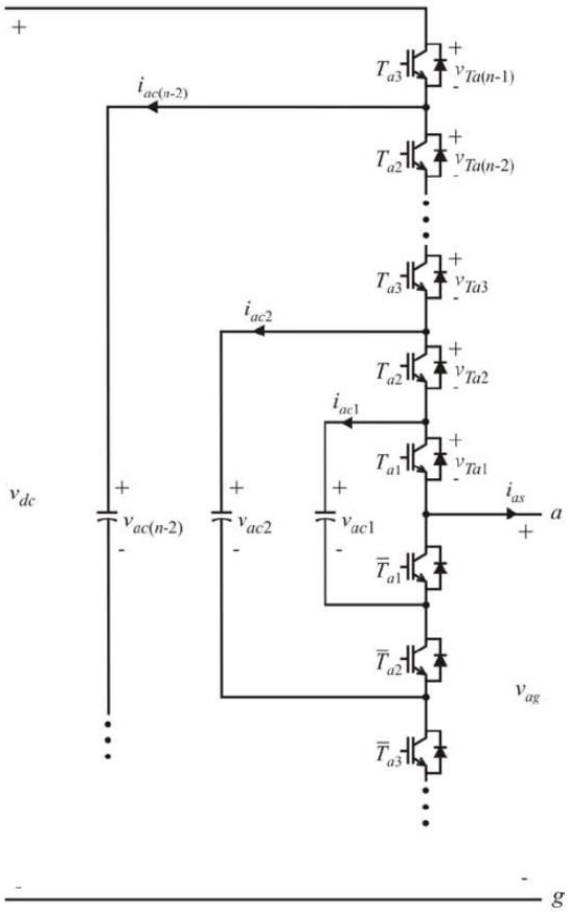
### ۲-۳-۲) اینورتر چندسطحی خازن شناور

یک ساختار پایه دیگر برای اینورترهای چندسطحی، توپولوژی خازن شناور است. در این ساختار خازن‌های سری به سلول‌های سوئیچینگ متصل شده است. این ساختار دارای ویژگی‌های منحصربه‌فرد و جذاب است و به دلیل شماری از مزایا مورد استقبال قرار گرفته‌اند[۲۰]. همچنین به نظر می‌رسد که در کاربردهای صنعتی توسعه اینورترهای با خازن‌های شناور به تعداد سطوح ولتاژ بالاتر در خروجی نسبت به اینورترهای دیود کلمپ راحت‌تر است. البته اینورترهای با خازن‌های شناور دارای معایبی همچون بانک‌های خازنی بزرگ، مدارهای تغذیه اضافی و نامتعادلی ولتاژ نیز هستند. اولین ویژگی، این اینورترها حذف نیاز به اتصال دیودهای متعدد در آن است. ویژگی دیگر خلاصه کردن منابع ولتاژ متعدد در یک منبع ولتاژ است. اینورتر چند سطحی خازن شناور به دلیل داشتن حالات کلیدزنی تکراری، توانایی تنظیم خودکار منابع ولتاژ DC را دارا بوده و نیاز به مدارات اضافه را مرتفع می‌سازد. مدار شماتیک کلی برای یک اینورتر n-سطحی از نوع خازن شناور در شکل (۲-۳) نشان داده شده است.

روابط تحلیلی حاکم بر مدار از قوانین بنیادی مدارهای الکتریکی به دست می‌آیند. برای یک اینورتر n-_سطحه ولتاژ ترانزیستورها به‌صورت رابطه‌ی (۲-۱۴) محاسبه می‌شود[۲۰]:

$$V_{Tai} = (1-T_{ai})[v_{aci} - v_{ac(i-1)} - I_a v_{sw} + (1-I_a)v_d] + T_{ai}[I_a v_{sw} - (1-I_a)v_d] \quad (۱۴-۲)$$

با به کار بردن رابطه‌ی (۲-۱۴) بیشترین و کمترین مقدار ولتاژ خازن‌ها Vac1=0 و Vac(n-1)= Vdc به‌دست می‌آید.




شکل (۲-۳) : ساختار خازن شناور[۲۰]

جریان دیودها و ترانزیستورها به‌صورت رابطه‌ی (۲-۱۵) و (۲-۱۶) به‌دست می‌آیند:

$$I_{Tai} = T_{ai} I_a i_{as} \quad (۱۵-۲)$$

$$i_{DTai} = i_{Ta}(1-I_a)i_{as} \quad (۱۶-۲)$$

جریان خازن‌ها با استفاده از قانون KCL از رابطه (۲-۱۷) محاسبه می‌شود:

$$i_{aci} = i_{Ta(i+1)} - i_{Tai} \quad (۱۷-۲)$$

حالات مختلف برای سوئیچ‌ها در جدول (۲-۲) آورده شده است.

جدول (۲-۲) : حالات سوئیچ‌ها برای اینورتر چهارسطحی خازن شناور

| حالت اینورتر | ولتاژ خروجی فاز به نول | $T_{a3}$ | $T_{a2}$ | $T_{a1}$ | $\overline{T}_{a3}$ | $\overline{T}_{a2}$ | $\overline{T}_{a1}$ |
|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| ۱ | $V_{ac1}$ | 0 | 0 | 1 | 1 | 1 | 0 |
| | $V_{ac2}-V_{ac1}$ | 0 | 1 | 0 | 1 | 0 | 1 |
| | $V_{dc}-V_{ac2}$ | 1 | 0 | 0 | 0 | 1 | 1 |
| 2 | $V_{ac2}$ | 0 | 1 | 1 | 1 | 0 | 0 |
| | $V_{dc}-V_{ac1}$ | 1 | 1 | 0 | 0 | 0 | 1 |
| | $V_{dc}-V_{ac2}+V_{ac1}$ | 1 | 0 | 1 | 0 | 1 | 0 |
| 3 | $V_{dc}$ | 1 | 1 | 1 | 0 | 0 | 0 |

### ۲-۳-۳) اینورتر چند سطحی با ساختار پل H سری

ساختار اینورتر پل H سری برای نخستین بار درسال ۱۹۷۵ میلادی ارائه شد[۲۳-۲۱]. ازآنجاکه این ساختار شامل سلول‌های سری است، امکان بهره‌برداری از آن در ولتاژها و توان‌های بالا مقدور است. بزرگ‌ترین عیب این ساختار، نیاز آن به تعداد زیادی ولتاژ ایزوله شده برای هر سلول است[۲۱].

بااین‌وجود برای افزایش کیفیت توان در سیستم‌های با سطح ولتاژ متوسط، می‌توان از ترانسفورماتورهای شیفت فاز بهره برد. یک اینورتر پل H دوسلولی در شکل (۲-۴) نشان داده شده است. این اینورتر شامل سلول‌های پل H به‌صورت سری است. هر سلول، به‌خودی‌خود، می‌تواند به‌عنوان یک اینورتر چندسطحی در نظر گرفته شود. زیرا هرکدام از این سلول‌ها می‌توانند سه‌سطح ولتاژی (ولتاژ صفر، ولتاژ dc منفی و ولتاژ dc مثبت) تولید کنند. جدول (۲-۳) روابط حاکم بر فاز a را برای یک سلول نشان می‌دهد.

جدول (۲-۳): روابط حاکم بر فاز a سلول‌های پل H

| $S_{aHi}$ | $T_{aLi}$ | $T_{aRi}$ | $V_{agi}$ |
|---|---|---|---|
| -1 | 0 | 1 | $-V_{adci}$ |
| 0 | 0 | 0 | 0 |
| | 1 | 1 | 0 |
| 1 | 1 | 0 | $+V_{adci}$ |

به دلیل تولید هر دو نوع ولتاژ مثبت و منفی توسط سلول‌های پل H، برای ولتاژ فاز حالت سوئیچینگ $S_{aHi}$ که می‌تواند پذیرای مقادیر منفی باشد، قابل تعریف است. روابط حاکم بر ولتاژهای سلول i را می‌توان به‌صورت (۲-۱۸) و (۲-۱۹) بیان کرد:

$$v_{agi} = (T_{aLi} - T_{aRi}) v_{dci} \qquad (۱۸-۲)$$

$$i_{adci} = (T_{aLi} - T_{aRi}) i_{as} \qquad (۱۹-۲)$$

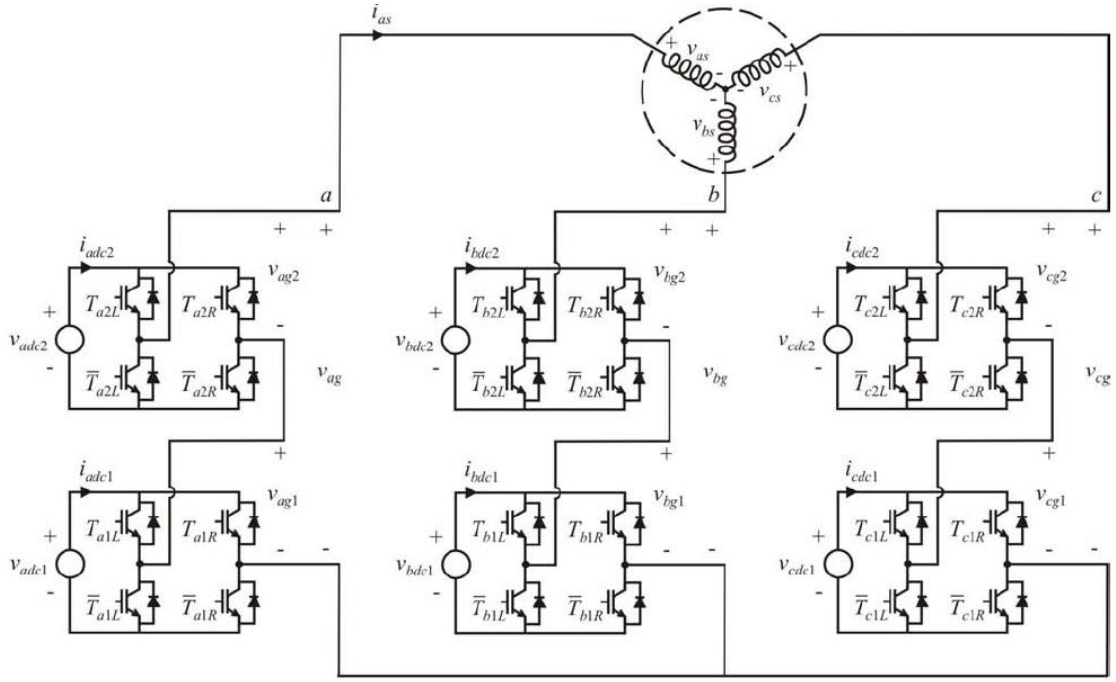
همچنین حالت سوئیچینگ هر سلول با رابطه‌ی (۲-۲۰) مشخص می‌گردد[۲۳].

$$s_{aHi} = T_{aLi} - T_{aRi} - 1 \qquad (۲۰-۲)$$

ولتاژ فاز به زمین برای فاز a می‌تواند از مجموع ولتاژهای سلول‌های سری بر اساس رابطه‌ی (۲-۲۱) به دست آید.

$$v_{ag} = \sum_{i=1}^{p} v_{agi} \qquad (۲۱-۲)$$

که p تعداد سلول‌های سری است.




شکل (۲-۴) : اینورتر پل H سری[۲۳]

## ۲-۳) مقایسه توپولوژی‌های مختلف

جدول (۲-۴) ساختارهای مختلف اینورترهای n-سطحی را از دیدگاه‌های مختلف و همچنین پارامترهای تأثیر گذار ازجمله تعداد سوئیچ، ولتاژ معکوس بر روی هر سوئیچ و ... بررسی می‌کند.

جدول (۲-۴): مقایسه‌ی تعداد المان‌ها در ساختارهای مختلف اینورترهای چندسطحی

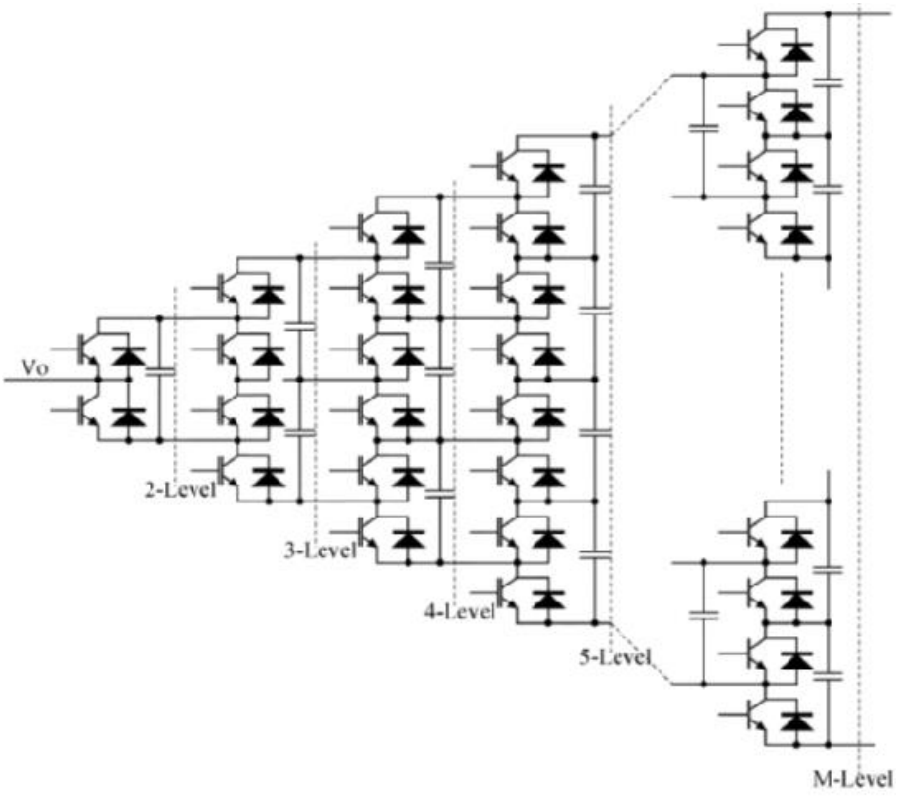
| ساختار | تعداد سوئیچ | تعداد خازن شناور | تعداد دیود کلمپ | ولتاژ معکوس بر روی هر سوئیچ | تعداد سطوح |
|---|---|---|---|---|---|
| پل H سری | 2(N-1) | 0 | 0 | $\frac{V_{dc\ equiv}}{N-1}$ | 2N+1 |
| دیود کلمپ | 2(N-1) | 2(N-2) | (N-1)(N-2) | $\frac{V_{dc}}{N-1}$ | 2N+1 |
| خازن شناور | 2(N-1) | $\frac{(N-1)(N-2)}{2}$ | 0 | $\frac{V_{dc}}{N-1}$ | 2N+1 |

## ۲-۴) توپولوژی اینورترهای چندسطحی تعمیم‌یافته[1]

توپولوژی سلول‌های چندسطحی Generalized، در گذشته معرفی شده‌اند. شکل (۲-۵) ساختار یک اینورتر چندسطحی Generalized را نشان می‌دهد. اینورترهای چندسطحی موجود از قبیل دیود کلمپ و خازن شناور می‌توانند از توپولوژی اینورتر Generalized که توپولوژی P2 نیز نامیده می‌شود، استخراج شوند[۲۶]. توپولوژی اینورتر چندسطحی Generalized می‌تواند صرف‌نظر از مشخصه‌ی بار، تبادل توان اکتیو یا راکتیو و بدون هیچ کمکی از مدارات دیگر در هر تعداد از سطوح، هر سطح ولتاژ را توسط خودش و به طور خودکار متعادل کند. از اینرو، توپولوژی چندسطحی کاملی که اینورترهای موجود را در برمی‌گیرند فراهم می‌سازد.

شکل (۲-۵) ساختار هر ساق از یک‌فاز اینورتر چندسطحی P2 را نشان می‌دهد. ولتاژ خازن Vdc است و اندازه آن 1/m-1 برابر ولتاژ لینک DC است. هر اینورتری با هر تعداد سطوح، شامل اینورترهای دوسطحی مرسوم می‌توانند با استفاده از این توپولوژی Generalized به دست آیند[۲۶].

[1] Generalized




شکل (۲-۵) : توپولوژی سلول‌های چند سطحی Generalized

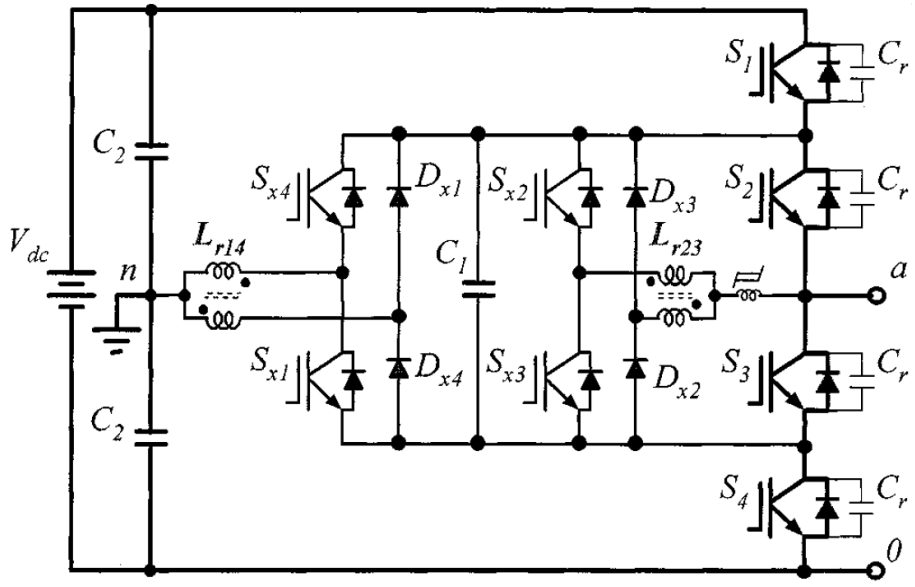
### ۲-۵-۱) اینورتر چندسطحی با سوئیچینگ نرم

برخی روش‌های سوئیچینگ نرم می‌توانند برای اینورترهای چندسطحی مختلف به‌منظور کاهش تلفات سوئیچینگ و افزایش کارایی مورداجرا قرار گیرند[۲۷-۲۹]. برای اینورتر سری، به دلیل اینکه هر سلول اینورتر یک مدار دوسطحی است، اجرای سوئیچینگ نرم در حالت کلی متفاوت از اینورترهای دوسطحی مرسوم نیست. بااین‌وجود، برای اینورترهای خازن شناور یا دیود کلمپ مدارهای سوئیچینگ نرم با ترکیبات مداری مختلفی پیشنهادشده‌اند[۲۹]. باوجوداینکه کلیدزنی در جریان صفر امکان‌پذیر است، بیشتر مقالات نوع کلیدزنی در ولتاژ صفر شامل قطب کموته شده تشدیدی کمکی[1]، سلف کوپل شده با گذر ولتاژ از صفر[2]، و ترکیبات آن‌ها را پیشنهاد داده‌اند. شکل (۲-۶) نمونه‌ای از ترکیب تکنیک-ARC و سلف کوپل شده ZVT برای یک اینورتر سه‌سطحی خازن شناور را نشان می‌دهد. سوئیچ‌های

[1] Auxiliary Resonant Commutated Pole Voltage (ARCP)

[2] Zero Voltage Transition (ZVT)

کمکی Sx2، SX3، DX2 و DX3 برای کمک کردن به سوئیچ‌های اصلی داخلی S2 و S3 به‌منظور سوئیچینگ نرم مورداستفاده قرارگرفته‌اند. با Lr23 به‌عنوان سلف تزویج شده، مدار پل متشکل ازSx2، SX3، S2 و S3 یک سلف تزویج شده‌ی ZVT دوسطحی را تشکیل می‌دهند. برای کلیدهای اصلی خارجی، سوئیچینگ نرم بر روی S1، S4، Sx1، Sx4، Dx1 و Dx4 سلف تزویج شده‌ی Lr14 و دو خازن جداشده‌ی C2 برای شکل دادن یک اینورتر کلیدزنی نرم نوع ARCP تحقق می‌یابد.

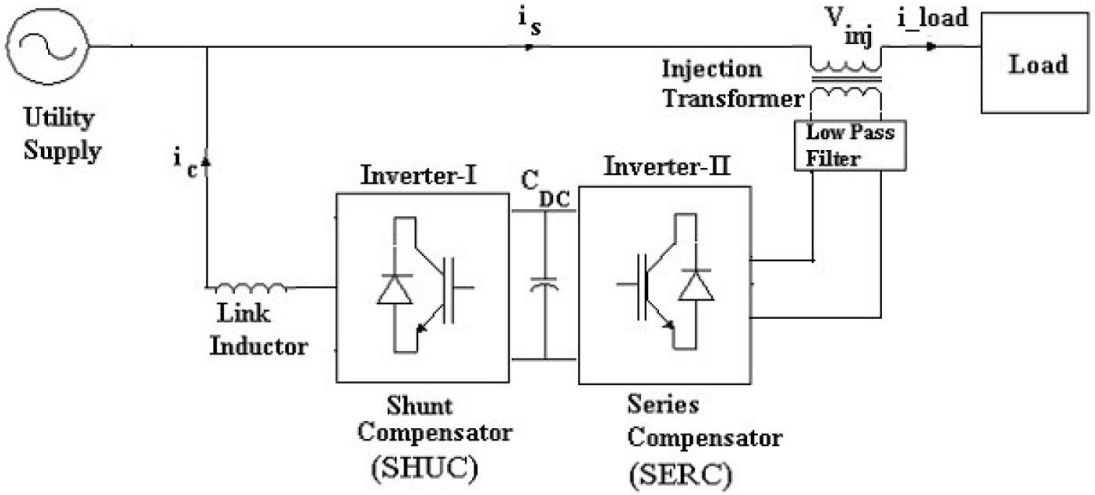



شکل (۲-۶) : مدار کلیدزنی در ولتاژ صفر اینورتر خازن – شناور

### ۲-۵-۲) اتصال پشت‌به‌پشت اینورتر دیود کلمپ

دو اینورتر چندسطحی می‌توانند در یک ترتیب پشت‌به‌پشت متصل شده و سپس ترکیب حاصل می‌تواند به یک سیستم الکتریکی در یک ترکیب سری–موازی همان‌گونه که در شکل (۲-۷) نشان داده شده است متصل شود. جریان تقاضا شده از سیستم و ولتاژ تحویلی به بار می‌توانند به‌طور هم‌زمان کنترل شوند.

این فیلتر قدرت اکتیو سری- موازی هنگامی‌که در سیستم‌های توزیع الکتریکی مورداستفاده قرار می‌گیرد به‌عنوان بهینه‌ساز یکپارچه کیفیت توان[1] نام می‌گیرد[۳۰] . همچنین زمانی که در سطح انتقال مورداستفاده قرار می‌گیرد از آن به‌عنوان یک کنترل‌کننده یکپارچه شارش توان[2] یاد می‌شود[۳۰] .



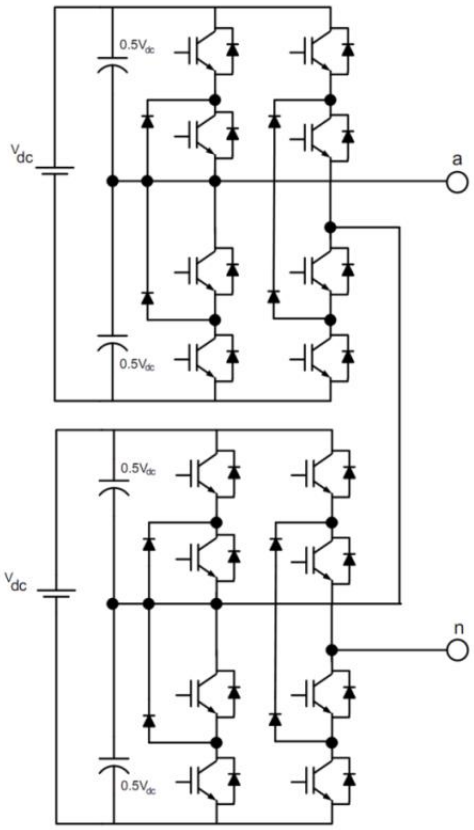

شکل (۲-۷) : اتصال سری – موازی به سیستم الکتریکی دو اینوتر پشت‌به‌پشت[۳۰]

### ۲-۵-۳) توپولوژی چندسطحی مرکب

برای کاهش تعداد منابع Dc مستقل در کاربردهای توان بالا و ولتاژ متوسط می‌توان اینورترهای چندسطحی دیود کلمپ یا خازن شناور را جایگزین سلول‌های پل اینورتر کاسکد کرد که به آن اینورتر چندسطحی مرکب می‌گویند. برای نمونه در شکل (۲-۸) اینورتر نه‌سطحی مشاهده می‌شود. اینورتر کاسکد نه‌سطحی در این شکل از دو اینورتر سه‌سطحی دیود کلمپ (به‌جای هر سلول پلH) و دو منبع مستقل تشکیل شده است. درحالی‌که اینورتر چندسطحی کاسکد پل H با این تعداد سطح به چهار منبع مستقل در هر فاز نیاز دارد. اگر اینورترهای هر سلول از اینورترهای پنج‌سطحی تشکیل شود سطح ولتاژ به‌طور مؤثر برای هر سلول دو برابر می‌شود. مزیت این توپولوژی همان‌طور که گفته شد، نیاز کمتر به تعداد منابع dc مستقل نسبت به اینورتر کاسکد با تعداد سطوح برابر است. کنترل پیچیده، به‌دلیل ساختار مرکب اینورتر، از معایب این توپولوژی محسوب می‌شود [۳۲].

[1] Unified power quality conditioner

[2] Unified power flow controller



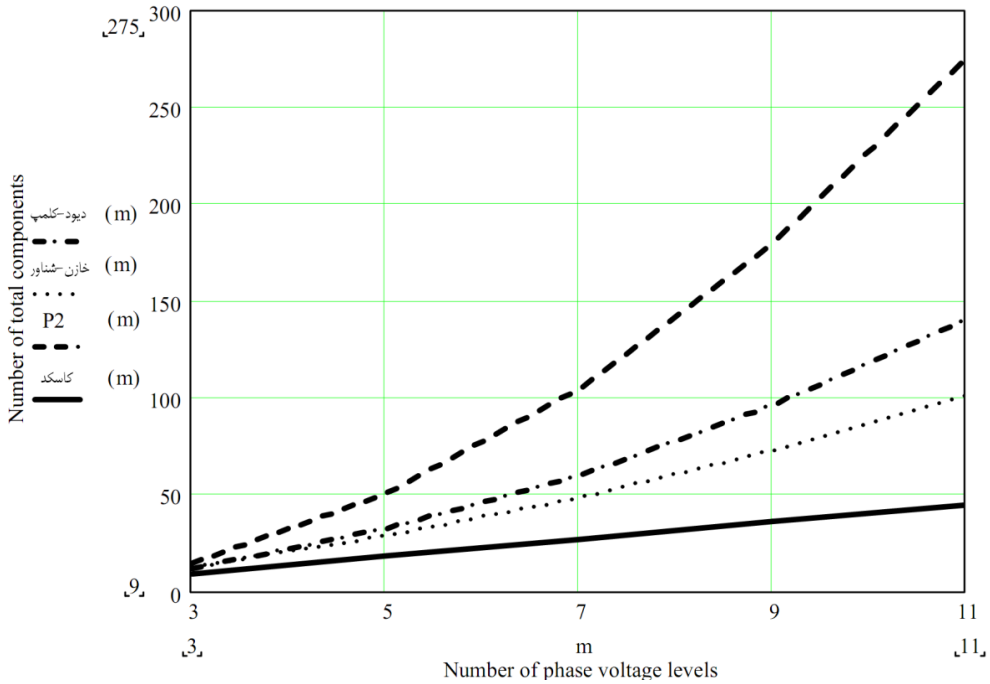

شکل (۲-۸): توپولوژی چندسطحی مرکب

## ۲-۶- مقایسه اینورترهای مرسوم با اینورتر کاسکد پلH

در این بخش توپولوژی‌های بیان‌شده قبلی (اینورترهای چندسطحی دیودکلمپ، خازن شناور، P2 و کاسکد) ازنظر تعداد قطعات نیمه‌هادی و خازن‌های به‌کاررفته در ساختار فیزیکی بر اساس تعداد سطح ولتاژ خروجی مقایسه می‌شوند. جدول(۲-۵)، برتری اینورتر چندسطحی کاسکد را نشان می‌دهد[۳۲-۳۷].

جدول (۲-۵) تعداد قطعات به‌کاررفته در ساختار فیزیکی اینورترهای m سطحی با توپولوژی مختلف

| پیکربندی اینورترها | دیودکلمپ | خازن شناور | P2 | کاسکد پلH |
|---|---|---|---|---|
| تعداد کلیدهای اصلی | $\mathbf{2(m-1)}$ | $\mathbf{2(m-1)}$ | $\boldsymbol{m(m-1)}$ | $\mathbf{2(m-1)}$ |
| تعداد دیودهای اصلی | $\mathbf{2(m-1)}$ | $\mathbf{2(m-1)}$ | $\boldsymbol{m(m-1)}$ | $\mathbf{2(m-1)}$ |
| تعداد دیودهای کلمپ | $\boldsymbol{(m-1)(m-2)}$ | $\mathbf{0}$ | $\mathbf{0}$ | $\mathbf{0}$ |
| تعداد خازن‌های باس DC | $\boldsymbol{(m-1)}$ | $\boldsymbol{(m-1)}$ | $\boldsymbol{(m-1)}$ | $\boldsymbol{(m-1)/2}$ |
| تعداد خازن‌های بالانس | $\mathbf{0}$ | $\boldsymbol{(m-1)(m-2)/2}$ | $\boldsymbol{(m-1)(m-2)/2}$ | $\mathbf{0}$ |
| کل قطعات به‌کاررفته | $\boldsymbol{m^2+2m-3}$ | $\boldsymbol{(m^2+8m-8)/2}$ | $\boldsymbol{\left(\frac{5}{2}\right)m(m-1)}$ | $\boldsymbol{\left(\frac{9}{2}\right)(m-1)}$ |



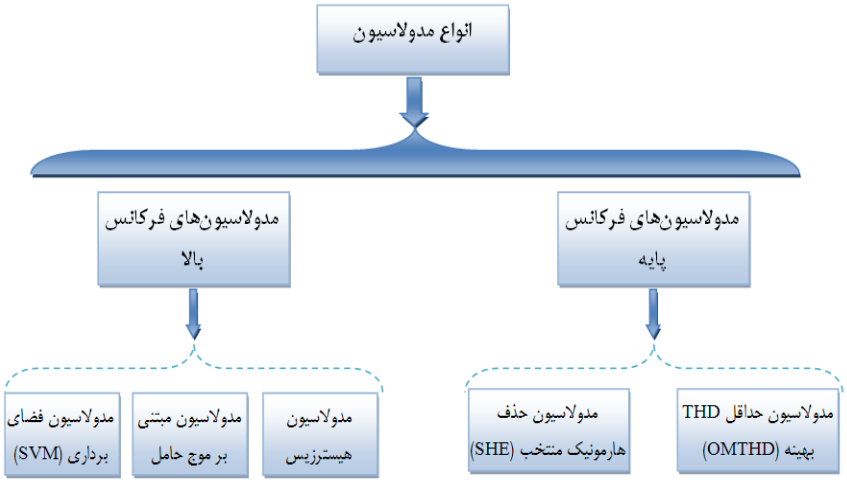

شکل (۲-۹): مقایسه اینورترهای دیودکلمپ، خازن شناور، P2 و کاسکد ازنظر تعداد قطعات به‌کاررفته در ساختار فیزیکی بر اساس تعداد سطوح مختلف[۳۶]

# فصل سوم

# روش‌های کلیدزنی در اینورترهای چند سطحی و روش‌های بهینه‌سازی برای حذف هارمونیک انتخابی

یکی از استراتژی‌هایی که به‌طور وسیعی برای کنترل خروجی AC مبدل‌های قدرت مورداستفاده قرار می‌گیرد به تکنیک مدولاسیون پهنای پالس[1] معروف است که روش‌های مختلف این خانواده در این فصل معرفی موردبررسی قرار خواهند گرفت.

استراتژی‌های مدولاسیون مبتنی بر مدولاسیون پهنای پالس مورداستفاده در اینورترهای مرسوم (دوسطحی) را می‌توان برای به کار بردن در اینورترهای چندسطحی اصلاح کرد. مدولاسیون PWM اینورترهای چندسطحی را می‌توان با توجه به فرکانس کلیدزنی مطابق شکل (۳-۱) طبقه‌بندی کرد. سه روش PWM چندسطحی که بیش از همه در متون فنی به آن اشاره‌شده عبارت‌اند از: PWM مبتنی بر موج حامل، حذف هارمونیک منتخب و مدولاسیون فضای برداری که از تعمیم مدولاسیون PWM اینورتر دوسطحی اولیه به چندسطحی توسعه یافته است. روش‌های PWM چندسطحی دیگر تا حد کمتری توسط محققین به‌کار رفته است.




شکل (۳-۱): طبقه‌بندی روش‌های مدولاسیون چندسطحی

## ۳-۲) روش‌های مختلف کلیدزنی

بهره‌ی اینورتر را می‌توان برابر با نسبت دامنه‌ی مؤلفه‌ی اصلی ولتاژ متناوب خروجی به ولتاژ مستقیم ورودی تعریف کرد[۱۹]. روش‌های مختلفی برای تغییر این بهره وجود دارد. مؤثرترین روش برای کنترل

[1] PWM

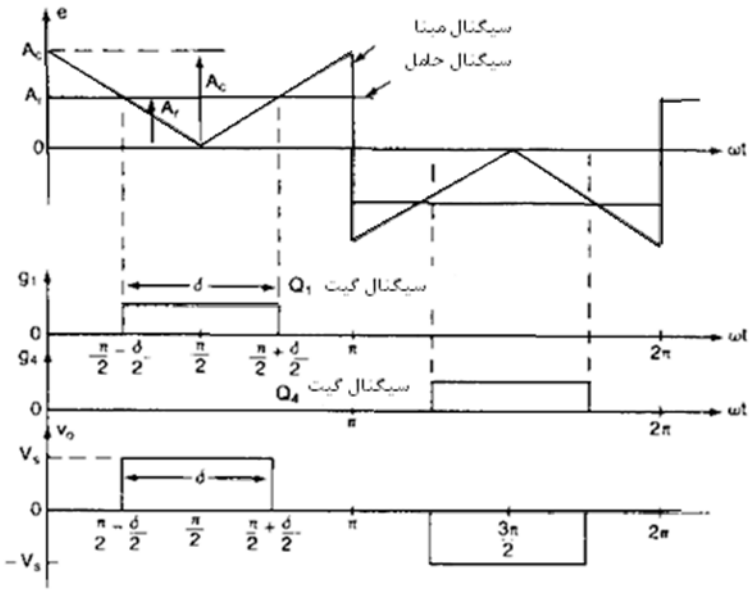
بهره و درنتیجه ولتاژ خروجی، استفاده از کنترل مدولاسیون عرض پالس(PWM) در اینورترها است. روش‌های متداول مدولاسیون عرض پالس برای اینورترهای متعارف(دوسطحی) عبارت‌اند از:

- مدولاسیون تکی عرض پالس
- مدولاسیون سینوسی عرض پالس
- کنترل جابجایی فاز
- حذف هارمونیک انتخابی
- حداقل ریپل جریان
- بردارفضایی
- عرض پالس تصادفی
- مدولاسیون باند هیسترزیس کنترل جریان
- سینوسی با کنترل جریان لحظه‌ای
- سیگما دلتا
- مدولاسیون پهنای پالس چندحاملی

که به شرح برخی از آن‌ها می‌پردازیم.

### ۳-۲-۱) مدولاسیون تکی عرض پالس

در این روش کلیدزنی، در هر نیم سیکل فقط یک پالس وجود دارد و عرض این پالس برای کنترل ولتاژ خروجی اینورتر، تغییر داده می‌شود. همان‌گونه که در شکل (۳-۲) نشان داده شده است سیگنال-های آتش از مقایسه‌ی سیگنال مبنای مربعی با دامنه‌ی Ar با موج حامل مثلثی با دامنه‌ی Ac تولید می‌شوند[۲۰].




شکل(۳-۲): مدولاسیون تکی عرض پالس

فرکانس سیگنال مبنا، فرکانس اصلی ولتاژ خروجی را تعیین می‌کند. نسبت Ar به Ac که در رابطه (۳-۱) نشان داده شده، متغیر کنترل است و بنا به تعریف، شاخص مدولاسیون دامنه است.

$$M = \frac{A_r}{A_c} \qquad (۱-۳)$$

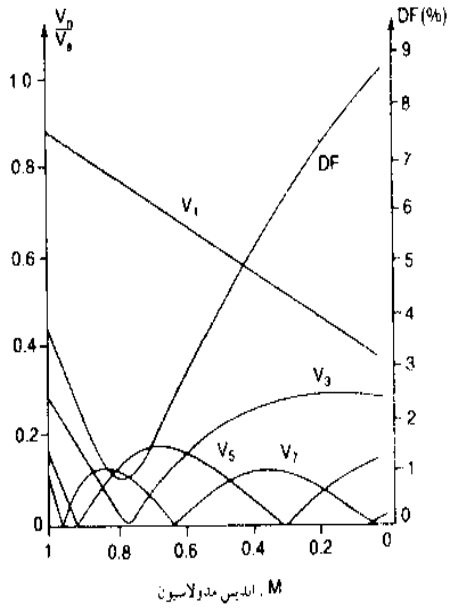
ولتاژ مؤثر خروجی با رابطه (۳-۲) داده می‌شود:

$$V_o = \left[\frac{2}{2\pi}\int_{(\pi-\delta)/2}^{(\pi+\delta)/2} V_s^2 \cdot d\omega\right]^{1/2} = V_s\sqrt{\frac{\delta}{\pi}} \qquad (۲-۳)$$

با تغییر Ar از صفرتا Ac، عرض پالس $\delta$ از صفر تا ۱۸۰ درجه تغییر می‌کند و ولتاژ مؤثر خروجی Vo از صفر تا Vs خواهد بود. سری فوریه‌ی ولتاژ خروجی عبارت است از:

$$v_o(t) = \sum_{n=1,3,..}^{\infty} \frac{4V_s}{n\pi} \cdot \sin(\frac{n\delta}{2}) \cdot \sin(n\omega t) \qquad (۳-۳)$$

در اثر تقارن ولتاژ خروجی در امتداد محور X، هارمونیک‌های زوج (به ازای n=2,4,6,..) وجود ندارد. منحنی هارمونیک برحسب تغییرات شاخص مدولاسیون M در شکل (۳-۳) آمده است. هارمونیک غالب، هارمونیک سوم است. و ضریب اعوجاج برای ولتاژهای خروجی کم، به مقدار قابل‌توجهی افزایش می‌یابد.




شکل(۳-۳): شکل هارمونیک مدولاسیون عرض پالس منفرد

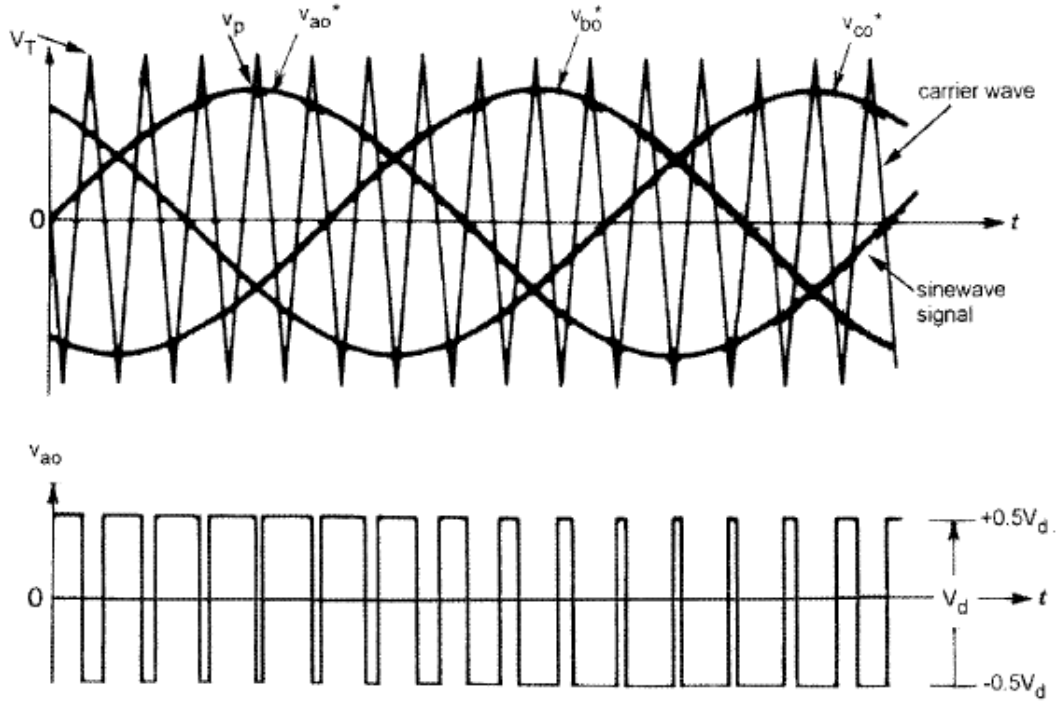
### ۳-۲-۲) روش مدولاسیون عرض پالس سینوسی

شکل ۳-۴ اصول این روش را توضیح می‌دهد. این مدولاسیون در کاربردهای صنعتی متداول است و SPWM نامیده می‌شود. در این روش به‌جای اینکه عرض تمام پالس‌ها، مانند حالت مدولاسیون عرض پالس چندتایی، یکنواخت در نظر گرفته شود، عرض هر پالس، متناسب با دامنه‌ی موج سینوسی در مرکز همان پالس در نظر گرفته می‌شود. در این حالت ضریب اعوجاج DF[1] و LOH[2] به‌طور قابل‌توجهی کاهش می‌یابد. سیگنال‌های آتش، از مقایسه‌ی سیگنال مبنای سینوسی با موج حامل مثلثی با فرکانس fc تولید می‌شوند. فرکانس سیگنال مبنا fr ، فرکانس خروجی اینورتر fo را تعیین می‌کند و پیک دامنه‌ی آن Ar، شاخص مدولاسیون M و درنتیجه ولتاژ مؤثر خروجی Vo را کنترل می‌کند[۲۳].

[1] Distortion factor

[2] Lowest order harmonic

این نوع مدولاسیون تمام هارمونیک‌ها را به‌جز هارمونیک‌های تا درجه‌ی 2P-1 را از بین می‌برد. مثلاً برای p=5 ، LOH هارمونیک ۹ام است[۲۳].




شکل (۳-۴) : اساس روش PWM سینوسی برای اینورتر پل سه فاز[۲۲]

نام‌های دیگر این روش، مثلث‌بندی[1]، هارمونیک فرعی[2] یا نوسان فرعی[3] است. می‌توان از یک موج حامل یکسان برای هر سه فاز استفاده کرد[۳۰].

آنالیز فوریه‌ی شکل موج Vao را می‌توان به‌صورت رابطه (۳-۴) نشان داد:

$$V_{a0} = 0.5mV_d \sin(\omega t + \phi) + high - frequency(M\omega_c \pm N\omega)terms \qquad (۴-۳)$$

m شاخص مدولاسیون، ω فرکانس اصلی برحسب r/s (مشابه فرکانس مدولاسیون) وΦ شیفت فاز خروجی وابسته به موقعیت موج مدولاسیون است.

[1] Triangulation

[2] Subharmonic

[3] Suboscillation

شاخص مدولاسیون m به‌صورت رابطه (۳-۵) می‌شود:

$$m = \frac{V_P}{v_T} \quad (۵-۳)$$

که VP مقدار پیک موج مدولاسیون و VT مقدار پیک موج حامل است. در حالت ایدئال m می‌تواند بین صفر و یک تغییر نماید که یک رابطه‌ی خطی بین موج مدولاسیون و موج خروجی می‌دهد. اساساً اینورتر مثل یک آمپلی فایرخطی عمل می‌کند. از ترکیب معادلات (۳-۳) و (۳-۴) بهره‌ی G آمپلی‌فایر به‌صورت رابطه (۳-۶) به دست می‌آید:

$$G = \frac{0.5mV_d}{V_P} = \frac{0.5V_d}{V_T} \quad (۶-۳)$$

در $M=1$ حداکثر مقدار پیک ولتاژ اصلی $0.5V_D$ است که ۷۸,۵۵٪ پیک ولتاژ موج مربعی ($\frac{4V_D}{2\Pi}$) است. در حقیقت حداکثر مقدار پیک ولتاژ اصلی، در رنج خطی می‌تواند تا ۹۰,۷٪ موج مربعی با ترکیب مقادیر مناسب از هارمونیک‌های سوم با موج مدولاسیون افزایش یابد. در $M=0$، $V_{AO}$ یک موج مربعی با فرکانس موج حامل با پالس و عرض دندانه‌ها هم‌اندازه است. موج PWM خروجی شامل فرکانس حامل، هماهنگ‌های وابسته با فرکانس مدولاسیون، باندهای فرعی وابسته به فرم $N\Omega + M\Omega_C$ است که M و N اعداد صحیح هستند و M+N یک عدد فرد صحیح است. برای یک نسبت فرکانس حامل به مدولاسیون $P = \frac{\Omega_C}{\Omega} = 15$، جدول (۳-۱) خلاصه‌ای از هارمونیک‌های خروجی را نشان می‌دهد[۲۲].

می‌توان نشان داد که دامنه‌ی هارمونیک‌ها به P وابسته است و با مقادیر بزرگ‌تر M و N کم می‌شود. با نسبت فرکانس حامل بزرگ‌تر P، هارمونیک‌های جریان خط اینورتر به‌وسیله‌ی سلف نشتی بار خروجی بخوبی فیلتر می‌شوند و عملاً به سمت موج سینوسی می‌روند. انتخاب فرکانس حامل به موازنه بین تلفات اینورتر و تلفات ماشین بستگی دارد. فرکانس حامل بزرگ‌تر (مثل فرکانس سوئیچینگ) تلفات سوئیچینگ را افزایش می‌دهد ولی تلفات هارمونیک ماشین کاهش می‌یابد.

فرکانس حامل بهینه باید طوری انتخاب شود که مجموع تلفات سیستم حداقل باشد. یک اثر مهم فرکانس سوئیچینگ PWM، تولید نویز آکوستیک است. وقتی‌که اینورتر در حال اعمال توان به ماشین

است این اثر به‌وسیله‌ی تغییر دادن فرکانس سوئیچینگ، به‌صورت تصادفی (PWM تصادفی)کاهش می-یابد، یا می‌تواند با افزایش فرکانس سوئیچینگ به بالای رنج رادیویی، کلاً حذف شود. IGBT های مدرن سرعت‌بالا به‌راحتی به چنین فرکانس متغیر بدون نویز آکوستیکی اجازه‌ی درایو شدن می‌دهند. فیلترهای خط پائین گذر هم می‌توانند این مشکل را برطرف نمایند[۲۲].

جدول (۳-۱) : خانواده‌ی هارمونیک‌های $I_a$ خروجی برای SPWM با$\omega_c/\omega=15$

| m | هارمونیک ها |
|---|---|
| ۱ | ۱۵w<br>۱۵w ±۲w<br>۱۵w ±۴w |
| ۲ | ۳۰w ±w<br>۳۰w ±۴w<br>۳۰w ±۵w |
| ۳ | ۴۵w<br>۴۵w ±۲w<br>۴۵w ±۴w |

### ۳-۲-۳) روش PWM حداقل جریان

یک عیب روش SHE-PWM[1] این است که با حذف هارمونیک‌های مرتبه پایین به‌طور متناظر، سطح هارمونیک‌های مرتبه‌ی بالاتر تقویت می‌شود[۲۵].

چون تلفات هارمونیک در یک ماشین از طریق مقدار مؤثر ریپل جریان تحمیل می‌شود، پس بجای اهمیت دادن به هارمونیک‌های مستقل باید این پارامتر را حداقل کرد[۲۵].

بیان مقدار مؤثر به‌صورت رابطه (۳-۷) است:

$$I_{ripple} = \sqrt{I_5^{\,2} + I_7^{\,2} + I_{11}^{\,2} + \dots} \qquad (7\text{-}۳)$$

$$= \sqrt{\frac{\hat{I}_5^{\,2}}{2} + \frac{\hat{I}_7^{\,2}}{2} + \frac{\hat{I}_{11}^{\,2}}{2} + \dots}$$

$$= \sqrt{\frac{1}{2}\sum_{n=5,7,11,\dots}^{\infty} \left(\frac{\hat{V}_n}{nwL}\right)^2}$$

که I5, I7 ,...، RMS جریان هارمونیک‌ها، L اندوکتانس نشتی مؤثر ماشین در هر فاز، N تعداد هارمونیک‌ها، $\hat{V}_n$ مقدار پیک N امین هارمونیک و w فرکانس اصلی می‌باشند.

تلفات مسی هارمونیک متناظر، مطابق با رابطه (۳-۸) است:

$$P_L = 3I^{\,2}_{ripple} R \qquad (8\text{-}۳)$$

که R مقاومت موثرماشین در هر فاز است.

$$Vn = \begin{cases} \dfrac{4}{n\pi}\sum_{k=1}^{8} V_{dck}.\cos(\mathrm{n}\,\alpha\,\mathrm{k}), & for\ odd\ n \\ 0, & for\ even\ n \end{cases} \qquad (9\text{-}۳)$$

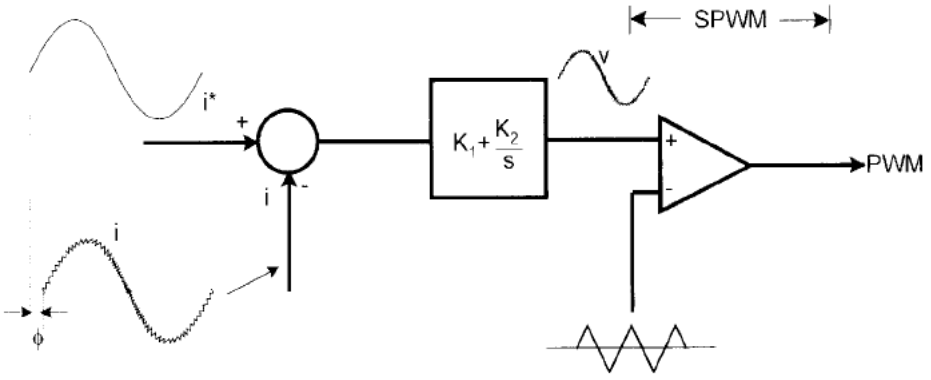
برای تعدادی از زوایای دندانه‌های داده شده، با به دست آوردن $\hat{V}_n$ از رابطه (۳-۹) و جایگذاری آن در معادله‌ی (۳-۷)، IRIPPLE ، به‌صورت تابعی از زوایا به دست می‌آید.

[1] Selective harmonic eliminarion-pulse width modulation

### ۳-۲-۴) روش PWM سینوسی با کنترل جریان لحظه‌ای[1]

تا اینجا در مورد روش‌های PWM کنترل ولتاژ بحث شد. در یک سیستم درایو ماشین، کنترل جریان ماشین مهم‌تر است زیرا روی شار و همچنین گشتاور بهینه‌شده، تأثیر مستقیم می‌گذارد. درایوهای با راندمان بالا همواره به کنترل جریان نیاز دارند. در یک اینورتر تغذیه‌ی ولتاژ، با کنترل ولتاژ PWM، می‌توان یک حلقه‌ی جریان فیدبک را برای کنترل جریان ماشین بکار برد. در این حالت‌ها، اینورتر مثل یک منبع جریان قابل‌برنامه‌ریزی کار می‌کند.

در شکل(۳-۵) طرح کنترل جریان لحظه‌ای با PWM ولتاژ سینوسی در حلقه‌ی داخلی نمایش داده شده است[۱۶]. خطا در حلقه‌ی کنترل جریان سینوسی از طریق یک کنترلر PI[2] به‌فرمان ولتاژ سینوسی تبدیل می‌شود. بخش باقیمانده، طرح SPWM استاندارد است که قبلاً در مورد آن بحث شد. برای یک اینورتر سه فاز، سه عدد کنترلر یکسان استفاده می‌شود. این کنترل، ساده است ولی مشکلاتی هم وجود دارد. به علت محدود شدن پهنای باند سیستم کنترل، جریان واقعی، خطای تأخیر فاز و دامنه دارد که با فرکانس، افزایش می‌یابد. این انحراف فاز در سیستم‌های درایو با راندمان بالا بسیار مضر است. ولتاژ سینوسی تولیدشده توسط حلقه‌ی کنترل جریان، ممکن است ریپل داشته باشد که ممکن است مشکل تقاطع چند صفر MZR[3] را در مقایسه کننده‌ی SPWM به وجود آورد. همه‌ی این مشکلات را به‌وسیله‌ی یک کنترلر جریان سنکرون می‌توان حل کرد[۱۶].




شکل (۳-۵) : بلوک دیاگرام کنترل روش PWM سینوسی با کنترل جریان لحظه‌ای

[1] Sinusoidal Pulse width modulation

[2] Proportional integrator

[3] Multiple zero crossing

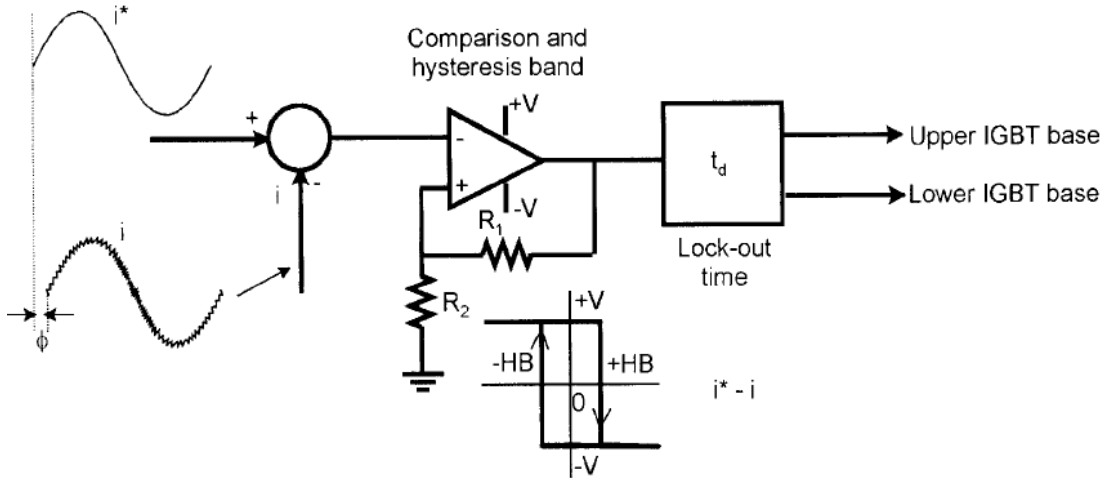
### ۳-۲-۵) کنترل جریان PWM باند هیسترزیس

این روش اساساً یک روش کنترل جریان فیدبک لحظه‌ای PWM است که جریان واقعی، به‌طور پیوسته فرمان جریان را در یک باند هیسترزیس دنبال می‌کند. شکل (۳-۶) بلوک دیاگرام کنترل ساده‌ی این روش را برای یک اینورتر نیم‌پل نشان می‌دهد[۱۷]. این مدار کنترلی، شکل موج جریان مرجع سینوسی با دامنه و فرکانس مطلوب را تولید می‌کند که با شکل موج جریان فاز واقعی مقایسه می‌شود[۱۷].

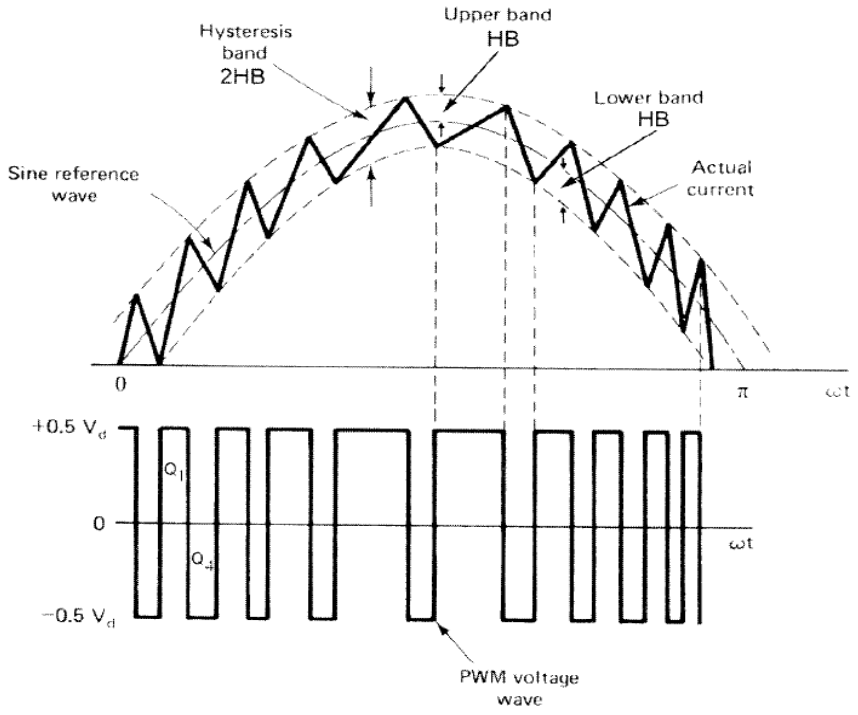
وقتی جریان از باند هیسترزیس تعیین‌شده تجاوز کند، کلید بالایی نیم‌پل، خاموش و کلید پائینی آن روشن می‌شود. درنتیجه، ولتاژ خروجی از $0.5V_D$ به $-0.5V_D$ گذر می‌کند و جریان، شروع به کم شدن می‌نماید.

وقتی جریان به حد پایینی باند برخورد می‌کند، کلید پائینی خاموش می‌شود و کلید بالایی روشن می‌شود. جریان واقعی ناچاراست موج مرجع سینوسی را در داخل باند هیسترزیس از طریق سوییچ کردن کلیدهای بالا و پایین دنبال کند[۱۷].

ریپل جریان پیک تا پیک و فرکانس سوئیچینگ با پهنای باند هیسترزیس ارتباط دارند. برای مثال یک باند کوچک‌تر، فرکانس سوئیچینگ را افزایش و ریپل را کاهش می‌دهد. باند بهینه‌ای که توازن بین ریپل هارمونیک و تلفات سوئیچینگ اینورتر را برقرار کند مطلوب است.




شکل (۳-۶) : بلوک دیاگرام کنترل PWM باند هیسترزیس




شکل (۳-۷) : اساس کنترل جریان باند هیسترزیس

همان‌گونه که در شکل (۳-۷) دیده می‌شود خطا، در حلقه‌ی کنترل جریان، به ورودی مقایسه کننده‌ی باند هیسترزیس اعمال‌شده است. پهنای HB[1] بصورت رابطه‌ی (۳-۱۰) داده شده است:

$$HB = V\ \frac{R_2}{R_1 + R_2} \qquad (۱۰-۳)$$

که $V$ ولتاژ تغذیه‌ی مقایسه کننده است. شرایط سوئیچینگ المان‌ها به‌صورت رابطه (۳-۱۱) و (۳-۱۲) است:

کلید بالا روشن:

$$(i^* - i) \rangle HB \qquad (۱۱-۳)$$

کلید پائین روشن:

[1] High band

$$(i^{*}-i)\langle -HB \qquad (۱۲-۳)$$

برای یک اینورتر سه‌فاز، یک مدار کنترل مشابه برای همه‌ی فازها استفاده می‌شود. PWM هیسترزیس پاسخ گذرای سریعی دارد، جریان پیک المان مستقیماً محدود می‌شود و عدم حساسیت عملی به ریپل ولتاژ لینک DC اجازه می‌دهد، خازن فیلتر کوچک شود. اگرچه اشکالاتی نیز وجود دارد، فرکانس PWM ثابت نیست و در داخل یک باند تغییر می‌کند و درنتیجه ریپل هارمونیک غیربهینه در جریان ماشین به وجود می‌آید. می‌توان نشان داد که جریان اصلی متحمل تأخیر فازی می‌شود که در فرکانس‌های بالا افزایش می‌یابد. این انحراف فاز موجب بروز مشکلاتی در کنترل ماشین‌های با راندمان بالا می‌شود[۱۷].

### ۳-۲-۶) مدولاسیون پهنای پالس شیفت فاز[1]

در این نوع مدولاسیون، شاخص‌های مدولاسیون و فرکانسی به ترتیب به‌صورت $M_A = A_M/A_C$ و $M_F = F_C/F_M$ تعریف می‌شوند. در این روش تعداد سیگنال‌های حامل همواره برابر تعداد سطوح ولتاژ اینورتر منهای یک است. در این روش دامنه‌ی ولتاژ هر خازن $V_{CAP}$ و دامنه‌ی پیک تا پیک سیگنال‌های حامل $A_C$، و اختلاف‌فاز آن‌ها در این نوع مدولاسیون از روابط(۳-13) و(۳-14) به دست می‌آید[۲۳]:

$$V_{dc} = (m-1)V_{cap} = A_c \qquad (13-۳)$$

$$\varphi_m = 1/((m-1)f_c) \qquad (14-۳)$$

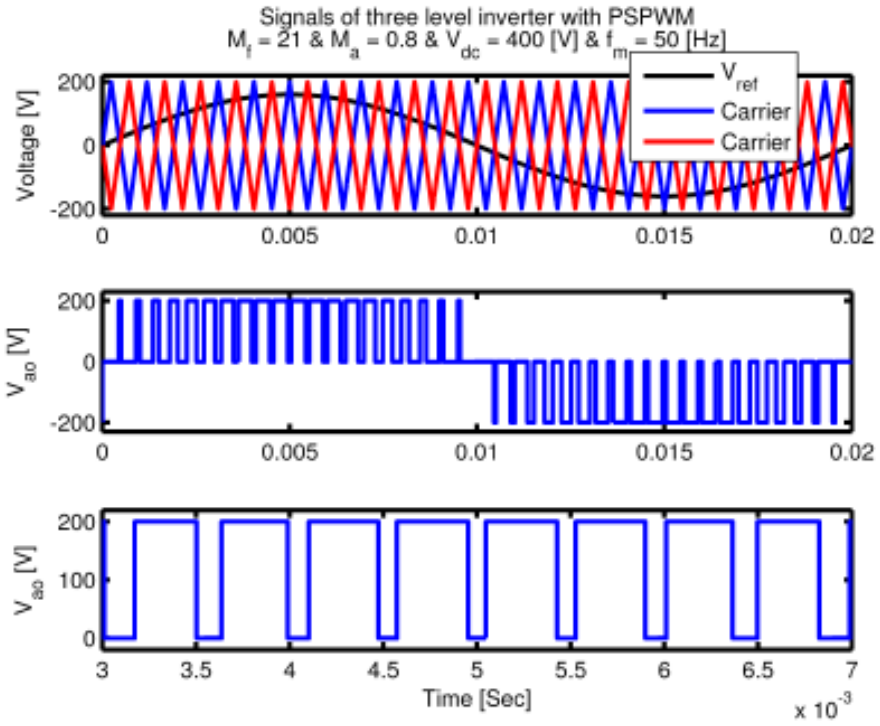
$F_M$ فرکانس ولتاژ AC خروجی یا مرجع با دامنه‌ی پیک تا پیک، $A_M$ و $F_C$ فرکانس سیگنال‌های حامل می‌باشند. در شکل‌های (۳-۸) و (۳-۹) ولتاژ خروجی $V_{AO}$ اینورتر سه‌سطحی و سیگنال‌های حامل مدولاسیون پهنای پالس شیفت فاز به‌ازای $M_F$ های فرد و زوج نمایش داده‌شده‌اند[۲۳].

از شکل (۳-۸) استنباط می‌شود که به‌ازای $M_F$ های زوج در شاخص‌های مدولاسیون فرد، چیدمان PD[2] سبب عدم تشابه نیم‌سیکل مثبت با نیم‌سیکل منفی ولتاژ خروجی اینورتر شده و درتمام چیدمان‌ها،

[1] Phase shift-pulse width modulation

[2] Phase Disposition

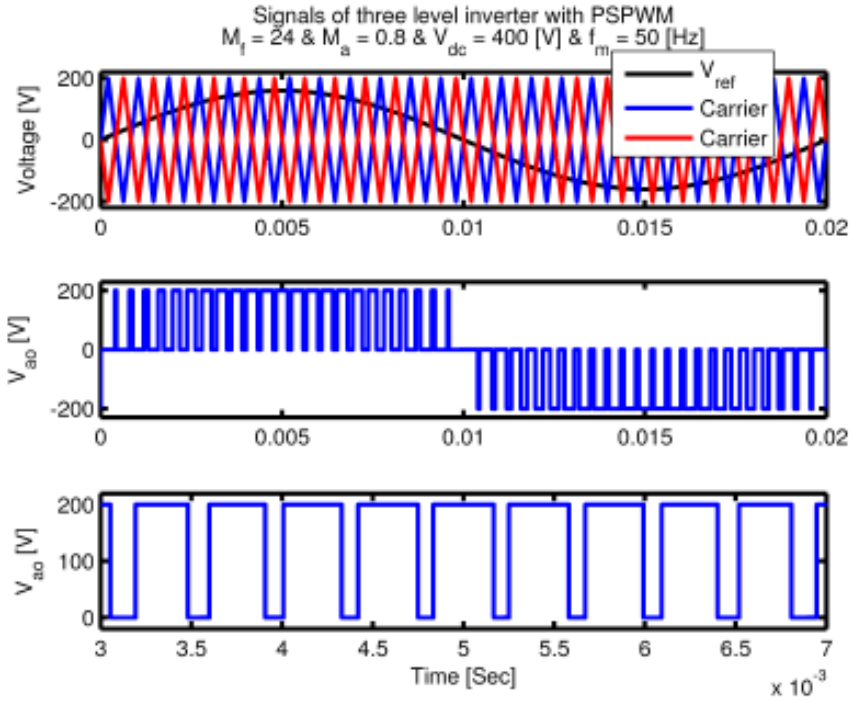
تقارن زوج در ربع سیکل ولتاژ خروجی اینورتر ایجاد می‌شود. شایان ذکر است همان‌گونه که انتظار می‌رفت در اینورتر سه‌سطحی، چیدمان‌های POD[1] و APOD[2] مشابه عمل می‌نمایند[۲۳].




شکل (۳-۸) : سیگنال‌های اینورتر سه‌سطحی به‌ازای MF های فرد

[1] Phase Opposition Disposition

[2] Alternative Phase Opposition Disposition

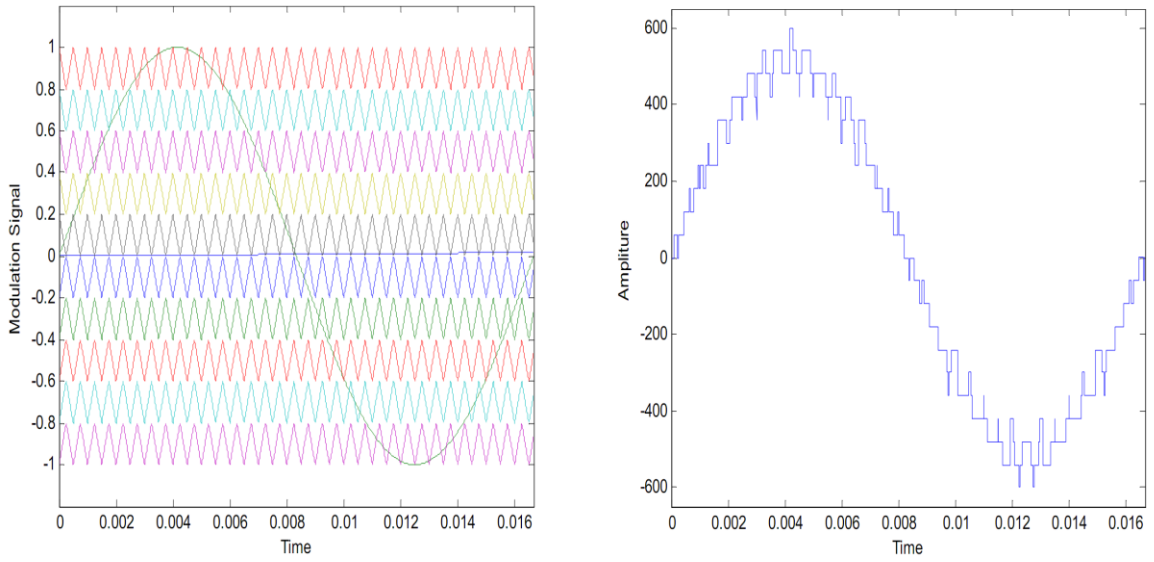



شکل (۳-۹) : سیگنال‌های اینورتر سه‌سطحی به‌ازای MF های زوج

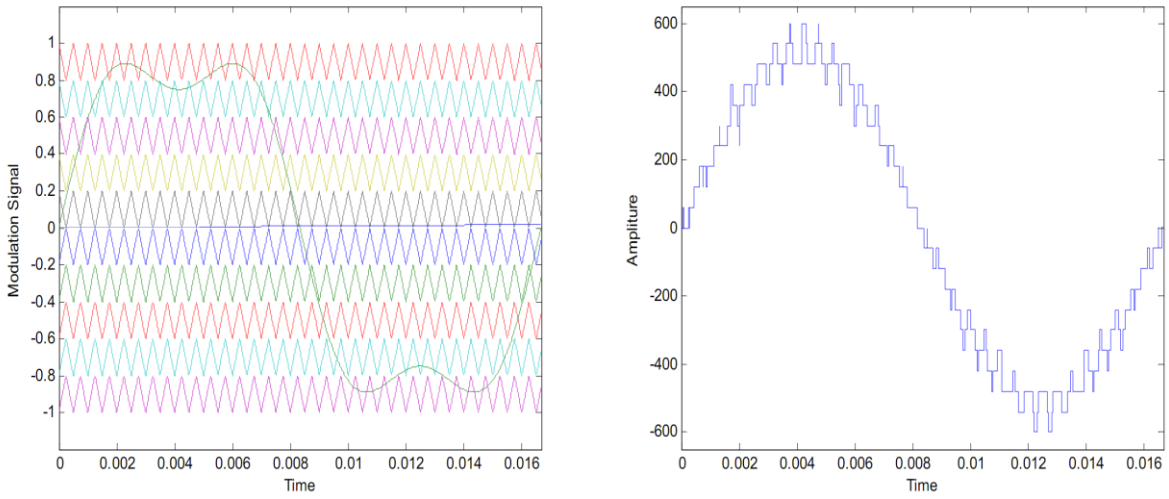
### ۳-۲-۷) مدولاسیون پهنای پالس مبتنی بر موج‌های چندحاملی

تکنیک‌های PWM مبتنی بر موج‌های چندسطحی قبلاً به‌عنوان وسیله‌ای برای کنترل وسایل اکتیو در یک اینورتر چندسطحی ارائه شده است. در این مدولاسیون از چند سیگنال موج حامل و یک سیگنال مرجع در هر فاز استفاده می‌شود. دو تکنیک اصلی مبتنی بر موج حامل عبارت‌اند از: PWM سینوسی (SPWM) و PWM تزریق هارمونیک سوم (THPWM)[1] که در شکل (۳-۱۰الف) نشان داده‌شده‌اند. SPWM معروف‌ترین روش در کاربردهای صنعتی است. به‌منظور دسترسی بهتر به لینک DC در شاخص مدولاسیون بالاتر، به سیگنال مرجع سینوسی یک هارمونیک سوم با دامنه 25% دامنه اصلی، تزریق می‌شود که ولتاژ خط به خط آن در شکل (۳-۱۰ب) نمایش داده شده است. دیگر روش‌های PWM مبتنی بر موج حامل شامل: PWM هارمونیک فرعی (SH-PWM) و PWM فرکانس کلیدزنی بهینه (SFO-PWM) هستند. که ویژگی‌های این روش‌ها در زیر بیان شده است.

[1] Third harmonic injection Pulse width modulation




(الف)




(ب)

شکل(۳-۱۰): شکل موج ولتاژ خط به خط با استفاده از منابع dc مستقل (۶۰ ولت) اینورتر چندسطحی کاسکد با دو تکنیک مرسوم PWM مبتنی بر موج حامل در شاخص مدولاسیون واحد در فرکانس 2kHz (الف) SPWM (ب) THPWM

### ۳-۲-۸) مدولاسیون PWM هارمونیک فرعی

کارارا، مدولاسیون SH-PWM[1]را برای اینورترهای چندسطحی به این صورت تعمیم داد: برای یک اینورتر M سطحی، M-1 موج حامل با فرکانس FC و دامنه AC در نظر گرفته می‌شود. دامنه پیک سیگنال موج مرجع، AM و فرکانس آن، FM است که صفر آن در مرکز مجموعه موج حامل قرار دارد. مرجع به‌طور پیوسته با هر موج حامل مقایسه می‌شود. اگر مرجع در هر باند بزرگ‌تر از موج حامل باشد آنگاه کلیدهای متناظر با آن حامل روشن و در غیر این صورت خاموش می‌شود. در اینورترهای چندسطحی شاخص مدولاسیون، $M_a$ و شاخص فرکانس، $M_f$، به‌صورت رابطه (۳-15) تعریف می‌شود [۳۵]:

$$m_a = \frac{۲A_m}{(m-۱).A_c}; \quad m_f = \frac{f_c}{f_m} \qquad (۱۵-۳)$$

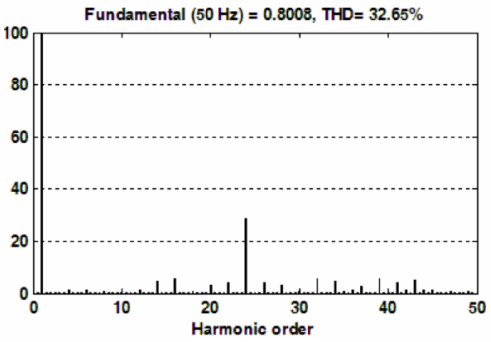
روش‌های دیگری از مدولاسیون مانند PD، POD و APOD توسط کارارا ارائه شده است. این روش‌ها برای یک اینورتر با تعداد سطوح فرد، عبارت‌اند از:

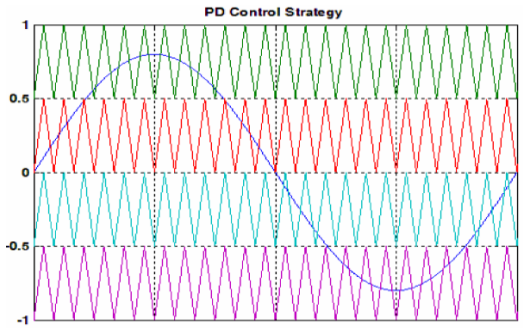
۱- PD، در این روش همه حامل‌ها هم‌فاز هستند.

۲- POD، در این روش حامل‌های بالای صفر مرجع هم‌فاز بوده درحالی‌که حامل‌های پائین صفر مرجع ۱۸۰ درجه اختلاف‌فاز با حامل‌های بالای صفر مرجع دارند.

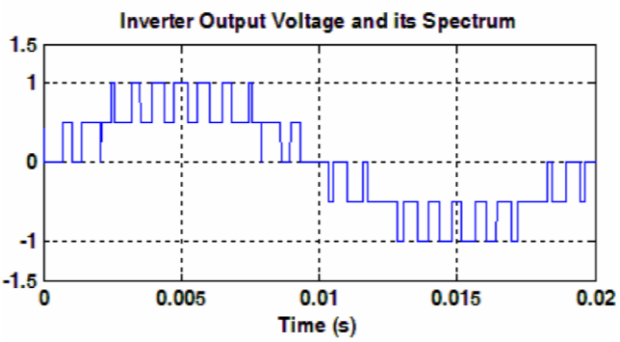
۳- APOD، در این روش حامل‌های هر باند با باندهای مجاور ۱۸۰ درجه جابجایی فاز دارند.

شکل‌های (۳-۱۱)، (۳-۱۲) و (۳-۱۳) به ترتیب نشان‌دهنده روش‌های PD، POD و APOD برای کنترل یک اینورتر پنج سطحی است.

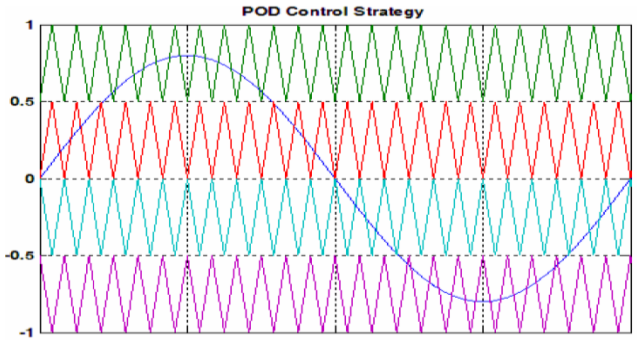


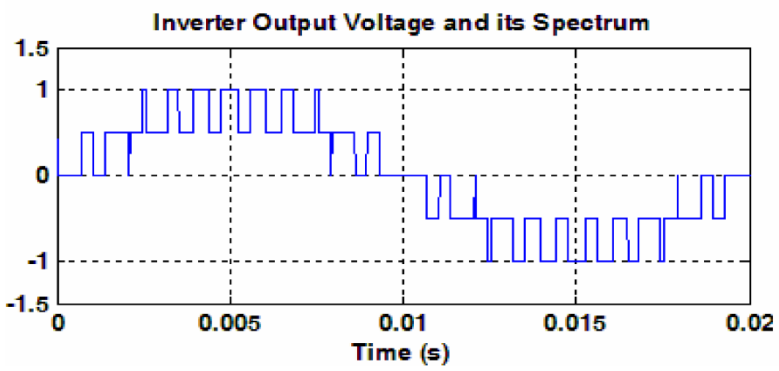



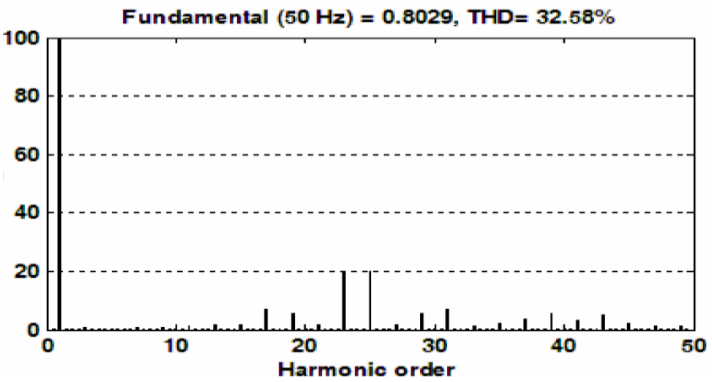

[1] Subharmonic pulse width modulation



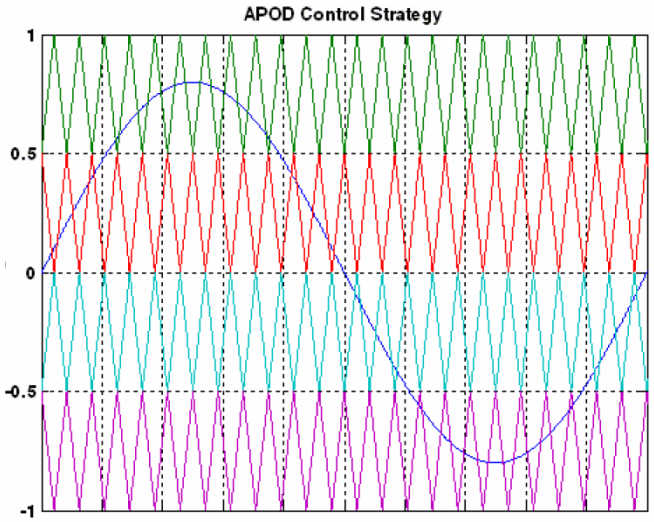

شکل (۳-۱۱): روش کنترلی PD با $m_a=0.8$ و $m_f=24$

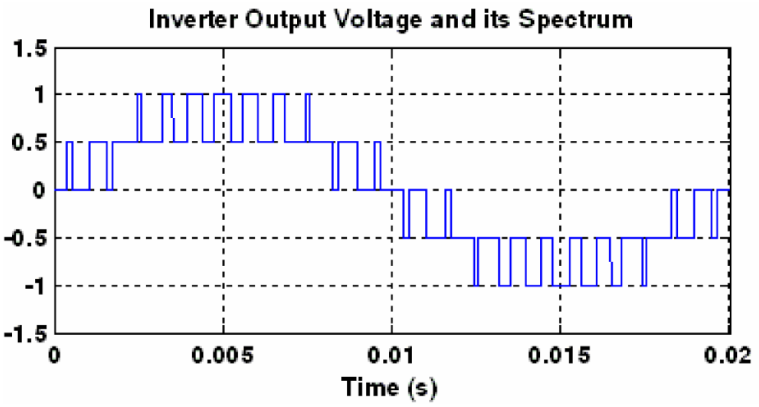


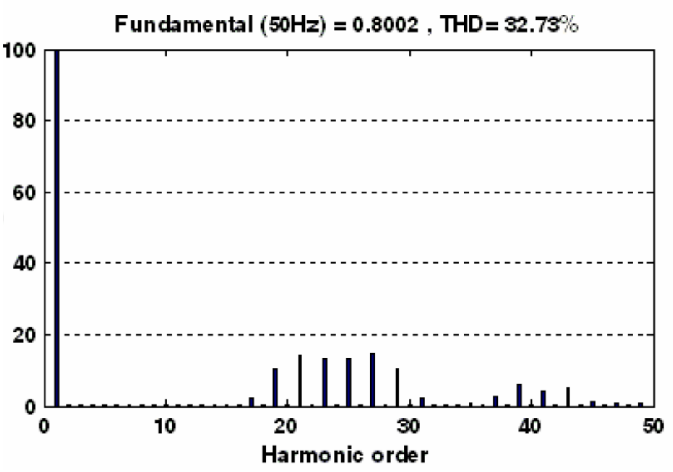






شکل (۳-۱۲): روش کنترلی POD با $m_a=0.8$ و $m_f=24$

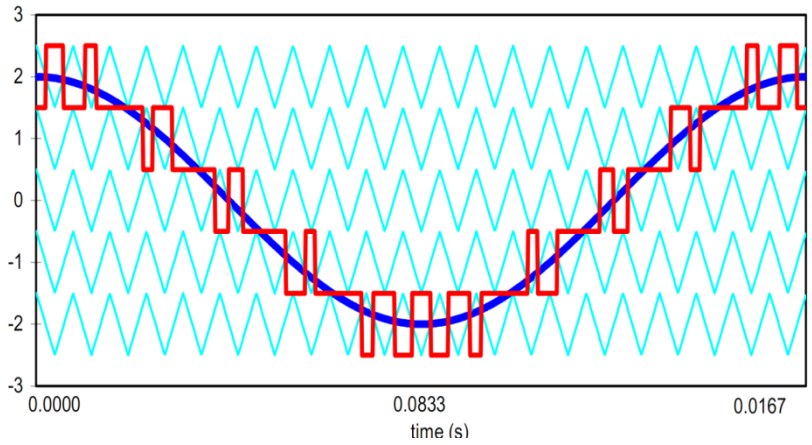





شکل (۳-۱۳): روش کنترلی APOD با $m_a$=0.8 و $m_f$=24

شکل (۳-۱۴)، مجموعه موج‌های حامل ($m_f$ =21) را برای یک اینورتر پنج سطحی و سیگنال مرجع سینوسی با شاخص مدولاسیون 0.8، و موج حاصل از مدولاسیون را نمایش می‌دهد.




شکل (۳-۱۴): مجموعه موج‌های حامل و سیگنال مرجع سینوسی با شاخص مدولاسیون 0.8

### ۳-۲-۹) تکنیک SFO-PWM [1]

روش دیگر مبتنی بر موج حامل که توسط منزایس[2]، برای کاربردهای چندسطحی توسعه یافت، روش SFO-PWM است. این روش جز در ولتاژ مرتبه صفر رابطه‌ی (۳-۱۶) جمع شده با سیگنال مرجع، کاملاً مشابه روش SH-PWM است.

[1] Switching frequency optimal pulse width modulation

[2] Menzies

این روش مقادیر متوسط لحظه‌ای حداکثر و حداقل ولتاژ سه‌فاز مرجع ($v_a^*,v_b^*,v_c^*$) را محاسبه می‌نماید و این مقدار از هر ولتاژ مرجع به صورتی که در رابطه (۳-17) الی (۳-۱۹) بیان‌شده، کم می‌شود[۲۳]:

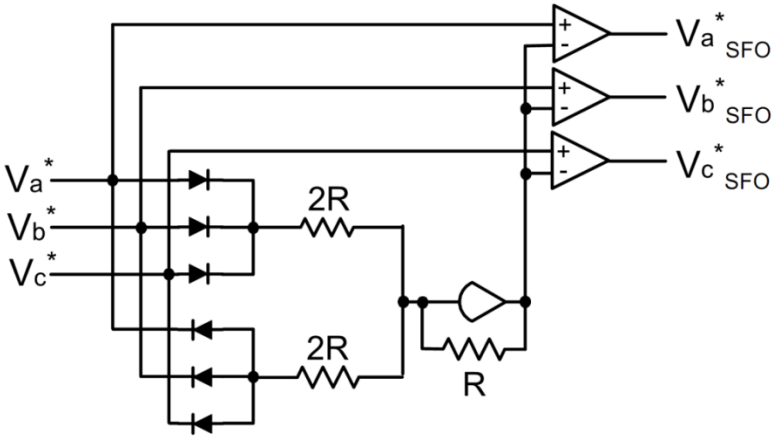
$$\text{Voffset} = \frac{\max(va*, vb*, vc*) + \min(va*, vb*, vc*)}{۲} \quad (۱۶-۳)$$

$$V^*_{aSFO} = V^*_a - V^*_{offset} \quad (۱۷-۳)$$

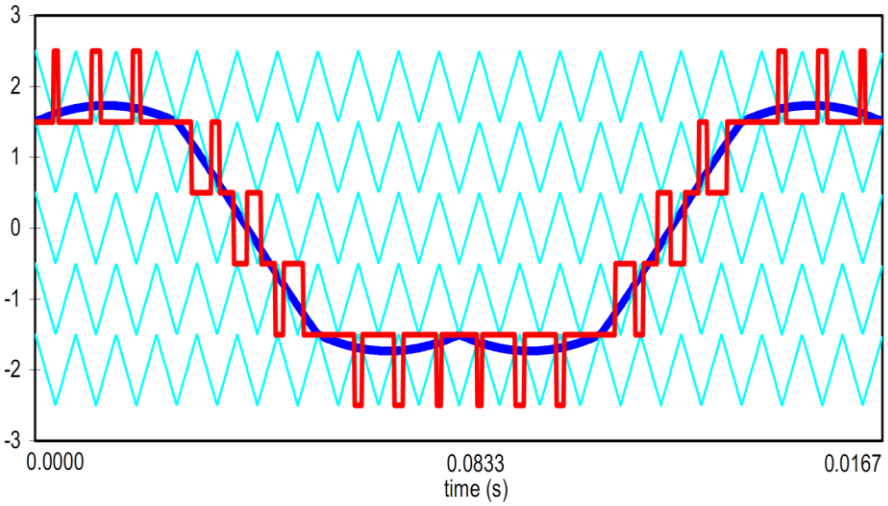
$$V^*_{bSFO} = V^*_b - V^*_{offset} \quad (۱۸-۳)$$

$$V^*_{cSFO} = V^*_c - V^*_{offset} \quad (۱۹-۳)$$

مدار آنالوگ معادل روابط (۳-۱۶) الی (۳-۱۹)، در شکل (۳-۱۵) ارائه‌شده است. در شکل (۳-۱۶) مدولاسیون SFO-PWM برای سیگنال‌های مرجع سینوسی نشان داده شده است. تکنیک SFO-PWM شاخص مدولاسیون را تا ٪۱۵ افزایش می‌دهد [۲۳].

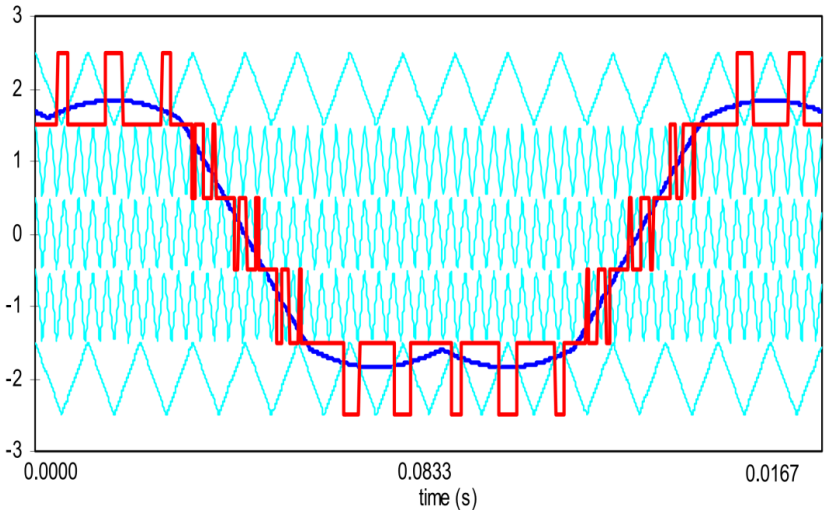



شکل (۳-۱۵): مدار آنالوگ معادل معادلات ۳-۱۶ الی ۳-۱۹




شکل (۳-۱۶): نمایش موج‌های حامل و سیگنال مرجع در مدولاسیون SFO-PWM

برای تکنیک‌های SFO-PWM و SH-PWM بیان‌شده، کلیدهای مربوط به باند پایینی (سطوح پایین) و بالایی (سطوح بالایی) خیلی سریع‌تر از طبقه میانی کلیدزنی می‌شوند. روش‌هایی برای تعادل و یا کاهش فرکانس کلیدزنی قطعات بدون تأثیر نامطلوب بر THD ولتاژ خروجی در [۲۴] ارائه‌شده است. یک روش برای تعادل کلیدزنی همه‌ی سطوح در تکنیک‌های SFO-PWM و SH-PWM، متفاوت قرار دادن فرکانس موج حامل است که در شکل (۳-۱۷) نشان داده شده است.




شکل (۳-۱۷): نمایش نحوه تعادل کلیدزنی در کلیدها توسط افزایش فرکانس موج‌های حامل

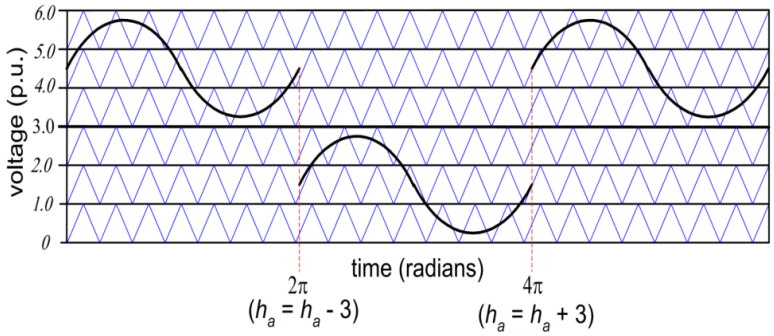
## ۳-۳) افزایش فرکانس کلیدزنی در شاخص مدولاسیون پائین

با توجه به این‌که در شاخص مدولاسیون پایین، اینورتر قادر به استفاده از تمامی سطوح ولتاژ نیست، می‌توان برای به‌کارگیری تمامی سطوح، سطح مورداستفاده در اینورترهای با تعداد سطوح فرد را جابجا کرد، به‌طوریکه فرکانس کلیدزنی دو برابر شود و هنوز تلفات متوسط حرارتی در محدوده مجاز باشد. برای اینورترهایی با تعداد سطوح زوج، فرکانس حامل را می‌توان بسته به شاخص مدولاسیون به مقدار دو برابر حالت عادی در نظر گرفت. افزایش فرکانس سوئیچینگ باعث جبران هارمونیک‌های فرکانس بالا می‌شود و درنتیجه شکل موج خروجی به شکل موج مرجع نزدیک‌تر می‌شود. به‌عنوان‌مثال از چگونگی انجام افزایش فرکانس کلیدزنی اینورتر، تحلیلی از یک اینورتر هفت سطحی با شاخص مدولاسیون ۰/۴ ارائه می‌شود. شکل (۳-۱۸) نشان می‌دهد که در مدت یک سیکل، موج مرجع در مرکز سه باند حامل بالایی قرار می‌گیرد، در سیکل بعدی، سیگنال مرجع در مرکز سه باند پایینی قرار می‌گیرد و این عمل تکرار خواهد شد. این تکنیک باعث می‌شود که نیمی از کلیدها در هر سیکل ریست شوند و تلفات کلیدزنی در آن‌ها صفر گردد. با این روش، فرکانس کلیدزنی (فرکانس موج حامل $f_c$ ) را می‌توان به‌طور مؤثر به $2f_c$ افزایش داد درحالی‌که تلفات کلیدزنی در هر سیکل برای کلیدها تغییر نکند. به دلیل اینکه تنها اینورتر دیود کلمپ دارای حالت افزونه ولتاژ خط به خط است، این روش تنها برای سیستم‌های سه‌فاز قابل‌اجراست. بدان معنا که در هر ناپیوستگی که سیگنال مرجع از هر مجموعه باند حامل به مجموعه دیگر منتقل می‌شود، انتقال سنکرون شده است یعنی؛ همه فازها (سه‌فاز) در یک‌لحظه از یک مجموعه حامل به مجموعه بعدی منتقل می‌شوند. در مواردی که افزایش فرکانس موج حامل (جابجایی سطح) داریم، حالات (یا سطوح) هر سه فاز در هر سیکل از سیگنال مرجع، به‌صورت رابطه (۳-۲۰) افزایش یا کاهش می‌یابد[۱۸]:

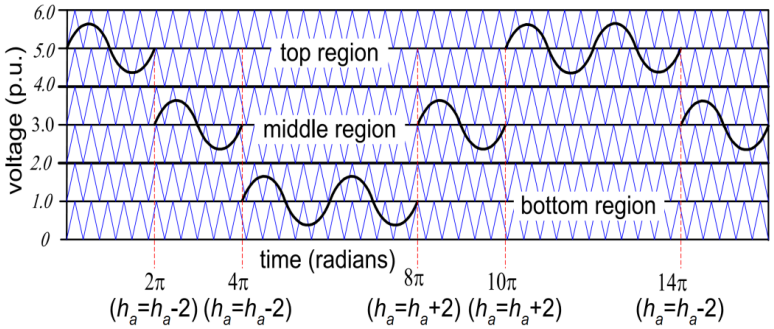
$$h_a = h_a + (-۱)^j . \frac{[m - ۱]}{۲} \qquad (۲۰-۳)$$

در شاخص‌های نزدیک صفر، به‌دلیل کاهش تلفات متوسط در کلیدهای مربوط به هر سطح، می‌توان فرکانس کلیدزنی را حتی بیشتر کرد. مقداری از تلفات کلیدزنی، در پایان هر سیکل از مدولاسیون به حالات کلیدزنی اضافی هر سه فاز در زمان تعویض باندهای حامل مربوط می‌شود. برای نمونه در شکل (۳-۱۸) حالات سه جفت کلید اینورتر دیود کلمپ سه فاز هفت‌سطحی، در پایان هر سیکل تغییر می‌کند. تلفات ناشی از کلیدزنی اضافی در مقایسه با تلفات کلیدزنی مربوط به روش PWM مرسوم،

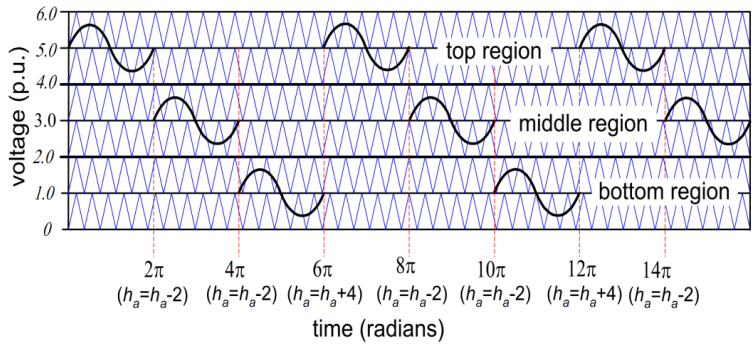
معمولاً کمتر از پنج درصد کل تلفات کلیدزنی است. شکل‌های (۳-۱۹) و (۳-۲۰) دو روش مختلف از تعویض سیگنال مرجع در بین نواحی مختلف (top ,middle, bottom) را برای اینورتر هفت‌سطحی در شاخص مدولاسیون کمتر از ۰,۳۳۳ نشان می‌دهد. روش نشان داده شده در شکل (۳-۱۹) به دلیل کلیدزنی اضافی کمتر، بهتر از روش شکل (۳-۲۰) است. در روش شکل (۳-۱۹) پس از سه سیکل پایه تنها چهار کلیدزنی اضافی نیاز است درحالی‌که در روش شکل (۳-۲۰) به هشت کلیدزنی اضافی نیاز است.




شکل (۳-۱۸): نحوه جابجایی سیگنال مرجع در بین باندهای حامل برای شاخص مدولاسیون کمتر از 0.5




شکل (۳-۱۹): نحوه جابجایی مطلوب سیگنال مرجع برای شاخص مدولاسیون کمتر از ۰,۳۳ و افزایش سه برابری فرکانس حامل




شکل (۳-۲۰): نحوه جابجایی نامطلوب سیگنال مرجع برای شاخص مدولاسیون کمتر از ۰,۳۳ و افزایش سه برابری فرکانس حامل

جدول (۳-۲) امکان افزایش فرکانس کلیدزنی برای شاخص‌های مدولاسیون

| Inverter Levels | Modulation Index, $m_a$ | | Frequency Multiplier |
|---|---|---|---|
| | Min | Max | |
| 3 | 0.000 | 0.500 | 2X |
| 4 | 0.000 | 0.333 | 3X |
| 5 | 0.250 | 0.500 | 2X |
| | 0.000 | 0.250 | 4X |
| 6 | 0.200 | 0.400 | 2X |
| | 0.000 | 0.200 | 5X |
| 7 | 0.333 | 0.500 | 2X |
| | 0.167 | 0.333 | 3X |
| | 0.000 | 0.167 | 6X |
| 8 | 0.285 | 0.428 | 2X |
| | 0.142 | 0.285 | 3X |
| | 0.000 | 0.142 | 7X |
| 9 | 0.25 | 0.500 | 2X |
| | 0.125 | 0.250 | 4X |
| | 0.000 | 0.125 | 8X |
| 10 | 0.333 | 0.444 | 2X |
| | 0.222 | 0.333 | 3X |
| | 0.111 | 0.222 | 4X |
| | 0.000 | 0.111 | 9X |
| 11 | 0.333 | 0.500 | 2X |
| | 0.200 | 0.333 | 3X |
| | 0.000 | 0.200 | 5X |
| 12 | 0.272 | 0.454 | 2X |
| | 0.181 | 0.272 | 3X |
| | 0.090 | 0.181 | 5X |
| | 0.000 | 0.090 | 11X |
| 13 | 0.333 | 0.500 | 2X |
| | 0.250 | 0.333 | 3X |
| | 0.167 | 0.250 | 4X |
| | 0.0833 | 0.167 | 6X |
| | 0.000 | 0.0833 | 12X |

جدول (۳-۲) امکان افزایش فرکانس کلیدزنی برای شاخص‌های مدولاسیون مختلف را بررسی می‌کند.

## ۳-۴) روش‌های مختلف بهینه سازی

در این مطالعه هدف شبیه‌سازی یک اینورتر چند سطحی به روش حذف هارمونیک انتخابی است. در این روش، به دست آوردن زوایای بهینه برای حذف هارمونیک منتخب توسط یکی از روش‌های بهینه‌سازی انجام می‌گیرد. ازآنجایی‌که بهینه‌سازی در مسائل مهندسی یکی از مسائل مهم در طراحی است، محققان در جستجوی روش‌های مختلفی برای رسیدن به طراحی بهینه می‌باشند. در طی سال‌های گذشته تاکنون، دانشمندان هنگام حل مسائل پیچیده، در طبیعت به دنبال راه‌حل گشته‌اند. الگوریتم‌های تکاملی[1] گروهی از فن‌های جستجو و بهینه‌سازی هستند که قاعده‌ی کلی آن‌ها از سیستم‌های موجود در طبیعت الهام گرفته شده است (تکامل داروین). در این الگوریتم‌ها از فلسفه‌ی انتخاب اصلح در طبیعت، استفاده می‌شود و با الهام از طبیعت، پاسخ‌های یک مسئله‌ی مفروض در کروموزوم‌ها کد می‌شود. تکامل کروموزم‌ها که درنتیجه‌ی اعمالی مانند جهش[2] و تعویض[3] و انتخاب طبیعی رخ می‌دهد از طریق کدهای کامپیوتری شبیه‌سازی می‌شود. تاکنون مشخص‌شده که الگوریتم‌های تکاملی به‌تنهایی برای تنظیم دقیقِ جستجو در فضاهای ترکیبی پیچیده مناسب نیستند و ترکیب آن‌ها با تکنیک‌های دیگر، می‌تواند به مقدار زیادی کارایی جستجو را افزایش دهد. در [۳۶] ترکیب الگوریتم‌های تکاملی با جستجوی محلی، به‌عنوان الگوریتم‌های ممتیک[4] نام‌گذاری شد. این الگوریتم‌ها از مدل‌های وفق پذیری سیستم‌های طبیعی که وفقِ تکاملی یک جمعیت را با یادگیری فردی اعضای جمعیت ترکیب می‌کنند، الهام گرفته می‌شوند. نام این الگوریتم از مفهوم مم[5] در نظریه‌ی داروین، الهام گرفته شده است. مم، واحد سنجش تکامل فرهنگی است که می‌تواند مقدار اصلح فرهنگی محلی صورت گرفته را منعکس کند. در حوزه‌ی بهینه‌سازی هیوریستیک،

[1] Evolutionary algorithms

[2] mutation

[3] crossover

[4] memetic algorithm

[5] MEME

یک مم استراتژی یادگیری یا توسعه را نمایش می‌دهد. ازاین‌رو یک مدل ممتیکِ وفق‌پذیر، میزان انعطاف افراد جمعیت را نشان می‌دهد[۳۶].

در این بخش به بررسی روش‌های مختلف بهینه‌سازی که اخیراً پیشنهادشده‌اند پرداخته می‌شود.

### ۳-۴-۱) الگوریتم PSO[1]

تاریخچه بهینه‌سازی گروه ذرات در بیشتر گونه‌های جانوران با رفتارهای گروهی دیده شده است. چه‌بسا که بعضی ازاین‌گونه‌ها نیز توسط یک عضو برتر گروه راهنمایی می‌شوند. به‌عنوان‌مثال در شیرها، میمون‌ها و گوزن‌ها این امر کاملاً مشاهده می‌شود. در اوایل سال ۱۹۰۰ با تحقیقاتی که بر روی رفتار اجتماعی میمون‌ها صورت گرفت مشخص شد که در این‌گونه از میمون‌ها عملکرد و رفتار هر عضو از گروه به‌صورت سلسله مراتبی از طرف جامعه بالاتر، فرمان داده می‌شود، گونه‌هایی از جانوران نیز وجود دارند که به‌صورت گروهی زندگی می‌نمایند اما راهنمایی ندارند. هر عضو یک رفتار خود سازمانده دارد که بدون استفاده از یک راهنما می‌تواند در محیط حرکت نموده و نیازهای طبیعی خود را برطرف نماید. مانند گروه پرندگان، ماهی‌ها و ...، این‌گونه از جانوران هیچ‌دانشی نسبت به رفتار عمومی کل گروه و یا حتی نسبت به محیطی که در آن قرار دارند، ندارند[۳۶]. در عوض قادرند با ردوبدل نمودن اطلاعات با اعضای هم‌جوار خود در محیط حرکت نمایند. این تعامل ساده بین ذرات باعث ایجاد رفتار پیچیده‌تر گروه می‌شود. مانند جستجوی یک محیط توسط ذرات. تحقیقات زیادی بر روی رفتارهای اجتماعی ذرات انجام شده است که در ادامه به چند نمونه از آن‌ها می‌پردازیم: رفتار گروه ماهی‌ها، رفتار جستجوی غذا در میمون‌های وحشی، رفتار جستجوی غذا در کوسه‌ها. جهت فهم بهتر رفتار پویای گروه ذرات، در[۳۷] بعضی از رفتارها شبیه‌سازی شدند و رفتار اعضای گروه به دسته‌های زیر تقسیم شده‌اند :

اجتناب از برخورد: اعضای یک گروه با یکدیگر برخوردی ندارند.

تنظیم سرعت : هر عضو سرعت خود را متناسب با اعضای همسایه خود تنظیم می‌نمایند.

جمع شدن مرکزی: هر عضو تلاش می‌کند که در کنار همسایگان خود حرکت نماید .

در بسیاری از کاربردهای بهینه‌سازی از این شبیه‌سازی‌ها الهام گرفته شده است. مدل خاصی از بهینه-سازی‌ها که از زندگی جانوران انبوه الهام گرفته است، بهینه‌سازی گروه ذرات یا PSO نام دارند .اجزای یک گروه از یک رفتار ساده تبعیت می‌نمایند. بدین نحو که هر عضو از گروه از موفقیت سایر همسایگانش تقلید

[1] Particle swarm optimization

می‌نماید. هدف از این الگوریتم‌ها این است که اعضای گروه در فضای جستجو حرکت نموده و در یک نقطه بهینه (مانند منبع غذا) جمع شوند. این رفتار شبیه فرضیه‌ای است که در [۳۸] ارائه شده است. روش PSO ریشه در کارهای رینولد[1] دارد که یک شبیه‌سازی ابتدایی از رفتار اجتماعی پرندگان است. در این مدل، رفتارهای ساده پیدا کردن نزدیک‌ترین همسایه‌ها (تنظیم سرعت‌ها) پیاده شده است. این مدل پرندگان به‌صورت تصادفی در یک فضای جستجوی جدول پیکسلی قرار داده می‌شوند و در هر تکرار نزدیک‌ترین همسایه ذره انتخاب شده و سرعت ذره با سرعت نزدیک‌ترین همسایه‌اش جایگزین می‌شود. این عمل باعث می‌گردد که گروه خیلی سریع به یک‌جهت حرکت نامعین و بدون تغییر همگرا شوند. جهت رفع این مشکل یک مؤلفه یادگیری به‌صورت تغییر تصادفی در گروه‌ها استفاده شده است. به‌منظور توسعه بیشتر این مدل مفهوم سردسته پرندگان به مدل اضافه گردید که به شکل یک حافظه از بهترین موقعیت-های هر عضو و همسایگان آن عضو بود. بهترین موقعیت قبلی هر عضو بهترین موقعیتی است که آن عضو از ابتدای حیات خود تابه‌حال کسب نموده است. بهترین موقعیت همسایگی بهترین موقعیتی است که توسط همسایگان یک عضو ملاقات شده است. این دو بهترین موقعیت به‌عنوان نقاط جذب عمل می‌نمایند. با استفاده از یک مجموعه قوانین ساده می‌توان موقعیت‌های اعضای گروه را به‌روز نمود. بدین‌صورت که هر عضو به یک نسبت به سمت دو موقعیت بهتر حرکت می‌نماید. به‌مرورزمان با تکرار الگوریتم اعضا حول یک هدف جمع می‌شوند. این رفتار حتی بدون هماهنگی سرعت‌ها و فاکتور یادگیری نتیجه‌بخش بود. مدل نهایی بهینه‌سازی گروه ذرات نامیده شد[۳۶]. کلمه ذره به‌جای کلمه اعضا استفاده گردید، گرچه ذرات بدون وزن و حجم هستند یک سرعت و شتاب به هرکدام از آنها نسبت داده می‌شود. کلمه گروه اساساً به دلیل حذف هماهنگی سرعت‌ها (که یکی از اجزای رفتار گروهی است) استفاده شده است و با تعاریف میلوناس[2] نیز هم‌خوانی دارد. اصول پایه‌ای هوش گروهی صورت زیر تعریف شده است:

اصل هم‌جواری : گروه عناصر باید قادر باشند که محاسبات را در فضا و زمان اندکی انجام دهند.

اصل کیفیت : گروه ذرات باید قادر باشند که به فاکتورهای کیفی محیط پاسخ دهند.

اصل تنوع: پاسخ ذرات نباید فعالیتشان را بر روی کانال‌های خیلی باریک محدود نماید.

اصل پایداری: گروه ذرات نباید حالت رفتار خود را هر بار با تغییرات محیط تغییر دهد.

اصل تطابق : گروه ذرات باید قادر باشد، رفتار خود را به نفع کاهش هزینه محاسباتی تغییر دهد .

---

[1] REYNOLD

[2] MILONAS

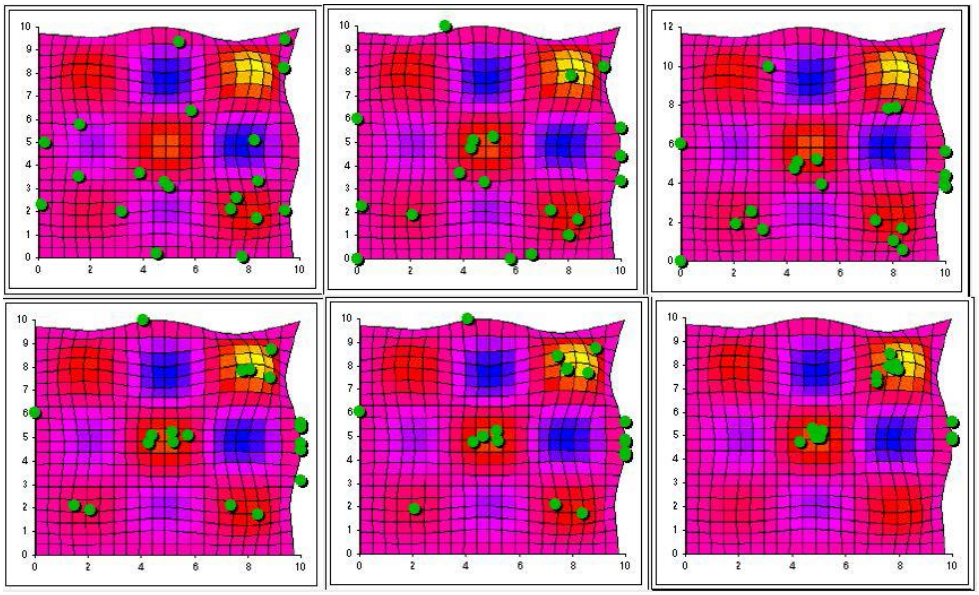
بهینه‌سازی گروه ذرات به‌صورت زیر این موضوعات را برآورده می‌نماید که محاسبات فضای چندبعدی به‌صورت یک سری از گام‌های زمانی انجام می‌شوند. که این اصل اول را پوشش می‌دهد. گروه ذرات به فاکتورهای کیفی به‌صورت بهترین موقعیت‌های فردی و همسایگی جواب می‌دهد. تخصیص پاسخ‌ها بین بهترین موقعیت ذره و بهترین گروه تنوع پاسخ‌ها را تضمین می‌نماید. گروه حالت خود را فقط هنگامی‌که بهترین موقعیت توسط ذره و بهترین موقعیت توسط گروه تغییر می‌کند، تغییر می‌دهد. که بدین‌صورت اصل پایداری را پوشش می‌دهد. درنهایت گروه رفتار تطبیقی از خود نشان می‌دهد بدین‌صورت که حالت خود را هنگامی‌که بهترین موقعیت توسط ذره و بهترین موقعیت توسط گروه تغییر می‌کند، تغییر می‌دهد[۳۸].

### ۳-۴-۱-۱) استراتژی الگوریتم بهینه سازی گروه ذرات

روش PSO یک روش سراسری بهینه‌سازی است که با استفاده از آن می‌توان با مسائلی که جواب آن‌ها یک نقطه یا سطح در فضای N بعدی است، برخورد نمود. در فضایی بدین‌صورت، فرضیاتی مطرح می‌شود و یک سرعت ابتدایی به ذرات اختصاص داده می‌شود، همچنین کانال‌های ارتباطی بین ذرات در نظر گرفته می‌شود. سپس این ذرات در فضای پاسخ حرکت می‌کنند، و نتایج حاصله بر مبنای یک ملاک شایستگی پس از هر بازهٔ زمانی محاسبه می‌شود. با گذشت زمان، ذرات به سمت ذراتی که دارای ملاک شایستگی بالاتری هستند و در گروه ارتباطی یکسانی قرار دارند، شتاب می‌گیرند. مزیت اصلی این روش بر استراتژی‌های بهینه‌سازی دیگر این است که، تعداد فراوان ذرات ازدحام کننده، باعث انعطاف روش در برابر مشکل پاسخ بهینه‌ی محلی[1] می‌گردد. در شکل (۳-۲۱) نمونه‌هایی از روند حرکت ذرات در فضای جستجو نمایش داده شده است که موقعیت اولیه ذرات را نشان می‌دهد که در فضای جستجوی دوبعدی قرار دارند و ذرات با تکرارهای الگوریتم درنهایت همگرا می‌شوند[۳۷].

هر ذره دارای یک موقعیت است که مشخص می‌نماید مختصات ذره در فضای جستجوی چندبعدی چه است با حرکت ذره در طول زمان موقعیت ذره تغییر می‌نماید. X موقعیت ذره I ام در زمان T ام را مشخص می‌نماید. همچنین هر ذره برای حرکت نمودن در فضا نیاز به یک سرعت دارد VI(T) سرعت ذره‌ی I ام در زمان T ام را مشخص می‌نماید. با افزودن سرعت به موقعیت هر ذره، می‌توان موقعیت جدیدی برای ذره در نظر گرفت.

[1] LOCAL OPTIMA



شکل (۳-۲۱): روند حرکت ذرات در یک گروه[۳۷]

این الگوریتم با تکنیک‌های محاسباتی تکاملی مانند الگوریتم ژنتیک شباهت‌هایی دارد. با هر ذره به‌عنوان یک نقطه در فضای N بعدی رفتار می‌شود که پردازش را بر طبق تجربیات پرواز خود بعلاوه تجربیات دیگر ذره‌ها تنظیم می‌کند. هر ذره مسیرش را در مختصات خود در فضای حل ادامه می‌دهد، که مرتبط با بهترین پاسخ محلی است که تاکنون به‌وسیله آن ذره به دست آمده است. این مقدار بهترین شخص (PBEST) نامیده می‌شود. بهترین مقدار دیگر نیز برای ذره همسایه وجود دارد، که الگوریتم آن را دنبال می‌کند. بهترین مقدار به‌دست‌آمده تاکنون به‌وسیله هر ذره، در همسایگی آن ذره می‌باشد، این مقدار (GBEST) نامیده می‌شود و درواقع بهترین تجربه سراسری به‌حساب می‌آید[۳۹].

این اطلاعات از مقایسه تلاش‌هایی که هر ذره برای رسیدن به بهترین جواب انجام می‌دهد، به دست می‌آید. همچنین هر ذره بهترین جوابی که در گروه از مقدار PBESTها به‌دست‌آمده را به‌عنوان GBEST می‌شناسد. هر ذره برای رسیدن به بهترین جواب سعی می‌کند موقعیت خود را با روابط (۳-۲۰) و (۳-۲۱) تغییر دهد:

$$V_{i+1} = W \times V_i + C_1 \times r_1 \times \left(Pbest_i - S_i\right) + C_2 \times r_2 \times \left(g_{best} - S_i\right) \qquad (۳-۲۰)$$

$$S_{i+1} = S_i + V_{i+1} \qquad (۳-۲۱)$$

$V_i$ = سرعت هر ذره

$S_i$ = مکان فعلی ذره

$w$ = وزن اینرسی

$C_1$ = ضریب شتاب شناختی

$C_2$ = ضریب شتاب اجتماعی

$Pbest_i$ = بهترین مکان شخصی هر ذره

$gbest_i$ = بهترین موقعیت گروهی هر ذره

$r_1, r_2$ = توزیع یکنواخت اعداد تصادفی در بازه‌ی بین ۰ و ۱

### ۳-۴-۱-۲) مراحل الگوریتم PSO

۱- تولید جمعیت اولیه

۲-محاسبه مقدار تابع تناسب[1] برای تمام ذرات فعلی و مقادیر به‌دست‌آمده از تکرارهای قبلی

۳-تعیین مقدار PBEST برای هر ذره با توجه به مقدار FITNESS ذرات فعلی و مقادیر به‌دست‌آمده از تکرارهای گذشته.

۴- تعیین مقدار GBEST از بین تمام ذرات با توجه به FITNESS های به‌دست‌آمده برای ذرات در تکرار-های گذشته.

۵-تعیین مکان جدید ذرات با استفاده از رابطه (۳-۲۲) زیر:

$$V_{ij}^{t+1} = w.v_{ij}^{t} + c_1.rand(*).(Pbest_{ij}^{t} - X_{ij}^{t}) + c_2.rand(*)(Gbest_{j}^{t} + x_{ij}^{t}) \qquad (۲۲-۳)$$
$$X_{ij}^{t+1} = X_{ij}^{t} + V_{ij}^{t+1}$$

۶- رفتن به مرحله (۲) در صورت نرسیدن به تکرار ماکزیمم و در غیر این صورت رفتن به مرحله (۷)

۷- معرفی GBEST به‌دست‌آمده در آخرین تکرار به‌عنوان جواب مسئله

۸- پایان

$\omega_{max}$ : نخستین ضریب وزنی

$\omega_{min}$ : آخرین ضریب وزنی

$T_{max}$ : ماکزیمم تکرار مسئله

Rand(*) : توزیع نرمال تصادفی بین صفر و یک

[1] FITNESS

شرط توقف: تعداد ماکزیمم تکرارها اجرا می‌شوند، خطای مینیمم به دست می‌آید و یا رسیدن به FITNESS مناسب از شروط توقف است. شرط توقف مسئله وابسته به مسئله‌ای که بهینه‌سازی می‌شود، است[۳۹-۴۲].

### ۳-۴-۲- الگوریتم ژنتیک[1]

الگوریتم ژنتیک، به‌عنوان یکی از راه‌حل‌های یافتن جواب مسئله در بین روش‌های مرسوم در هوش مصنوعی مطرح است. در حقیقت بدین روش می‌توان در فضای حالت مسئله حرکتی سریع‌تر برای یافتن جواب‌های احتمالی داشت، به بیانی دیگر می‌توان با عدم بسط دادن کلیه حالات، به جواب‌های موردنظر رسید.

در جهان اطراف ما همه ارگانیزم‌های حیاتی از ساختارهای قانونمندی تشکیل‌شده‌اند. همه‌ی این ارگانیزم‌ها از بلوک‌های پایه‌ای از زندگی به نام سلول به وجود آمده‌اند. قوانین مزبور در قالب ژن‌ها به‌صورت کد شده در هر ارگانیزم وجود دارند. از به‌هم وصل شدن این ژن‌ها، رشته‌هایی طولانی به نام کروموزوم تولید می‌شود. هر ژن نمایانگر یکی از خصوصیات آن ارگانیزم است[۴۰].

هنگامی‌که دو ارگانیزم به تولیدمثل می‌پردازند، در حقیقت ژن‌های خود را با یکدیگر ترکیب می‌کنند. بدین‌صورت که ارگانیزم تولیدشده که آن را نوزاد می‌نامند، دارای نیمی از ژن‌های یک والد و نیم دیگر از والد دیگری است، این عمل را ترکیب می‌نامند. گاهی اوقات بعضی از ژن‌ها دارای جهش می‌شوند، که این جهش تغییری در ساختار کروموزوم ایجاد نمی‌کند، اما با توجه به این‌که مقدار جدیدی به یک ژن تخصیص می‌یابد، موجب بروز خصوصیت جدیدی می‌شود. به این عمل جهش گفته می‌شود.

الگوریتم ژنتیک از اصول انتخاب طبیعی داروین برای یافتن فرمول بهینه جهت پیش‌بینی یا تطبیق الگو استفاده می‌کند، که اغلب گزینه خوبی به‌منظور بهینه‌سازی است[۴۱].

مختصراً گفته می‌شود که الگوریتم ژنتیک یک تکنیک برنامه‌نویسی است که از تکامل ژنتیکی به‌عنوان یک الگوی حل مسئله استفاده می‌کند، هدف حل مسئله‌ای است که ورودی الگوریتم است و راه‌حل‌ها طبق یک الگو کدگذاری می‌شود و متریک که تابع تناسب هم نام دارد هر راه‌حل کاندید را ارزیابی می‌نماید که اکثر آن‌ها به‌صورت تصادفی انتخاب می‌شوند.

این الگوریتم از بخش‌های زیر تشکیل می‌شود :

[1] Genetic Algorithm

تابع تناسب - نمایش – انتخاب – تغییر

قانون انتخاب طبیعی بدین‌صورت است که تنها گونه‌هایی از یک جمعیت ادامه نسل می‌دهند که بهترین خصوصیات را داشته باشند و آن‌هایی که این خصوصیات را نداشته باشند به‌تدریج و در طی زمان از بین می‌روند.

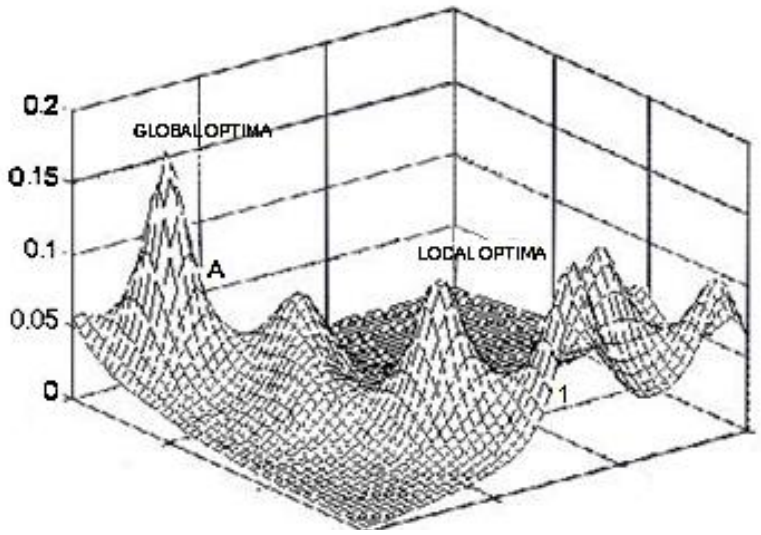
بدین ترتیب می‌توان دید که طبیعت با بهره‌گیری از یک روش بسیار ساده (حذف تدریجی گونه‌های نامناسب و درعین‌حال تکثیر بالاتر گونه‌های بهینه) توانسته است دائماً هر نسل را ازلحاظ خصوصیات مختلف ارتقا بخشد. هدف اصلی روش‌های هوشمند به کار گرفته شده در هوش مصنوعی یافتن پاسخ بهینه مسائل مهندسی است. به‌عنوان‌مثال اینکه چگونه یک موتور را طراحی کنیم تا بهترین بازدهی را داشته باشد یا چگونه بازوهای یک ربات را محرک کنیم تا کوتاه‌ترین مسیر را تا مقصد طی کند همگی مسائل بهینه‌سازی هستند.

روش‌های کلاسیک ریاضیات دارای دو اشکال اساسی هستند، اغلب این روش‌ها نقطه بهینه محلی را به‌عنوان نقطه‌ی بهینه کلی در نظر می‌گیرند و نیز هر یک از این روش‌ها تنها برای مسئله خاصی کاربرد دارند.

منحنی شکل (۳-۲۲) متشکل از دونقطه ماکزیمم است. که یکی از آن‌ها تنها ماکزیمم محلی است. حال اگر از روش‌های بهینه‌سازی ریاضی استفاده کنیم می‌بایست به‌ناچار در یک بازه بسیار کوچک مقدار ماکزیمم تابع را بیابیم. به‌عنوان‌مثال بدیهی است اگر از نقطه ۱ شروع کنیم و تابع را ماکزیمم کنیم، تنها به مقدار ماکزیمم محلی دست خواهیم یافت و الگوریتم پس‌ازآن متوقف خواهد شد. اما در الگوریتم ژنتیک به دلیل خصلت تصادفی آن‌ها اگر از نقطه ۱ شروع کنیم، این امکان وجود دارد که در میان مسیر، نقطه A به‌صورت تصادفی انتخاب شود که در این صورت احتمال دست‌یابی به نقطه بهینه کلی[1] وجود خواهد داشت.

[1] GLOBAL OPTIMA

همچنین روش‌های ریاضی بهینه‌سازی اغلب منجر به یک فرمول یا دستورالعمل خاص برای حل هر مسئله می‌شوند. درحالی‌که روش‌های هوشمند دستورالعمل‌هایی هستند که به‌صورت کلی می‌توانند در حل هر مسئله‌ای به کار گرفته شوند.




شکل(۳-۲۲): مقایسه پاسخ بهینه روش‌های ریاضی و بهینه سازی

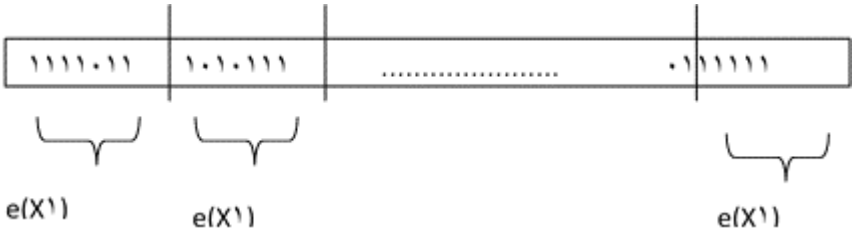
**۳-۴-۲-۱)**

ایده اساسی الگوریتم ژنتیک انتقال خصوصیات موروثی توسط ژن‌هاست. با این فرض که مجموعه خصوصیات انسان توسط کروموزوم‌های او به نسل بعدی منتقل خواهند شد. هر ژن در این کروموزوم‌ها نماینده یک خصوصیت است. حال اگر این کروموزوم به‌صورت کامل، به نسل بعد انتقال یابد، تمامی خصوصیات نسل بعدی شبیه به خصوصیات نسل قبل خواهد بود. بدیهی است که در عمل چنین اتفاقی رخ نمی‌دهد. درواقع به‌صورت هم‌زمان دو مسئله برای کروموزوم‌ها به وجود خواهد آمد. مسئله اول جهش است. جهش به این صورت است که بعضی ژن‌ها به‌صورت کاملاً تصادفی تغییر می‌کنند. البته تعداد این‌گونه ژن‌ها بسیار کم است اما این تغییر تصادفی بسیار مهم است. مسئله بعدی چسبیدن ابتدای یک کروموزوم به انتهای یک کروموزوم دیگر است، که با نام ترکیب شناخته می‌شود. برای مثال این مسئله باعث می‌شود تا فرزند تعدادی از خصوصیات پدر و تعدادی از خصوصیات مادر را با هم به ارث ببرد و از شبیه شدن تام فرزند به تنها یکی از والدین جلوگیری می‌کند[۴۳].

در ابتدا تعداد مشخصی از ورودی‌ها، $X1,X2,\ldots,XN$ که متعلق به فضای نمونه X هستند انتخاب‌شده و در یک عدد برداری $X=(x1,x2,\ldots xN)$ نمایش داده می‌شوند. گروه کروموزوم‌ها کولونی یا جمعیت

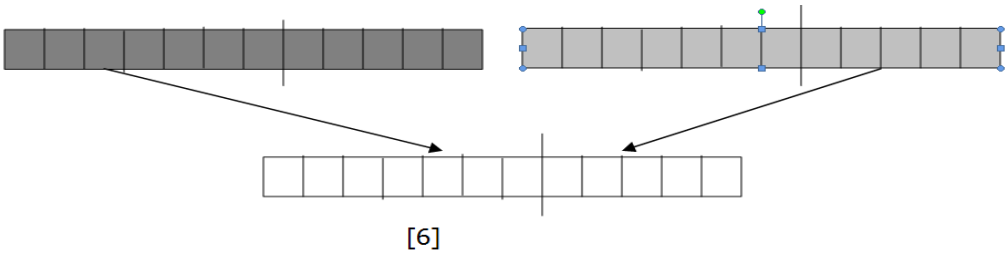
نامیده می‌شوند. در هر دوره کولونی رشد می‌کند و بر اساس قوانین مشخصی که حاکی از تکامل زیستی است تکامل می‌یابند. هر کروموزوم $X_I$ ، یک ارزش تناسب (FITNESS) که آن را $F(X_I)$ نیز می‌نامند. عناصر قوی‌تر یا کروموزوم‌هایی که ارزش تناسب آن‌ها به بهینه جمعیت نزدیک‌تر است شانس بیشتری برای زنده ماندن در طول دوره‌های دیگر و دوباره تولید شدن را دارند و ضعیف‌ترها محکوم به نابودی هستند. به‌عبارت‌دیگر ورودی‌هایی که به جواب بهینه نزدیک‌تر هستند نگه داشته می‌شوند و از مابقی صرف‌نظر خواهد شد[۴۳].

یک گام مهم درالگوریتم ژنتیک، تولد است که در هر دوره یک‌بار اتفاق خواهد افتاد. محتویات دو کروموزومی که در فرآیند تولید شرکت می‌کنند باهم ترکیب می‌شوند تا دو کروموزوم جدید که آن‌ها را فرزند می‌نامند ایجاد کنند. این هیوریستیک دو عدد از بهترین کروموزم‌ها را جهت ایجاد یک کروموزم بهتر، ترکیب می‌کند. به‌علاوه در طول هر دوره، یک سری از کروموزوم‌ها ممکن است جهش یابند.




شکل(۳-۲۳) تقسیم‌بندی قسمت‌های مختلف یک کروموزوم

از هر روش کد کردن برای اعداد می‌توان اســتفاده کرد. در ابتدا، یک دســته از ورودی‌های X به‌صورت تصادفی انتخاب می‌شوند. و در ادامه ارزش مقدار تابع تناسب تولید خواهد شد، تغییر اعمال می‌گردد و درنهایت انتخاب صورت می‌پذیرد. پس از دسترسی به معیار مناسب الگوریتم پایان می‌یابد.




شکل (۳-۲۴) تقسیم‌بندی قسمت‌های مختلف یک کروموزوم

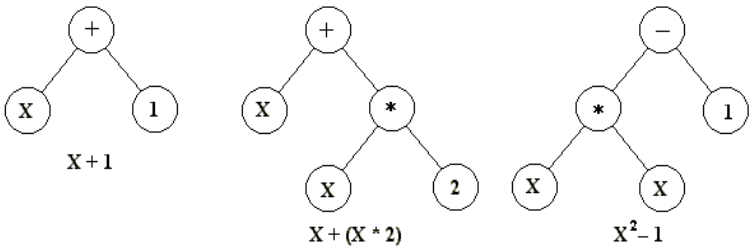
### ۳-۴-۲-۲)اصول عملکرد الگوریتم ژنتیک

موتور الگوریتم ژنتیک یک جمعیت آغاز از فرمول ایجاد می‌کند. هر فرد در برابر مجموعه‌ای از داده‌های مورد آزمایش قرار می‌گیرند و در حدود ۱۰ درصد از مناسبترین‌ها باقی می‌مانند. مناسب‌ترین افراد باهم جفت‌گیری (جابجایی عناصر دی ان ای) و تغییر (تغییر تصادفی عناصر دی ان ای) کرده‌اند. مشاهده می‌شود که باگذشت از میان تعداد زیادی از نسل‌ها، الگوریتم ژنتیک به سمت ایجاد فرمول‌هایی که از دقت بالایی برخودار هستند، میل می‌کنند.

یک حالت برای مسئله موردنظر، با یک لیست از پارامترها نشان داده می‌شود که به آن‌ها کروموزوم یا ژنوم می‌گویند.کروموزوم‌ها عموماً به‌صورت یک‌رشته ساده از داده‌ها نمایش داده می‌شوند، البته انواع ساختمان داده‌های دیگر هم می‌توانند مورداستفاده قرار گیرند. بدین ترتیب جواب‌ها به یکی از حالات (۱۰۱۱۰۱۱۰۱۰۰۰۰۱۰۱۰۱۱۱۱۱۱۱۰) یا (۱۲۶۴۱۹۶۳۵۲۴۷۸۹۲۳۴۵۵۵۴۸۲۱۶) خواهد بود.

در ابتدا چندین مشخصه به‌صورت تصادفی برای ایجاد نسل اول تولید می‌شوند. در طول هر نسل، هر مشخصه ارزیابی می‌شود و ارزش تناسب توسط تابع تناسب اندازه‌گیری می‌شود[۴۴].

گام بعدی ایجاد دومین نسل از جامعه است که بر پایه فرآیندهای انتخاب ، تولید از روی مشخصه‌های انتخاب‌شده با عملگرهای ژنتیکی است: اتصال کروموزوم‌ها به سر یکدیگر و تغییر.




شکل ۳-۲۵: نحوه تولید نسل جدید

برای هر فرد، یک جفت والد انتخاب می شود. انتخاب‌ها به‌گونه‌ای هستند که مناسب‌ترین عناصر انتخاب شوند تا حتی ضعیف‌ترین عناصر هم شانس انتخاب داشته باشند تا از نزدیک شدن به جواب محلی جلوگیری شود.

معمولاً در الگوریتم‌های ژنتیک یک احتمال اتصال وجود دارد که بین ۰,۶ و۱ است که احتمال به وجود آمدن فرزند را نشان می‌دهد. ارگانیسم‌ها با این احتمال، دوباره باهم ترکیب می شوند. اتصال دو کروموزوم فرزند ایجاد می‌کند، که به نسل بعدی اضافه می‌شوند. این مراحل انجام می‌شوند تا کاندیدهای مناسبی برای جواب، در نسل بعدی پیدا شوند. مرحله بعد تغییر در فرزندان جدید است. الگوریتم‌های ژنتیک یک احتمال تغییر کوچک و ثابت دارند که معمولاً درجه‌ای در حدود ۰,۰۱ یا کمتر دارد. بر اساس این احتمال،کروموزوم‌های فرزند به‌طور تصادفی تغییر کرده یا جهش می‌یابند. این مسئله خصوصاً با جهش بیت‌ها در کروموزوم ساختمان داده‌ها به وجود خواهد آمد[۴۵].

این فرآیند باعث به وجود آمدن نسل جدیدی از کروموزوم‌هایی می‌شود، که با نسل قبلی متفاوت است.کل فرآیند برای نسل بعدی نیز تکرار می‌شود، جفت‌ها برای ترکیب انتخاب می‌شوند، جمعیت نسل سوم به وجود می‌آیند و...

این فرآیند تکرار می‌شود تا این‌که به آخرین مرحله برسیم.

شرایط خاتمه الگوریتم‌های ژنتیک عبارت‌اند از:

- به تعداد ثابتی از نسل‌ها برسیم.
- بودجه اختصاص داده شده تمام شود (زمان محاسبه/پول).
- یک فرد(فرزند تولیدشده) پیدا شود که مینیمم (کمترین)ملاک را برآورده کند.
- بیشترین درجه برازش فرزندان حاصل شود یا دیگر نتایج بهتری حاصل نشود.
- بازرسی دستی.

### ۳-۴-۲-۳) روش‌های انتخاب

روش‌های مختلفی برای الگوریتم‌های ژنتیک وجود دارند که می‌توان برای انتخاب ژنوم‌ها از آن‌ها استفاده کرد.اما روش‌های لیست شده در پایین برخی از معمول‌ترین روش‌ها هستند.

- انتخاب Elitist : مناسب‌ترین عضو هر اجتماع انتخاب می‌شود.
- انتخاب Roulette : یک روش انتخاب است که در آن عنصری که عدد تناسب بیشتری داشته باشد، انتخاب می‌شود.
- انتخاب Scaling : به‌موازات افزایش متوسط عدد تناسب جامعه، سنگینی انتخاب نیز افزایش می‌یابد. کاربرد این روش زمانی است که مجموعه دارای عناصری باشد که عدد تناسب بزرگی دارند و فقط تفاوت‌های کوچکی آن‌ها را از هم تفکیک می‌کند[۴۵].

### ۳-۴-۲-۴) نقاط قوت الگوریتم ژنتیک

اولین و مهم‌ترین نقطه قوت این الگوریتم این است که الگوریتم ژنتیک ذاتاً موازی عمل می‌کند. اکثر الگوریتم‌های دیگر موازی نیستند و فقط می‌توانند فضای مسئله موردنظر را در یک‌جهت در یک‌لحظه جستجو کنند. ازآنجایی‌که الگوریتم‌های ژنتیک چندین نقطه شروع دارد، در یک‌لحظه می‌تواند فضای مسئله را از چند جهت مختلف جستجو کند. بنابراین اگر یک مسیر به نتیجه نرسد سایر مسیرها سایر راه‌ها را ادامه می‌دهند و منابع بیشتری در اختیارشان قرار خواهد گرفت[۴۵].

از دیگر نقاط قوت الگوریتم ژنتیک که در ابتدا یک کمبود نیز به نظر می‌رسد این است که، الگوریتم ژنتیک در مورد مسائلی که حل می‌کند اطلاعاتی ندارد.، و تغییرات تصادفی را درراه حل‌های خود در نظر می‌گیرد و سپس از تابع تناسب برای سنجش این‌که آیا آن تغییرات پیشرفتی ایجاد کرده است، استفاده می‌کنند. مزیت این تکنیک این است که به الگوریتم ژنتیک اجازه می‌دهد که با ذهنی باز به حل مسئله بپردازد. ازآنجایی‌که تصمیمات این الگوریتم اساساً تصادفی است، بر اساس تئوری همه راه‌حل‌های ممکن به روی مسئله باز است، بااین‌حال مسائلی که محدود به اطلاعات هستند می‌بایست از راه قیاس تصمیم‌گیری شوند و در این صورت بسیاری از راه‌حل‌های نو و جدید از دست خواهد رفت.

همچنین این الگوریتم می‌تواند چندین پارامتر را همزمان تغییر دهد. بسیاری از مسائل واقعی نمی‌توانند محدود به یک ویژگی شوند تا آن ویژگی ماکزیمم یا مینیمم شود و باید چندجانبه در نظر گرفته

شوند. الگوریتم ژنتیک در حل این‌گونه مسائل بسیار مفید است، و در حقیقت قابلیت موازی کار کردن این الگوریتم این خاصیت را در آن به وجود آورده است.

**۳-۴-۲-۵) محدودیت‌های الگوریتم ژنتیک**

از محدودیت‌های این الگوریتم چگونگی نوشتن عملگر Fitness است که منجر به بهترین راه‌حل برای مسئله شود. اگر این کارکرد تناسب به‌خوبی و قوی انتخاب نشود ممکن است باعث شود که راه‌حلی برای مسئله پیدا نشود و یا مسئله‌ای دیگر به‌اشتباه حل شود. علاوه بر آن برای انتخاب تابع مناسب برای Fitness ،پارامترهای دیگری مانند اندازه جمعیت، نرخ جهش و تغییر ، قدرت و نوع انتخاب نیز باید موردتوجه قرار گیرند.

مشکل دیگر، که آن را نارس می‌نامیم این است که اگر یک ژنوم که فاصله‌اش با سایر ژنوم مای نسل‌اش زیاد باشد و بسیار زود ایجاد شود ممکن است محدودیت ایجاد کند و راه‌حل را به‌سوی جواب بهینه محلی سوق دهد. این اتفاق معمولاً در جمعیت‌های کم اتفاق میافتد. روش‌های Rank ,Scaling و .... بر این مشکل غلبه می‌کنند[۴۵].

### ۳-۴-۲-۶)چند نمونه از کاربردهای الگوریتم‌های ژنتیک

از کاربردهای الگوریتم ژنتیک در نرم‌افزار شناسایی چهره با استفاده از تصویر ثبت‌شده است. در این روش، شناسایی چهره براساس فاصله اجزای چهره و ویژگی‌های محلی و هندسی صورت می‌گیرد که تغییرات ناشی از افزایش سن، تغییرات نور و... کمترین تأثیر را خواهد داشت.

همچنین گراف‌ها برای چهره‌های جدید با استفاده از الگویتم‌های ژنتیک ساخته‌شده و با استفاده از یک تابع تشابه، قابل‌مقایسه با یکدیگر هستند که این امر تأثیر به‌سزایی در افزایش سرعت شناسایی خواهد داشت.

## ۳-۴-۳) شبکه عصبی[1]

شبکه‌های عصبی را می‌توان با اغماض زیاد، مدل‌های الکترونیکی از ساختار عصبی مغز انسان نامید. مکانیسم فراگیری و آموزش مغز اساساً بر تجربه استوار است. مدل‌های الکترونیکی شبکه‌های عصبی

[1] Artificial Neural Network

طبیعی نیز بر اساس همین الگو بناشده‌اند و روش برخورد چنین مدل‌هایی با مسائل، با روش‌های محاسباتی که به‌طورمعمول توسط سیستم‌های کامپیوتری در پیش گرفته‌شده‌اند، تفاوت دارد. تحقیقات در این زمینه نشان داده است که مغز، اطلاعات را همانند الگوها ذخیره می‌کند. فرآیند ذخیره‌سازی اطلاعات به‌صورت الگو و تجزیه‌وتحلیل آن الگو، اساس روش نوین محاسباتی را تشکیل می‌دهند. این حوزه از دانش محاسباتی به‌هیچ‌وجه از روش‌های برنامه‌نویسی سنتی استفاده نمی‌کند و به‌جای آن از شبکه‌های بزرگی که به‌صورت موازی آرایش‌شده و تعلیم‌یافته‌اند، بهره می‌جوید[۴۳].

یک شبکه عصبی مصنوعی ایده‌ای است برای پردازش اطلاعات که از سیستم عصبی زیستی الهام گرفته‌شده و مانند مغز به پردازش اطلاعات می‌پردازد. عنصر کلیدی این ایده ، ساختار جدید سیستم پردازش اطلاعات است. این سیستم از شمار زیادی عناصر پردازشی فوق‌العاده به‌هم‌پیوسته تشکیل شده که برای حل یک مسئله باهم هماهنگ عمل می‌کند. یادگیری در ANN ها ، نظیر انسان‌ها ، با مثال به وجود می‌آید. یک ANN برای انجام وظیفه‌ای مشخص، مانند شناسایی الگوها و دسته‌بندی اطلاعات ، در طول یک پروسه یادگیری ، تنظیم می‌شود . در سیستم‌های زیستی یادگیری با تنظیماتی در اتصالات سیناپسی که بین اعصاب قرار دارد همراه است. این روش ANN ها نیز وجود دارد.

### ۳-۴-۳-۱) شبکه های عصبی و کامپیوترهای معمولی

شبکه‌های عصبی نسبت به کامپیوترهای معمولی مسیر متفاوتی را برای حل مسئله طی می‌کنند. کامپیوترهای معمولی یک مسیر الگوریتمی را استفاده می‌کنند به این معنی که کامپیوتر یک مجموعه از دستورالعمل‌ها را به‌قصد حل مسئله پی می‌گیرد. بدون شناخته شدن، قدم‌های مخصوصی که کامپیوتر نیاز به طی کردن آن‌ها دارد، قادر به حل مسئله نیست. این حقیقت قابلیت حل مسئله‌ی کامپیوترهای معمولی را به مسائلی، محدود می‌کند که انسان‌ها قادر به درک آن‌ها هستند.

شبکه‌های عصبی اطلاعات را به روشی مشابه با عملی که مغز انسان انجام می‌دهد پردازش می‌کنند. آن‌ها از تعداد زیادی از عناصر پردازشی(سلول عصبی)که بسیار به یکدیگر پیوسته‌اند تشکیل شده است که این عناصر به‌صورت موازی باهم برای حل یک مسئله مشخص کار می‌کنند. اصول عملکرد شبکه‌های عصبی با مثال است و نمی‌توان آن‌ها را برای انجام یک وظیفه خاص برنامه‌ریزی کرد مثال‌ها می‌بایست با دقت انتخاب شوند در غیر این صورت زمان سودمند، از بین خواهد رفت و یا احتمال اینکه شبکه

به‌صورت ناصحیح عمل کند وجود خواهد داشت. از امتیازات شبکه عصبی این است چگونگی حل مسئله را خود کشف می‌کند و عملکرد آن غیرقابل پیش‌گویی است.

از طرف دیگر، کامپیوترهای معمولی از یک مسیر مشخص برای حل یک مسئله استفاده می‌کنند . راه‌حلی که مسئله از آن طریق حل می‌شود باید از قبل شناخته شود و به‌صورت دستورات کوتاه و غیرمبهمی شرح داده شود. این دستورات سپس به زبان‌های برنامه‌نویسی سطح بالا برگردانده می‌شود و بعدازآن به کدهایی که کامپیوتر قادر به درک آن‌ها است تبدیل می‌شود. به‌طورکلی این ماشین‌ها قابل پیش‌گویی هستند.

شبکه‌های عصبی و کامپیوترهای معمولی باهم در حال رقابت نیستند بلکه مکمل یکدیگر می‌باشند. وظایفی وجود دارد که بیشتر مناسب روش‌های الگوریتمی هستند نظیر عملیات محاسباتی و وظایفی نیز وجود دارد که بیشتر مناسب شبکه‌های عصبی هستند. حتی فراتر از این، مسائلی وجود دارد که نیازمند به سیستمی است که از ترکیب هر دو روش به دست می‌آید (به‌طورمعمول کامپیوترهای معمولی برای نظارت بر شبکه‌های عصبی به کار گرفته می‌شوند ) به این قصد که بیشترین کارایی به دست آید.

### ۳-۴-۳-۲) مزایای شبکه های عصبی

شبکه‌های عصبی، با قابلیت قابل‌توجه در استنتاج معانی از داده‌های پیچیده یا مبهم ، برای استخراج الگوها و شناسایی روش‌هایی که آگاهی از آن‌ها برای انسان و دیگر تکنیک‌های کامپیوتری بسیار پیچیده و دشوار است به کار گرفته می‌شوند. یک شبکه عصبی تربیت‌یافته می‌تواند به عنوان یک متخصص در مقوله اطلاعاتی‌ای که برای تجزیه تحلیل به آن داده شده به‌حساب آید.

مزیت‌های دیگر آن شامل موارد زیر می‌شود :

یادگیری انطباق پذیر: قابلیت یادگیری نحوه انجام وظایف بر پایه اطلاعات داده شده برای تمرین و تجربه‌های مقدماتی .

سازمان‌دهی توسط خود: یک ANN قادر است ارائه یا سازماندهی‌اش را ، برای اطلاعاتی که در طول دوره یادگیری دریافت می‌کند، خود ایجاد کند.

عملکرد بهنگام : محاسبات ANN می‌تواند به‌صورت موازی انجام شود، و سخت‌افزارهای مخصوصی طراحی و ساخته‌شده است که می‌تواند از این قابلیت استفاده کند.

تحمل خطا بدون ایجاد وقفه در هنگام کدگذاری اطلاعات : خسارت جزئی یک شبکه منجر به تنزل کارایی متناظر با آن می‌شود اگرچه تعدادی از قابلیت‌های شبکه ممکن است باوجود خسارت بزرگ باقی بماند.

### ۳-۴-۳-۳) تفاوت‌های شبکه‌های عصبی با روش‌های محاسباتی متداول و سیستم‌های خبره

شبکه‌های عصبی روش متفاوتی برای پردازش و آنالیز اطلاعات ارائه می‌دهند. اما نباید این‌گونه استنباط شود که شبکه‌های عصبی می‌توانند برای حل تمام مسائل محاسباتی مورداستفاده واقع شوند. روش‌های محاسباتی متداول همچنان برای حل گروه مشخصی از مسائل مانند امور حسابداری، انبارداری و محاسبات عددی مبتنی بر فرمول‌های مشخص، بهترین گزینه محسوب می‌شوند. جدول ۳-۳، تفاوت‌های بنیادی دو روش محاسباتی را نشان می‌دهد[۴۷].

جدول ۳-۳ : تفاوت‌های بنیادی روش محاسباتی متداول و شبکه‌های عصبی مصنوعی

| مشخصه | روش محاسباتی متداول (شامل سیستم‌های خبره) | شبکه‌های عصبی مصنوعی |
|---|---|---|
| **روش پردازش** | **ترتیبی** | **موازی** |
| **توابع** | **منطقی**(left brained) | estault (right brained) |
| **روش فراگیری** | **به کمک قواعد**(didactically) | **با مثال**(Socratically) |
| **کاربرد** | **حسابداری، واژه‌پردازی، ریاضیات، ارتباطات دیجیتال** | **پردازش حسگرها، تشخیص گفتار، نوشتار، الگو** |

تلاش‌هایی که جهت اجرایی کردن سیستم‌های خبره به کار گرفته‌شده‌اند، با مشکلات مشترکی مواجه بوده‌اند. با افزایش سطح پیچیدگی سیستم‌ها، منابع کامپیوتری موردنیاز سیستم به‌شدت افزایش می‌یابند و سیستم با کندی بیش‌ازحد روبرو می‌شود. در حقیقت تجربه نشان داده است که در وضعیت فعلی، سیستم‌های خبره تنها می‌توانند در مواقعی مفید واقع شوند که هدف محدود و مشخصی تعیین شده باشد. شبکه‌های عصبی در مسیری گام برمی‌دارند که ابزارها توانایی فراگیری و برنامه‌ریزی خود را

داشته باشند. ساختارشبکه‌های عصبی به‌گونه‌ای است که قابلیت حل مسئله را بدون کمک فرد متخصص و برنامه‌ریزی خارجی داشته باشند. شبکه‌های عصبی قادر به یافتن الگوهایی در اطلاعات هستند که هیچ فردی، هیچ‌گاه از وجود آن‌ها اطلاع نداشته است.

### ۳-۴-۳-۴) کاربردهای شبکه‌های عصبی

امروزه جهت تصمیم‌گیری، پیش‌بینی امری غیرقابل‌اجتناب است و برای موفقیت در دنیای امروزی که علم و فنّاوری به‌سرعت پیشرفت می‌کنند، نیازمند پیش‌بینی‌های دقیق از وضعیت آینده هستیم. درعین‌حال پیشرفت سریع فنّاوری، امر پیش‌بینی را مشکل‌تر نموده است و ابزارهای قدیمی پیش‌بینی دیگر کارایی گذشته را ندارند. بنابراین نیازمند روش‌های نوین هستیم. در این راستا استفاده از هوش مصنوعی و شبکه‌های عصبی موردتوجه قرار گرفته است که نتایج حاصل نیز رضایت‌بخش بوده است. در ادامه چندین کاربرد شبکه‌های عصبی برای پیش‌بینی در دنیای واقعی ارائه شده است.

کنترل هواپیما بدون خلبان، سیستم آنالیز ریسک، ردیابی انحراف هواپیما، شبیه‌سازی مسیر، سیستم راهنمایی خودکار اتومبیل، دستگاه‌های بازرسی کیفیت، آنالیز کیفیت کامپیوتر، آنالیز عملیات‌های آسیاب، آنالیز طراحی محصول شیمیایی، آنالیز نگهداری ماشین، کنترل سیستم فرایند شیمیایی و دینامیکی، طراحی اعضای مصنوعی، بهینه‌سازی زمان پیوند اعضا، اکتشاف روغن و گاز، کنترل مسیر در دستگاه‌های خودکار، سیستمهای بصری، تشخیص صدا، کلاسه‌بندی صوتی، سیستم‌های مشاوره‌ای محاسبه هزینه موجودی، اختصار اطلاعات و تصاویر، خدمات اطلاعاتی خودکار، مترجم لحظه‌ای زبان، سیستم‌های پردازش وجه مشتری، سیستم‌های تشخیص ترمز کامیون، زمان‌بندی وسیله نقلیه، سیستم-های مسیریابی، کلاسه‌بندی نمودارهای مشتری/بازار، تشخیص دارو، شناسایی طیفی، ارزیابی سرمایه، کلاسه‌بندی انواع سلول‌ها، پیش‌بینی فروش‌های آینده، پیش‌بینی نیازهای محصول، پیش‌بینی وضعیت بازار، پیش‌بینی شاخص‌های اقتصادی، پیش‌بینی ملزومات انرژی، پیش‌بینی واکنش‌های دارویی، پیش-بینی بازتاب محصولات شیمیایی، پیش‌بینی هوا، پیش‌بینی محصول، پیش‌بینی ریسک محیطی، پیش-بینی جداول داوری، مدل کردن کنترل فرآیند، آنالیز فعالیت تضمین، بازرسی اسناد، تشخیص هدف، تشخیص چهره، انواع جدید سنسورها، دستگاه کاشف زیردریایی به‌وسیله امواج صوتی و رادار، پردازش سیگنال‌های تصویری شامل مقایسه اطلاعات، هدایت جنگ‌افزارها، تعیین قیمت وضعیت فعلی، جلوگیری از پارازیت، شناسایی تصویر/ سیگنال، چیدمان یک مدار کامل، بینایی ماشین، مدل کردن

غیرخطی، ترکیب صدا، کنترل فرآیند ساخت، پیش‌بینی فرآیندهای تولید، بهینه‌سازی محصول، تشخیص ماشین و فرآیند، مدل کردن کنترل سیستم‌ها، مدل کردن ساختارهای شیمیایی، مدل کردن سیستم‌های دینامیکی، مدل کردن سیگنال تراکم و ... .

### ۳-۴-۴) شبکه SLFA[1]

#### ۳-۴-۴-۱) ایده اصلی SFLA

الگوریتم جهش ترکیبیِ قورباغه (SFLA) یک الگوریتم مبتنی بر ممتیک متاهیوریستیک است که ترکیب روش قطعی و روش تصادفی است. این الگوریتم اولین بار در سال ۲۰۰۳ توسط ایساف[2] و لاتسی[3] ایجاد شد. الگوریتم SFLA از نحوه‌ی جستجوی غذای گروه‌های قورباغه سرچشمه می‌گیرد. این الگوریتم برای جستجوی محلی میان زیرگروه‌های قورباغه از روش نمو ممتیک استفاده می‌کند. SFLA از استراتژیِ ترکیب استفاده می‌کند و امکان مبادله پیام در جستجوی محلی را فراهم می‌سازد. این الگوریتم مزایای الگوریتم نمو ممتیک و بهینه‌سازیِ گروه ذرات (PSO) را ترکیب می‌کند[۴۵]. در SFLA نه‌تنها در جستجوی محلی بلکه در جستجوی سراسری نیز پیام‌ها مبادله می‌شوند. بدین ترتیب جستجوی محلی و سراسری به‌خوبی در این الگوریتم ترکیب می‌شوند. جستجوی محلی امکان انتقال مم را میان افراد ممکن می‌سازد و استراتژیِ ترکیب امکان انتقال مم را میان کل جمعیت ممکن می‌سازد. توازن بین مبادله پیام سراسری و جستجوی محلی به الگوریتم امکان می‌دهد تا به‌راحتی از مینیمم محلی پرش کند و تا دستیابی به بهینه‌سازی توسعه یابد. یکی از خصیصه‌های الگوریتم SFLA همگرایی سریع آن است. مانند الگوریتم ژنتیک (GA) و بهینه‌سازی گروه ذرات (PSO) الگوریتم جهش ترکیبیِ قورباغه یک الگوریتم بهینه‌سازیِ مبتنی بر کولونی است. SFLA قابلیت بالایی برای جستجوی سراسری دارد و پیاده‌سازیِ آن آسان است. الگوریتم SFLA می‌تواند بسیاری از مسائل غیرخطی، غیرقابل تشخیص و چندحالته را حل کند. این الگوریتم به‌مراتب برای حل مسئله‌ی توزیع منابع آبی بکار گرفته می‌شود[۴۶].

---

[1] shuffled frog leaping

[2] Eusuff

[3] Lansey

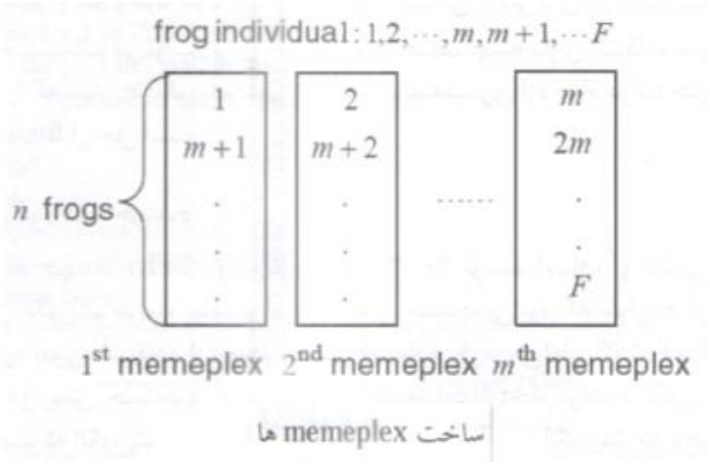
هدف اصلی از بیان الگوریتم مزبور به دست آوردن روش جستجویی بود که بتوان از آن در حل مسائل پیچیده بهینه‌سازی بدون استفاده از روابط ریاضی استفاده کرد. می‌توان گفت که الگوریتم قورباغه جهنده ترکیبی از دو روش جستجوی فرا مکاشفه‌ای بهینه‌سازی ازدحام ذرات و الگوریتم نمو ممتیک به وجود آمده است . از ویژگی‌های مهم الگوریتم قورباغه جهنده می‌توان به مفهوم ساده تنظیم پارامترهای کمتر، شکل‌گیری سریع، قابلیت بالا در جستجوی سراسری و پیاده‌سازی آسان آن اشاره کرد. این الگوریتم از زندگی گروهی قورباغه‌ها زمانی که به دنبال غذا می‌گردند الهام گرفته شده است . در روش مفروض هر قورباغه بیانگر جوابی از مسئله است[۴۶].

در این روش جمعیت اولیه را به چند گروه مجزا[1] تقسیم می‌کنند که تعداد قورباغه‌های موجود در همه گروه‌ها با هم برابر است. بر اساس این تقسیم‌بندی دو نوع روش جستجو در این الگوریتم وجود دارد روش اول که یک جستجوی محلی است و بر اساس آن قورباغه‌ها در هر گروه با اطلاعات بین گروه‌ها است که بر اساس آن بعد از هر جستجوی محلی در گروه‌ها اطلاعات به‌دست‌آمده بین گروه‌ها با یکدیگر مقایسه می‌شود[۴۶].

در الگوریتم قورباغه جهنده تعدادی قورباغه با ساختار یکسان اما با قابلیت انطباق مختلف وجود دارند. هر قورباغه نماینده یک راه‌حل ممکن برای یک مسئله بهینه‌سازی است کل جمعیت قورباغه‌ها بر اساس اصول خاصی به تعدادی memeplex تقسیم می‌شوند و هر نوعی از مم را نشان می‌دهد. قورباغه-های موجود در memeplex براساس استراتژی‌های خاصی که انتقال مم را میان قورباغه‌های محلی ممکن می‌سازد فضای پاسخ را به‌صورت محلی جستجو می‌کنند.

فرض کنید جمعیت اولیه از F قورباغه که به‌صورت تصادفی تولیدشده‌اند، (I= ۱،۲.... F) تشکیل شده باشد برای تشکیل memeplex شایستگی F(I) برای I امین قورباغه را می‌توان محاسبه نمود و آن را به‌صورت نزولی مرتب نمود، همان‌طور که در شکل (۳-۲۶) نمایش داده شده است، کل جمعیت F قورباغه به M، memeplex تقسیم می‌شود. هر memeplex شامل N قورباغه است به‌طوری‌که رابطه F=MN برقرار است[۴۸-۵۰].

[1] memeplex




شکل ۳-۲۶- محاسبه شایستگی F(I) برای عضو I

فرض کنید که پا سخ بهینه سرا سری به‌و سیله P ن شان داده شود P, P memeplex به ترتیبی بهترین و بدترین پاسخ را نشان می‌دهند جستجوی محلی در هر memeplex اجرا می‌شود یعنی بدترین قورباغه موجود در memeplex براساس قانون اصلاح رابطه (۳-۲۳) به هنگام می‌شود:

$$D = rand * (P_b - P_w)$$
$$P_w = P_w - F \qquad (۲۳-۳)$$

به صورتی که S مشخص‌کننده اندازه گام‌به‌گام هنگام شده جهش قورباغه است وq<n تعداد قورباغه-های موجود در یک memeplex را نشان می‌دهد rand یک عدد تصادفی بین (۰،۱) تولید می‌کند و d max حداکثر اندازه گام مجازی است که یک قورباغه می‌تواند بعدازاینکه تحت تأثیر واقع می‌شود انجام دهد.

پس از به هنگام سازی اگر $u_q$ بهتر از بدترین پاسخ $P_w$ که در ابتدا در memeplex وجود داشت باشد. $u_q$ جایگزین $P_w$ می‌شود در غیر این صورت توسط یک استراتژی بهنگام سازی به‌جای $P_b$ با $P_g$ $P_g$ اجرای می‌شوند اگر همچنان هیچ بهبودی حاصل نشده به‌صورت تصادفی یک پاسخ ممکن تولید و جایگزینی $P_w$ می‌شود این محاسبات به تعداد معینی تکرار می‌شوند سپس برای اینکه اطلاعات بین قورباغه‌ها به‌صورت سراسری مبادله شود تمام قورباغه‌ها ترکیب می‌شوند جستجوی محلی و فرآیند ترکیب تا زمانی که معیار همگرایی که از پیش تعیین‌شده است برآورده شود، ادامه می‌یابند.

### ۳-۴-۴-۲) عملکرد SLFA

الگوریتم جستجوی جهش قورباغه‌های متحرک، یک الگوریتم جدید در خانواده الگوریتم‌های تکاملی است. این الگوریتم از زندگی گروهی قورباغه‌ها زمانی که به دنبال غذا می‌گردند الهام گرفته شده است. این الگوریتم در سال ۲۰۰۶ به‌منظور حل مسائل پیچیده‌ی بهینه‌سازی، بدون استفاده از روابط ریاضی ارائه گردید. این الگوریتم ترکیبی از ویژگی‌های الگوریتم ژنتیک و الگوریتم جمعیت پرندگان را دارد و لذا نسبت به این دو روش از سرعت و دقت بالاتری برخوردار است. در این الگوریتم هر قورباغه بیانگر جوابی از مسئله است. در روش مفروض جمعیت اولیه را به چند گروه مجزا تقسیم نموده که تعداد قورباغه‌های موجود در همه‌ی گروه‌ها باهم برابر است. بر اساس این تقسیم‌بندی دو نوع فن جستجو در این الگوریتم وجود دارد، فن اول فن جستجوی محلی است و بر اساس آن قورباغه‌ها در هر گروه با تبادل اطلاعات، موقعیت خود را نسبت به غذا (بهترین جواب) بهبود می‌دهند و فن دوم مربوط به تبادل اطلاعات بین گروه‌ها است، که بر اساس آن، بعد از هر جستجوی محلی در گروه‌ها، اطلاعات به‌دست‌آمده بین گروه‌ها باهم مقایسه می‌شود . جهت اجرای این الگوریتم، ابتدا پارامترهای اولیه عضو P الگوریتم مقداردهی می‌شوند و سپس جمعیت اولیه‌ای با به‌صورت تصادفی تولید می‌شود. شایستگی هر عضو محاسبه گردیده و پس از مرتب نمودن جمعیت به‌صورت نزولی، کل گروه تقسیم می‌شوند که هرکدام از این گروه‌ها m جمعیت به عضو می‌باشند. این تقسیم‌بندی باید به‌گونه‌ای باشد که n شامل عضوهای با شایستگی بیشتر، در همه گروه‌ها قرار داشته باشند . سپس جستجوی محلی برای جهش قورباغه‌های با بدترین شایستگی به سمت قورباغه‌های با بهترین شایستگی صورت می‌پذیرد. این جهش مطابق روابط (۳-۲۴) و (۳-۲۵) است.

$$D = r*\left(X_b - X_w\right) \qquad (۳-۲۴)$$

$$X_w(New) = X_w + D \qquad (۳-۲۵)$$

$$D < D_{\max} \qquad (۳-۲۶)$$

که در رابطه فوق $X_b$ و $X_w$ به ترتیب قورباغه‌های با بدترین و بهترین جواب D مقدار جهش ضعیف-ترین قورباغه به سمت بهترین عضو گروه ،$D_{max}$ بیشترین حد مجاز برای جهش قورباغه و r، عددی تصادفی در بازه [۱ و ۰] است. پس از اعمال تغییرات فوق درصورتی‌که قورباغه جدید دارای پاسخ بهتری نسبت به بدترین قورباغه گروه داشته باشد، جایگزین آن می‌گردد. در غیر این صورت همین اعمال باجایگزینی $X_g$ با $X_b$ تکرار می‌گردد. اگر با اعمال تغییر فوق پاسخ مناسب‌تری یافت نگردید، یک جواب به‌صورت تصادفی تولید کرده و آن را جایگزین بدترین عضو گروه می‌نماییم . این روند برای تعداد تکرار مشخص‌شده ادامه می‌یابد تا درنهایت شرایط اتمام الگوریتم حاصل گردد.

# فصل چهارم:

# بررسی ساختارهای مختلف پیشنهادی و بررسی مزایا و معایب آنها

اینورترهای چندسطحی ساختاری ساده و مناسب برای رسیدن به توان و کیفیت بالای شکل موج خروجی به همراه پاسخ دینامیکی قابل اطمینان دارند. هارمونیک‌ها با تغییر شکل موج سینوسی ولتاژ شبکه که بسته به مرتبه‌ی هارمونیک دارد، آسیب‌های متفاوتی به تجهیزات الکتریکی شبکه وارد می‌کنند. درنتیجه مسئله‌ی هارمونیک زدایی در اینورترهای چند سطحی مطرح است. مبدل‌های چند سطحی شکل‌های مداری متفاوتی دارند که شناخته شده‌ترین آن‌ها مبدل‌های چند سطحی بر مبنای اتصالات کسکید[1] است، به‌گونه‌ای که اگر s تعداد اینورترهای تمام پل چندسطحی باشد، (۲s+۱) تعداد سطوح خواهد بود. این اینورترها به علت مدولاسیون و سادگی در کنترل توجه زیادی به خود جلب کرده‌اند. برای کنترل ولتاژ خروجی و حذف هارمونیک‌های ناخواسته در مبدل‌های چند سطحی روش‌های مدولاسیون PWM سینوسی و PWM فضای حالت در [۶] بیان شده است. روش‌های دیگری برای انتخاب مناسب زمان کلیدزنی وجود دارد که بتوان هارمونیک‌های مرتبه بالایی مانند پنجم، هفتم، نهم و یازدهم را در ولتاژ خروجی اینورتر حذف کرد به این روش حذف هارمونیک انتخابی (SHE) یا روش PWM برنامه‌ریزی‌شده می‌گویند [۸-۷]. در [۱۱] الگوریتم‌های PSO و GA با انتخاب زاویه‌ی کلیدزنی مناسب به کاهش THD در اینورتر چند سطحی می‌پردازد. در [۱۳] هارمونیک زدایی در اینورتر چند سطحی با منبع DC معادل با استفاده از الگوریتم بهینه سازی PSO بیان شده است. همچنین در [۱۴] روش‌های هارمونیک‌زدایی با الگوریتم جستجوی تصادفی PSO در اینورترهای چندسطحی کسکید بدون منابع تغذیه DC ایزوله بیان شده است. در این فصل انواع ساختارهای مدار قدرت موردا ستفاده در طراحی اینورترها موردبرر سی و مقایسه قرار می‌گیرند. ابتدا انواع اینورترهای با ساختار کاهش‌یافته نیم‌موج شامل اینورترهای با منبع ا شعابی[2]، انباره خازنی[3] و اینورترهای ولتاژ لینک dc متغیر موردبررسی قرار می‌گیرند و عملکرد و ویژگی‌های هر یک تحلیل می‌شوند. این اینورترها بیشتر در کاربردهای توان پایین مورداستفاده قرار می‌گیرند. سپس اینورترهای تمام موج با ساختار جدیدتر که در سال‌های اخیر بیشتر موردتوجه صنایع قرارگرفته‌اند مورد بررسی و تحلیل قرار می‌گیرند. ازجمله این اینورترها اینورتر تمام‌موج با ساختار کاهش‌یافته (چهار سوئیچه)، اینورترهای چندسطحی، اینورترهای منبع امپدانسی و اینورترهای ماتریسی را می‌توان نام برد.

[1] cascade

[2] Split Supply

[3] C-Dump

در ادامه عملکرد مبدل افزاینده با اصـــلاح ضـــریب توان ورودی با کنترل جریان به روش زمان خامو شی ثابت با مدولا سیون ولتاژ خط معرفی می شود. رو شهای مختلفی برای ا صلاح ضریب توان ورودی پیشنهاد شده است. روش های کنترل جریان در یک مبدل بوست به دو خانواده فرکانس ثابت (FF) و حالت گذار (TM) تقسیم می شوند.

در این گزارش برای کنترل جریان از ترکیب روشهای FF و TM استفاده شده است. به این ترتیب مزایای هر دو روش مذکور، از جمله ســـادگی مدار کنترل و قابلیت اســـتفاده در توان‌های بالا بدست ید. برای اصلاح ضریب توان به کمک مبدل بوست، به روش زمان خاموشی ثابت (FOT) جریان را کنترل می‌کنیم.

## ۴-۱- اینورترهای با ساختار کاهش یافته

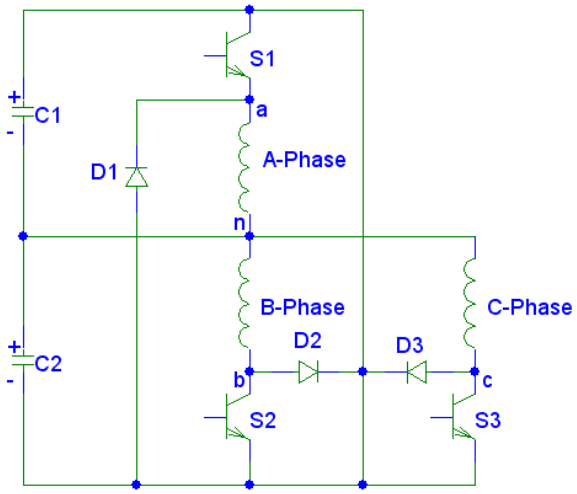
درایوهای ســـرعت متغیر به منظورهای مختلف در صـــنعت مورداســـتفاده قرار می‌گیرند. اگرچه عملکرد آن‌ها در حالت کلی قابل‌قبول اســـت اما به‌منظور بالابردن قابلیت اطمینان و هم‌چنین کاهش هزینه کلی، علاوه بر ا ستفاده از قطعات مرغوب و اتخاذ روش‌های کنترلی منا سب، می‌توان سخت‌افزار سیستم درایو را نیز کاهش داد. به‌عنوان‌مثال به کار بردن روش‌های کنترل بدون سنسور منا سب در کنار استفاده از سنسورهای وضعیت و سرعت موردنیاز، قابلیت اطمینان درایو را به نحو قابل‌ملاحظه‌ای افزایش خواهد داد.

کاهش هزینه نیز از دو راه تغییر ســـاختار اینورتر و به کار بردن اســـتراتژی کنترلی مناســـب امکان‌پذیر اســـت. تغییر ســـاختار اینورتر با کاهش دادن تعداد قطعات اینورتر نظیر ســـوئیچ‌های قدرت انجام می‌شـــود. در عوض برای بهبود عملکرد اینورتر با ســـاختار کاهش‌یافته می‌باید از روش کنترلی مناسب استفاده نمود.

- **اینورتر نیم‌موج با منبع انشعابی[1]**

ســـاختار درایو با اینورتر از نوع نیم موج از نوع منبع انشـــعابی را نمایش می‌دهد که حداقل تعداد سوئیچ در هر فاز را دارا ست. فلوی جریان در این ساختار یک جهته ا ست اما فلوی توان در دو جهت امکان‌پذیر است.

[1] Split-Supply




**شکل۴-۱: اینورتر با ساختار منبع انشعابی**

جدول ۴-۱ حالت‌های مختلف کاری برای زمانی که فاز A در حال هدایت است را نشان می‌دهد. حالت موتوری راست‌گرد با توالی فازی ABC به‌دست می‌آید. در این حالت با روشن شدن سوئیچ $S_1$، جریان مثبت در فاز A به مدت ۱۲۰درجه جاری می‌شود (ربع اول) ، بسته به استراتژی کنترل (جریان هیسترزیس یا (PWM)، با افزایش جریان فاز A از مقدار نامی آن، سوئیچ $S_1$ خاموش می‌شود. در این حالت جریان فاز A از دیود $D_1$ عبور نموده و ولتاژ منفی در دو سر فاز A قرار می‌گیرد. برای ایجاد حالت ترمزی راست‌گرد (ربع چهارم) به‌دلیل آنکه جریان نمی‌تواند منفی شود، می‌باید هدایت جریان مثبت را تا لحظه منفی شده ولتاژهای ضد محرکه به تأخیر انداخت تا توان فاصله هوایی مقداری منفی شده و عمل ترمزی انجام گردد. برای کار در حالت موتوری و ترمزی چپ‌گرد (ربع‌های دوم و سوم کاری) می‌توان توالی هدایت فازها را از ABC به ACB به‌سادگی تغییر داد.

**جدول ۴-۱: حالت‌های مختلف کاری اینورتر منبع انشعابی**

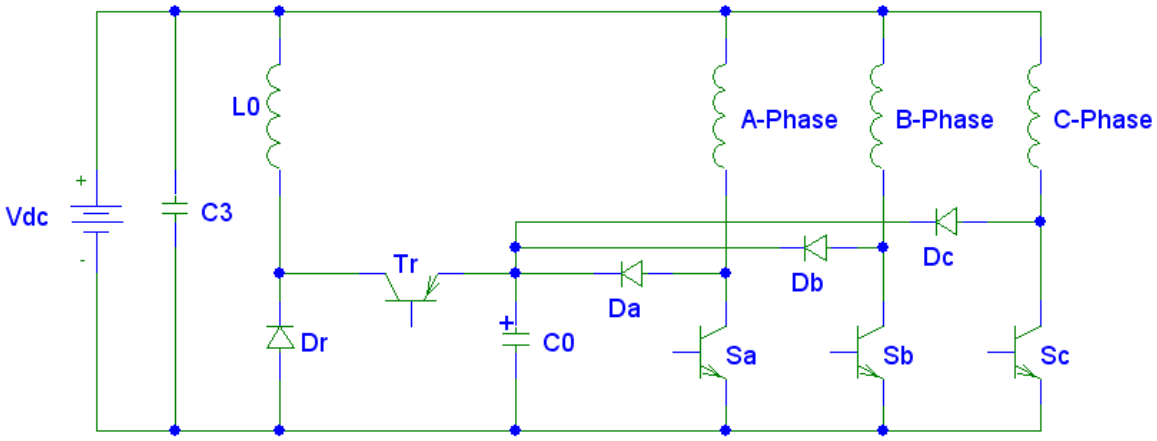
| حالت کاری | $S_1$ | $S_2$ | $D_1$ | $D_2$ | $i_{as}$ | $i_{bs}$ | $V_{as}$ | $V_{bs}$ |
|---|---|---|---|---|---|---|---|---|
| ۱ | on | off | off | off | $>0$ | 0 | $V_s$ | 0 |
| ۲ | off | off | on | off | $>0$ | 0 | $-V_s$ | 0 |
| ۳ | on | on | on | off | $>0$ | $>0$ | $-V_s$ | $V_s$ |
| ۴ | off | on | on | on | $>0$ | $>0$ | $-V_s$ | $-V_s$ |

از مزایای این اینورتر می‌توان به موارد ذیل اشاره نمود:

- ✓ به دلیل سری بودن سوئیچ با هر فاز موتور از حفاظت ذاتی در مقابل اتصال کوتاه برخوردار است.
- ✓ همچنین به دلیل تعداد کمتر سوئیچ‌های به‌کاررفته، تلفات هدایت در این ساختار کمتر است.
- ✓ در این ساختار فرکانس نوسانات ریپل گشتاور ، نصف مقدار متناظر با ساختار تمام موج بوده لذا این اینورتر ریپل گشتاور بیشتری را تولید می‌کند.
- ✓ همچنین باوجود تعداد خازن‌های بیشتری در لینک dc این اینورتر از ظرفیت گشتاور موتور به‌طور کامل بهره نمی‌برد. لذا استفاده از این اینورتر برای کاربردهای توان پائین (کسری از اسب بخار) پیشنهاد می‌شود.

- **اینورتر نیم موج انباره خازنی**

عیب اصلی اینورتر نوع منبع انشعابی آن است که همواره از نصف ولتاژ لینک dc استفاده می‌کند که علت آن نیز کاهش تعداد سوئیچ‌ها است. می‌توان با افزایش تعداد سوئیچ‌ها ولی نه به‌اندازه اینورتر تمام موج این مشکل را مرتفع نمود. استفاده از ساختار انباره خازنی این مشکل را حل می‌کند. برای یک موتور n فازه با استفاده از ساختار انباره خازنی فقط n+1 سوئیچ موردنیاز خواهد بود درحالی‌که در ساختار تمام موج نیاز به تعداد ۲n سوئیچ است. شکل ۴-۲ ساختار یک اینورتر انباره خازنی را نمایش می‌دهد. این اینورتر شامل چهار سوئیچ بوده و از چهار دیود قدرت نیز بهره می‌برد. فلوی جریان نیز در این اینورتر یک‌طرفه است، اما این اینورتر قابلیت عملکرد چهار ربعی را دارا است. از دیود Dr و سوئیچ Tr برای بازیابی انرژی از انباره خازنی Co استفاده می‌شود.

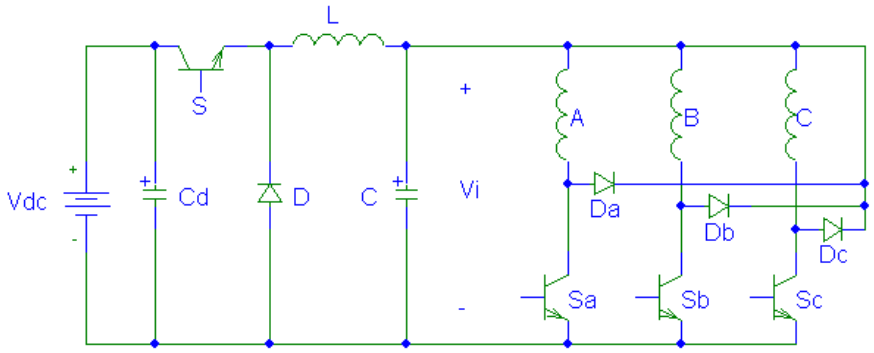



شکل ۴-۲: اینورتر با توپولوژی انباره خازنی

به فرض در حالت موتوری راست‌گرد، توالی فازها به‌صورت abc باشد لذا عملکرد اینورتر را می‌توان این‌گونه تحلیل نمود: درحالی‌که خطای جریان (iaref - ia) مثبت باشد، سوئیچ Sa وصل می‌گردد. در این حالت جریان متناسب با ولتاژ Vdc بوده و شروع به افزایش می‌نماید. با منفی شدن خطای جریان، سوئیچ Sa خاموش گشته و مسیر جریان از طریق دیود Da و خازن Co بسته شده و توان مثبت در انباره خازنی Co ذخیره می‌گردد. ولتاژ خازن Co با کلیدزنی سوئیچ Tr همواره در مقدار ثابت E تثبیت می‌شود. در تمام حالات کاری درایو، مقدار مرجع و مقدار واقعی جریان فازها مثبت هستند.

- **اینورتر نیم موج با ولتاژ لینک dc متغیر**

به‌منظور بهره بردن از مزایای توپولوژی‌های منبع انشعابی و انباره خازنی می‌توان از یک اینورتر نیم موج با ولتاژ متغیر در لینک dc استفاده نمود. شکل ۴-۳ ساختار چنین اینورتری را نمایش می‌دهد.

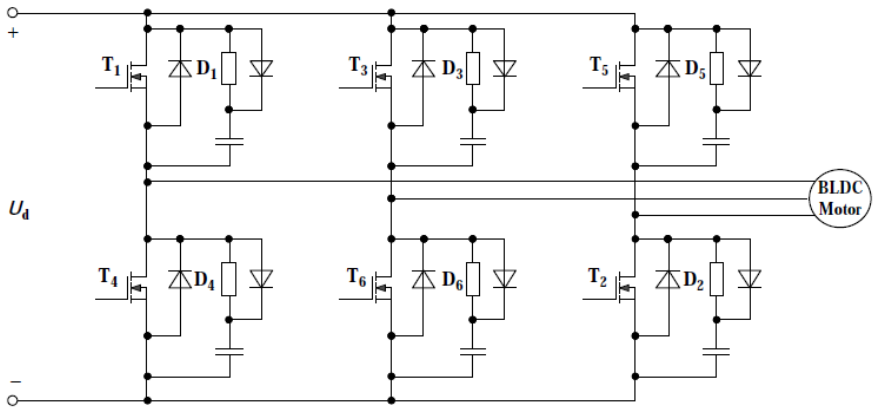



شکل ۴-۳: اینورتر نیم موج لینک DC متغیر

مزایای این توپولوژی عبارت‌اند از: قابلیت عملکرد چهار ربعی، کاهش تلفات حالت هدایت و سوئیچینگ، سری بودن سوئیچ با موتور و لذا حفاظت اتصال کوتاه. این توپولوژی معایب عمومی اینورترهای نیم موج شامل بهره نبردن از ظرفیت کامل ماشین و ثابت زمانی بزرگ‌تر را داراست. به‌علاوه به‌دلیل تبدیل دوگانه توان راندمان کمی پایین‌تر است. اما در مقایسه با توپولوژی انباره خازنی این اینورتر به‌دلیل نداشتن انرژی چرخشی از راندمان بهتری برخوردار است.

- **اینورترهای تمام موج**

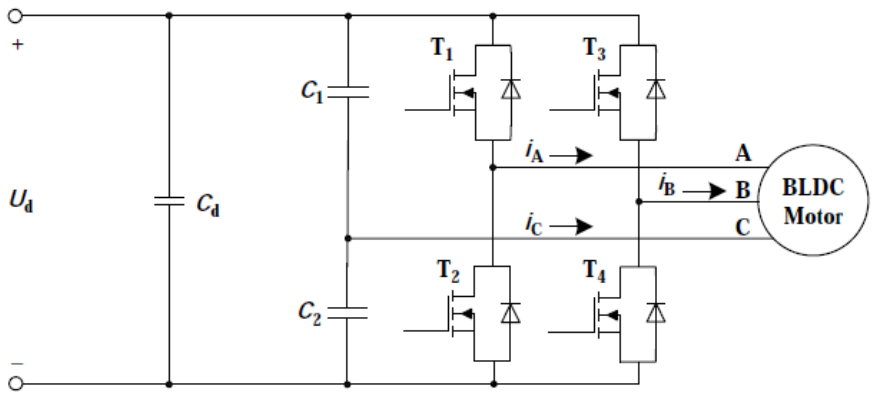
برای کاربردهای توان بالا نظیر خودروهای برقی و هیبرید اینورترهای نیم‌موج چه ازلحاظ ایجاد توان موردنیاز و چه ازلحاظ پاسخ دینامیکی، کارآیی دلخواه را ندارد و اینورترهای تمام‌موج، انتخاب اول خواهند بود. شکل ۴-۴ یک نمونه اینورتر تمام موج ۶ سوئیچه متعارف را نشان داده است. اینورتر شکل ۴-۴، معمولاً سه فاز که متشکل از ۶ MOSFET یا IGBT است. دیودهای D1-D6 نشان داده شده، دیودهای فیدبک نامیده می‌شوند که می‌توانند انرژی بازگشتی از موتور را به باس DC منتقل کنند. در کنار دیود هرزگرد، یک مدار جذب‌کننده متشکل از یک مقاومت، یک خازن، و دیودهای دیگر موجود است که وظیفه سرکوب اضافه ولتاژ و کاهش تلفات سوئیچینگ مربوط به سوئیچ‌ها را دارد.




شکل ۴-۴: اینورتر با آرایش ۶ سوئیچی

- **اینورتر تمام موج با ساختار کاهش‌یافته**

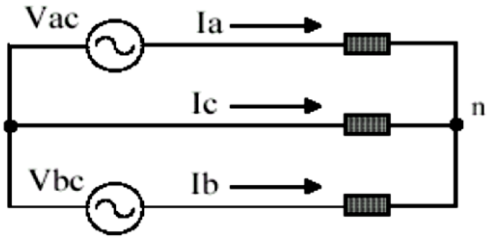
این بخش به مقایسه مشخصه‌های رفتاری اینورترهای تمام موج متعارف و اینورترهای تمام موج با ساختار کاهش‌یافته در درایو موتورهای سه فاز می‌پردازد. در این بخش نشان داده می‌شود که مشخصه عملکردی اینورتر با ساختار کاهش‌یافته همانند اینورترهای تمام موج متعارف می‌باشند. بحث انجام شده در مورد موتورهای با تغذیه سینوسی بوده که قابل‌تعمیم به موتورهای BLDC نیز هستند و در بخش بعد مفصلاً به آن پرداخته می شود. در شکل ۴-۵ ساختار اینورتر تمام موج ۴ سوئیچی نشان داده شده است[۱۸،۵،۹].




شکل ۴-۵: آرایش اینورتر PWM DC-AC تمام موج ۴ سوئیچه برای موتور سه فاز AC[4]

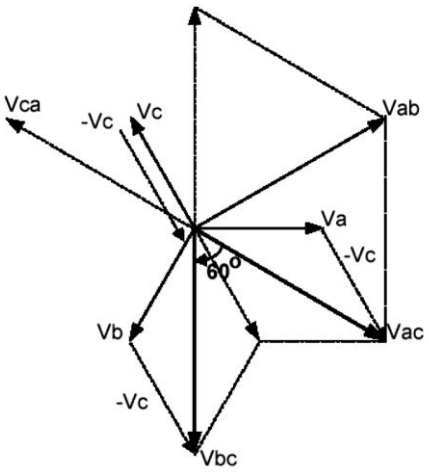
مدار اینورتر بر اساس تکنیک ۴ سوئیچه نشان داده شده در شکل ۴-۵ در برخی سیستم‌ها ارائه شده است. از مزایای آن می‌توان به سوئیچ‌های با توان پایین، هزینه کمتر و تلفات سوئیچینگ کم اشاره نمود، اما پیچیدگی الگوریتم تولید سیگنال‌های کنترل برای سوئیچ‌ها و عملکرد بالاتر برای

ریزپردازنده‌ها مورد نیاز است. در آرایش ۴ سوئیچی، برای به‌دست آوردن جریان‌های متعادل ۱۲۰ درجه ۳ فاز، استراتژی کنترل PWM شیفت فازی ۶۰ درجه استفاده شده است. با اضافه کردن یک منبع ولتاژ با مقدار $V_c$ در هر فاز و با پلاریته مخالف ولتاژ منبع، شکل ۴-۶ نتیجه می‌شود. ازلحاظ مقادیر جریانی، اضافه کردن منبع $V_c$ هیچ‌گونه تأثیری بر مقادیر جریان فازها ندارد. تنها تفاوت بین سیستم ولتاژ سه‌فاز متعادل $V_a$-$V_b$-$V_c$ و سیستم با شیفت فازی ۶۰ درجه $V_a$-$V_b$، مطابق شکل ۴-۶، انتقال نقطه ستاره منبع با ولتاژ پریودیک $V_c$ است.



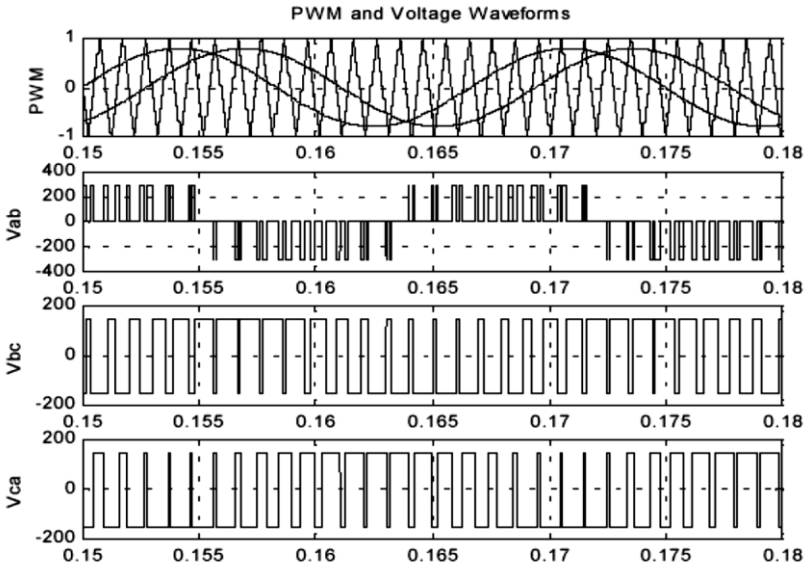

شکل ۴-۶: تغذیه یک‌بار سه فاز از دو منبع ولتاژ با اختلاف‌فاز ۶۰ نسبت به یکدیگر

در شکل ۴-۷ دیاگرام برداری سیستم مذکور نمایش داده شده است. جریان‌های سه فاز در سیستم جدید هنوز هم متعادل می‌باشند. اگر بار سیستم ۶۰ درجه $V_a$-$V_b$ یک ماشین سه فاز متعادل باشد، فقط گشتاور توالی مثبت تولید خواهد گردید. ولتاژهای خط به خط $V_{bc}$-$V_{ac}$ با الگوی سوئیچ‌زنی PWM با شیفت فازی ۶۰ درجه تولید می‌شوند. ولتاژ خط به خط $\boldsymbol{V}_{ab}$ به‌طور طبیعی از جمع دو ولتاژ $V_{bc}$-$V_{ac}$ به‌دست می‌آید.

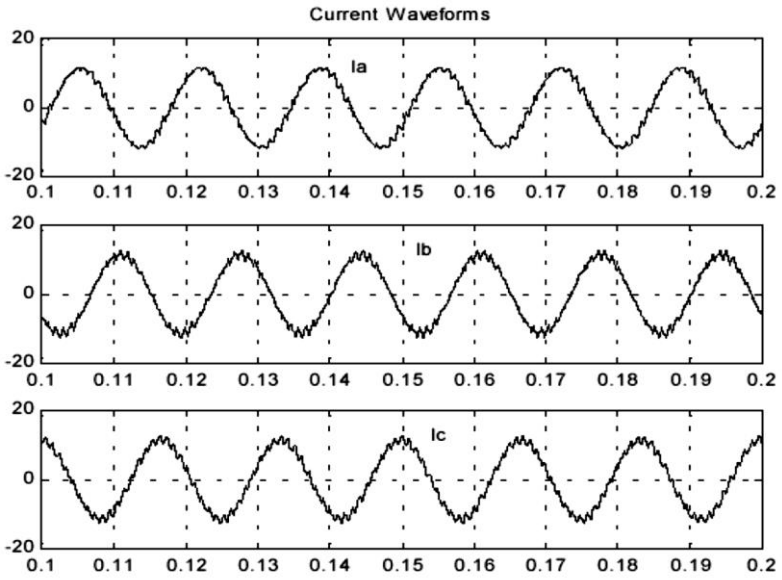



شکل ۴-۷: دیاگرام برداری شیفت فازی ۶۰ درجه

برای آزمودن صـــحت تحلیل فوق، اینورتر چهار ســـوئیچی برای کنترل درایو یک موتور القایی با الگوی کلیدزنی PWM شبیه سازی گردیده ا ست که شکل موج‌های ولتاژ و جریان آن در شکل ۴-۸ ترسیم شده‌اند. مطابق شکل ۴-۸-الف، از روش PWM سینوسی برای کلیدزنی اینورتر استفاده شده است. دو سیگنال کنترل سینوسی که نسبت به یکدیگر ۶۰ درجه شیفت فاز دارند توسط یک موج دندان‌اره‌ای مدوله می‌شـــوند. لذا ولتاژهای خط به خط تغذیه نامتقارن به‌عنوان تغذیه به موتور اعمال می‌گردد. باوجودآنکه این ولتاژها نامتقارن هســـتند، جریان‌های ســـه فاز متقارن و متعادل می‌باشـــند. شکل ۴-۸- ب مؤید این مطلب است. مسئله PWM برای ولتاژ نامتقارن به‌خوبی شناخته شده است و همان‌طور که در بخش قبل به آن اشـاره شـد، اینورتر ۴ سـوئیچه به‌راحتی برای موتورهای القایی بکار رفته اســـت. اما به همان راحتی نمی‌توان اینورتر ۴ ســـوئیچه مورد اســـتفاده در موتور القایی را برای BLDC اسـتفاده نمود. در اینورترهای ۴ سـوئیچه، ایجاد پروفیل جریانی با زوایای ۱۲۰ درجه مشـکل است و نشان داده می شود که روش‌های به‌کاررفته در کنترل درایو القایی با اینورتر ۴ سوئیچه می‌باید اصلاح شود.




الف: استراتژی PWM و ولتاژهای خط به خط

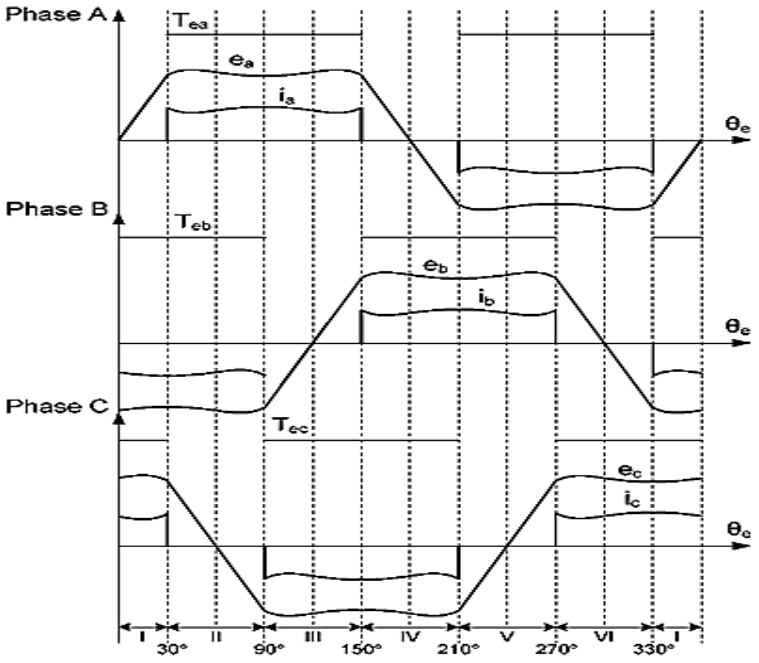



**ب: جریان فازها**

شکل ۴-۸: شکل موج‌های ولتاژ و جریان یک اینورتر چهار سوئیچی در درایو یک موتور القایی

هدایت جریان با زاویه الکتریکی ۱۲۰ درجه با ساختار اینورتر چهار سوئیچه، اصولاً دشوارتر است زیرا در موتور BLDC با BEMF غیرسینوسی (یعنی ذوزنقه‌ای)، در مقایسه PMSM با BEMF سینوسی که نیاز به جریان سینوسی دارد، برای تولید گشتاور ثابت، به جریان با شکل موج شبه‌مربعی نیاز است. این جریان‌ها که دارای دوره هدایت ۱۲۰ درجه الکتریکی هستند، با بخش ثابت BEMFها فازی متناظر خود، سنکرون می‌شوند. بنابراین گشتاور الکترومغناطیسی ثابتی را می‌توان در این حالت به‌دست آورد. درنتیجه، در هرلحظه از زمان، تنها دو فاز هدایت می‌کنند و فاز دیگر به صورت غیرفعال فرض می‌شود. باوجوداین که چهار بردار ولتاژ در سیستم اینورتری چهار سوئیچه متداول، برای کنترل موتورهای ac سه فازه با استفاده از روش‌های PWM، کاملاً کافی هستند، در مورد موتور BLDC با هدایت دوفازی، بردارهای ولتاژ اضافه دیگری برای کنترل جریان نقطه میانی خازن‌های لینک DC در یک مقدار مطلوب مورد نیازند. ازآنجاکه روش متداول نمی‌تواند یک روش هدایت دو فازی را به‌طور کامل فراهم کند، یک روش کنترلی جدید با الگوهای کلیدزنی جدید باید تعمیم داده شود، به‌طوری‌که تنها دو فاز از سه فاز موتور هدایت کنند. ازآنجاکه برای موتورهای القایی و PMSM، سه‌فاز، در هرلحظه از زمان، همیشه جریان‌های سه فاز در ماشین جاری هستند، مجموع این جریان‌های سه‌فاز، تحت شرایط متعادل، همیشه صفر است. همچنین، در هیچ بازه زمانی، هیچ‌کدام از جریان‌های فاز صفر

نمی‌شـــوند. این دســـتورالعمل در مورد موتور BLDC با هدایت دوفازی، در جاهایی که ۱۲۰ درجه الکتریکی یک سیکل کامل (۳۶۰ درجه) جریان هر فاز صفر می شود، در ست نی ست. حالت‌هایی هم وجود دارند که در آن‌ها فرض می‌شـــود، تنها جریان‌های فاز a و فاز b هدایت می‌کنند و جریان فاز c صفر است، همان‌طور که در حالت ۲ و ۵، شکل ۴-۹ نشان داده شده‌اند. بااین‌وجود، به دلیل BEMF فازی (فاز c)، جریان از طریق لینک DC، در فاز C جاری خواهد شـــد. بنابراین، در روش درایو موتور BLDC چهار سوئیچه، به فازی که به نقطه میانی خازن‌های لینک DC متصل است، باید توجه ویژه‌ای را اختصاص داد.




شکل ۴-۹: شکل موج‌های واقعی از قبیل، BEMF فازی، جریان و گشتاور فازی موتور BLDC سه فاز با اینورتر چهارسوئیچه

ازنقطه‌نظر موتور BLDC، برای ایجاد گشـــتاور ثابت، چه موتور از اینورتر چهار ســـوئیچه و چه اینورتر شش سوئیچه تغذیه شود، پروفایل‌های ولتاژ ضد محرکه و جریان فازها می‌باید همانند شکل موج‌های ارائه شده در شکل ۴-۱۰ باشند. در صورت متعادل بودن فازهای موتور BLDC، جریان‌های ۳ فاز همواره در رابطه ۴-۱ صدق می‌نماید.

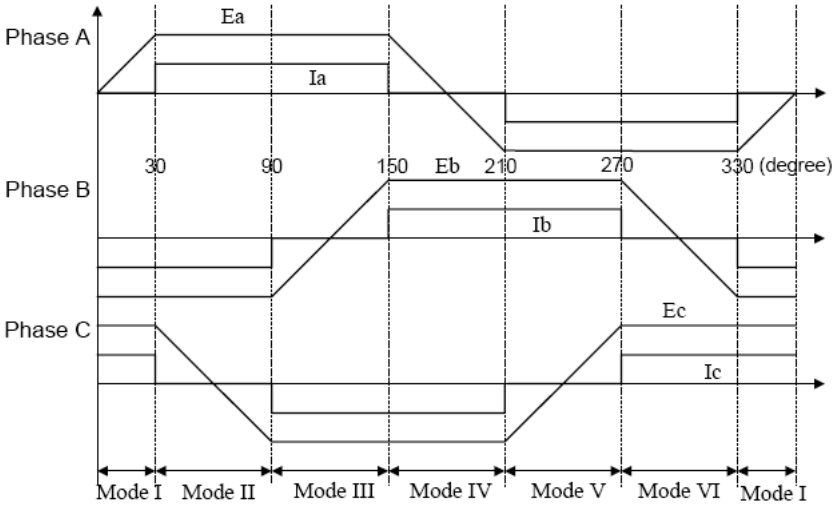
(۱-۴)

$$I_a + I_b + I_c = 0$$

این رابطه به‌صورت رابطه ۴-۲ قابل اصلاح است:

$$I_a + I_b = -I_c \qquad (۲-۴)$$

شـــکل ۴-۹ و رابطه ۴-۲ نشـــان می‌دهد که جریان فاز C در درایو موتور BLDC با اینورتر چهار سوئیچه غیرقابل‌کنترل بوده و فقط می‌باید جریان دو فاز A و B با کلیدزنی منا سب سوئیچ‌ها کنترل شـوند. کنترل مسـتقل جریان فازهای A و B به روش کنترل جریان هیسـترزیس به کنترل مسـتقیم جریان PWM نام‌گذاری شـــده اســـت که در این گزارش نیز از آن اســـتفاده می‌گردد. در جدول ۲-۲ وضعیت فازهای مختلف، جریان‌های فازها و ترتیب کلیدزنی سوئیچ‌ها در مودهای شش‌گانه شکل ۴-۱۰ لیست شده‌اند.

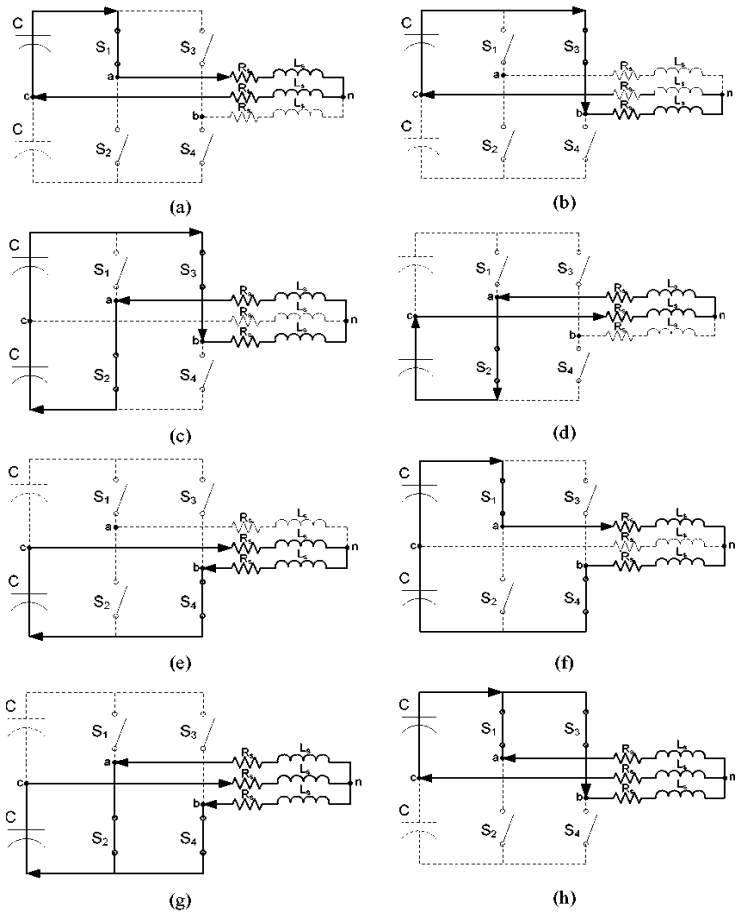



شکل ۴-۱۰: پروفایل‌های ولتاژ و جریان موردنیاز موتور BLDC برای داشتن گشتاور ثابت

جدول۴-۲: مودهای کاری، وضعیت فازها و جریان‌ها و ترتیب کلیدزنی سوئیچ‌ها در درایو BLDC با اینورتر چهار سوئیچه

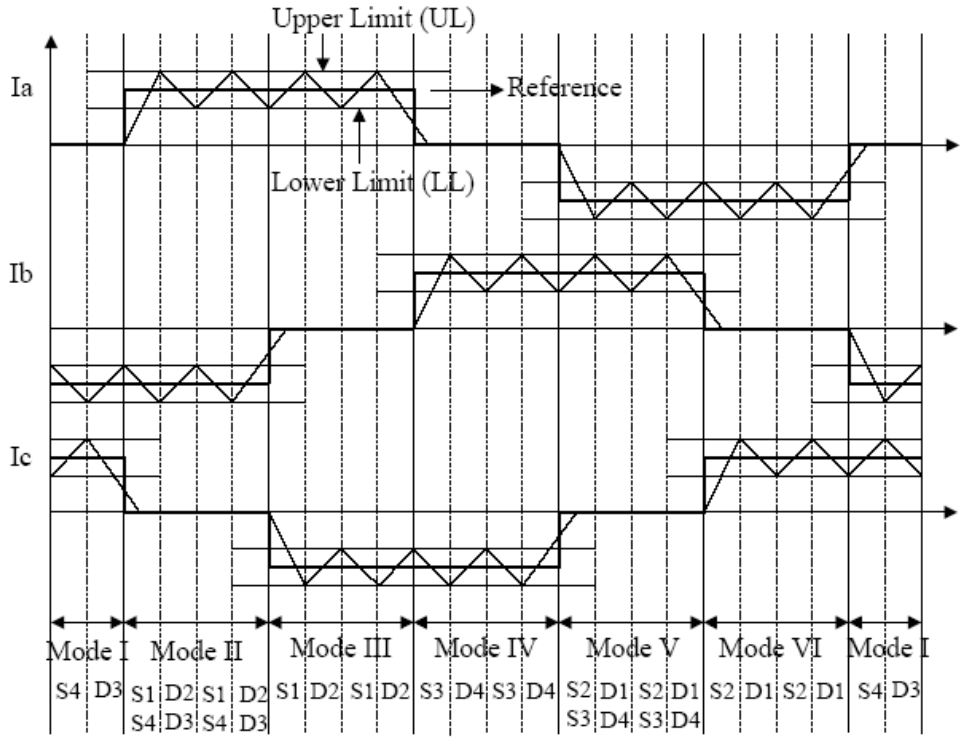
| مود کاری درایو | زاویه الکتریکی روتور | فازهای فعال | | فاز خاموش | | ادوات کلید زنی |
|---|---|---|---|---|---|---|
| Mode I | $0^0 < \theta < 30^0$ | B, C | $I_b+I_c=0$ | A | $I_a=0$ | $S_4$ |
| Mode II | $30^0 < \theta < 90^0$ | A, B | $I_a+I_b=0$ | B | $I_c=0$ | $S_1$, $S_4$ |
| Mode III | $90^0 < \theta < 150^0$ | A, C | $I_a+I_c=0$ | C | $I_b=0$ | $S_1$ |
| Mode IV | $150^0 < \theta < 210^0$ | B, C | $I_b+I_c=0$ | A | $I_a=0$ | $S_3$ |
| Mode V | $210^0 < \theta < 270^0$ | A, B | $I_a+I_b=0$ | B | $I_c=0$ | $S_2$, $S_3$ |
| Mode VI | $270^0 < \theta < 330^0$ | A, C | $I_a+I_c=0$ | C | $I_b=0$ | $S_2$ |

در شـــکل ۴-۱۱ نیز فلوی جریان در مودهای مختلف کاری درایو موتور BLDC با اینورتر ۴ سوئیچه تصویر شده است.




شکل ۴-۱۱: فلوی جریان فازها در مودهای مختلف درایو موتور BLDC با اینورتر ۴ سوئیچه

هدف از تنظیم جریان، نگه‌داشتن شکل شبه مربعی جریان فازها با سطح قابل قبولی از ریپل جریان است. جدول ۲-۲ نشان می‌دهد که در هر مود چه جریان‌هایی باید کنترل شوند. شکل ۲-۱۱ جزئیات تغییرات شکل موج جریان‌ها و ترتیب کلیدزنی سوئیچ‌ها را به‌وضوح نشان می‌دهد. خط پررنگ‌تر سطح جریان مرجع را نشان می‌دهد که توسط کنترل‌کننده سرعت یا گشتاور ایجاد می‌شود. فرکانس کلیدزنی و ریپل گشتاور دو معیار مهم در تعیین حدود بالا و پائین تنظیم جریان هستند. باند هیسترزیس کوچک‌تر، ریپل گشتاور کمتر اما فرکانس کلیدزنی بالاتری را نتیجه خواهد داد.

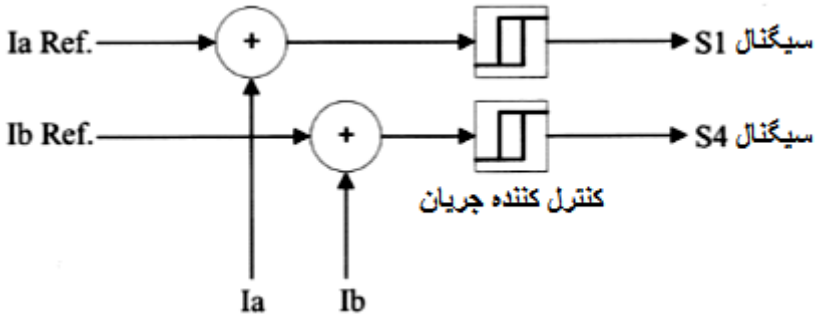



شکل ۴-۱۲: تنظیم جریان فازها و ترتیب کلیدزنی سوئیچ‌ها در درایو موتور BLDC با اینورتر ۴ سوئیچه

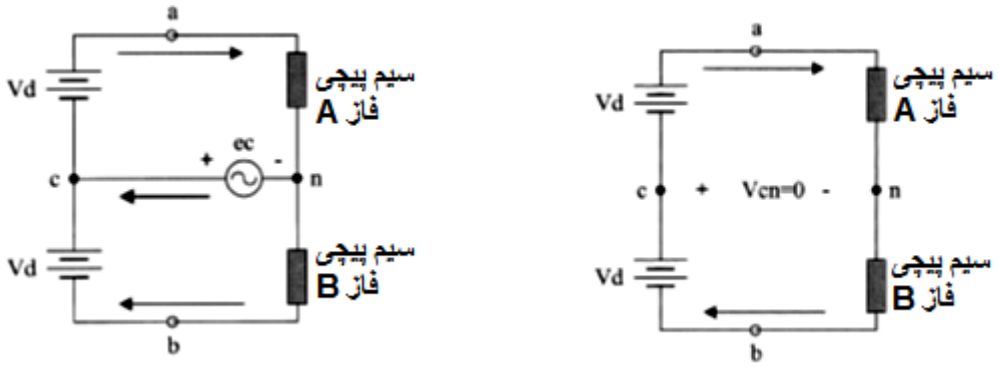
با توجه به مطالب ارائه‌شده قبل، می‌باید توجه ویژه‌ای به عملکرد درایو در مودهای کاری ۲ و ۵ داشت در این مودها، فازهای A و B در حال هدایت بوده و فاز C به‌عنوان فاز خاموش در نظر گرفته می‌شود. لذا انتظار داریم تا هیچ‌گونه جریانی در فاز C وجود نداشته باشد. بااین‌وجود، ولتاژ ضد محرکه فاز C می‌تواند همانند یک منبع جریان عمل نموده و سبب ایجاد جریان‌های ناخواسته شده و لذا شکل موج جریان‌های دو فاز A و B را تحت تأثیر قرار دهد. لذا در بکار بردن استراتژی کنترل جریان فازها می‌باید توجه ویژه‌ای به جبران سازی ولتاژ ضد محرکه فاز C نمود.

پدیده فوق را می‌توان به‌صورت تصویری در شکل ۴-۱۳ مشاهده نمود. به‌عنوان‌مثال در مود کاری ۲، برای حالت ایده‌آل، فقط جریان یک فاز (فاز A یا فاز B ) نیاز به کنترل دارد و سیگنال های سوئیچینگ کلیدهای $S_1$ و $S_4$ یکسان می‌باشند. در حالتی‌که جریان فاز A کنترل شود، سیگنال سوئیچینگ کلید $S_1$ مستقلاً تعیین می‌شود و سیگنال سوئیچینگ کلید $S_4$ به آن وابسته است. بنابراین جریان فاز A می‌تواند به‌عنوان یک منبع جریان با مقدار ثابت در نظر گرفته شود. اما در این حالت جریان فاز B می‌تواند تحت تأثیر جریان فاز C دچار اعوجاج شود. از طرف دیگر اگر جریان فاز B کنترل شود، می‌توان فاز B را به‌عنوان منبع جریان در نظر گرفت که در این حالت جریان فاز A متأثر از جریان فاز C خواهد بود و ممکن ا ست دچار اعوجاج ناخوا سته شود. همین شکل می‌تواند در مود کاری ۵ نیز اتفاق بیفتد.

برای حل م شکل ذکر شده، با اندکی توجه به مدار معادل ۴-۱۴، می‌توان راه‌حل را پیدا نمود. اگر جریان‌های دو فاز A و B به‌عنوان منابع جریان مستقل در نظر گرفته شوند، اثر نامطلوب ولتاژ ضد محرکه فاز C حذف‌شده و فاز C به‌عنوان یک منبع جریان با مقدار جریان صفر عمل خواهد نمود. برای آنکه جریان‌های دو فاز A و B همانند منابع جریان ثابت و مستقل عمل نمایند، می‌باید جریان‌های این دو فاز مستقلاً اندازه‌گیری شده و از سیگنال‌های سوئیچینگ مستقل $S_1$($S_3$) و $S_4$($S_2$) برای کنترل جریان های این دو فاز استفاده نمود. روش کنترلی فوق به روش کنترل مستقیم جریان PWM نامگذاری شده است. شکل ۴-۱۳ این استراتژی کنترل را نشان می‌دهد.




شکل ۴-۱۳: استراتژی کنترل مستقیم جریان PWM برای حذف اثر ولتاژ ضد محرکه فاز C




الف: حالت ایده‌آل

ب: حالت واقعی(ایجاد جریان در فاز C به علت اثر ولتاژ ضدمحرکه فاز C)

شکل ۴-۱۴: مدار معادل ساده‌شده درایو در مودهای کاری ۲ و ۵

## ۴-۲- مقایسه قیمت دو اینورتر ۶ سوئیچه و ۴ سوئیچه

در بخش‌های قبل عملکرد دو اینورتر ۶ سوئیچه و ۴ سوئیچه در درایو موتور BLDC به تفضیل مورد بحث قرار گرفت و به‌صورت تحلیلی نشان داده شد که با استفاده از روش کنترل مستقیم جریان PWM رفتار دو اینورتر یکسان است. در ادامه یک مقایسه قیمتی بین دو اینورتر مطروحه انجام می‌گیرد و نشان داده می‌شود که اینورتر ۴ سوئیچه در حدود ۲۵ % ارزان‌تر از اینورتر ۶ سوئیچه است و درواقع، پیچیدگی در سخت‌افزار به پیچیدگی در نرم‌افزار تبدیل شده است که البته باوجود پرداز شگرهای سرعت‌بالا و dsPICها، این مسئله مشکلی در استفاده از اینورتر ۴ سوئیچه در درایو موتورهای BLDC ایجاد نمی‌کند. جدول ۴-۳ نتایج این مقایسه را نشان می‌دهد. می‌باید به این نکته نیز توجه گردد که کاهش قیمت ۲۵ % ذکرشده برای محدوده توان پائین بوده و این نسبت برای کاربردهای توان بالا به مقدار قابل‌توجهی افزایش می‌یابد.

**جدول ۴-۳: مقایسه قیمت دو اینورتر ۴ سوئیچه و ۶ سوئیچه برای کاربردهای توان پائین**

| آیتم | قیمت واحد | اینورتر ۶ سوئیچه | | اینورتر ۴ سوئیچه | |
|---|---|---|---|---|---|
| خازنهای لینک dc | $9.20 | ۱ عدد | $9.20 | ۲ عدد | $18.40 |
| سوئیچها (IGBTs) | $6.20 | ۶ عدد | $37.20 | ۴ عدد | $24.80 |
| درایور گیت | $5.25 | ۶ عدد | $31.50 | ۴ عدد | $21.00 |
| منبع تغذیه | $7.44 | ۶ عدد | $44.64 | ۴ عدد | $29.76 |
| قیمت کلی | | **$122.54** | | **$93.96** | |

## ۴-۳- اینورترهای ماتریسی

مبدل ماتریسی یک مبدل یکپارچه AC به AC است که از m×n سوئیچ دو سویه تشکیل شده است و یک منبع ولتاژ m فاز را به‌یک‌بار n فاز متصل می‌کند و توانایی تبدیل یک ولتاژ با فاز و دامنه و فرکانس معین به یک ولتاژ با فاز و دامنه و فرکانس متفاوت از آن را دارند. برتری‌های این مبدل‌ها نسبت به مبدل‌های رایج AC/DC/AC باعث شده تا در مهر و موم‌های اخیر موردتوجه ویژه قرار گیرند که پرکاربردترین آن‌ها مبدل ماتریسی سه فاز با ۳×۳سوئیچ است.

مبدل‌های ماتریسی نسبت به مبدل‌های معمولی (یک‌سوساز- اینورتر)، دارای فواید بسیاری می‌باشند که در ادامه به برخی از آن‌ها اشاره می‌کنیم:

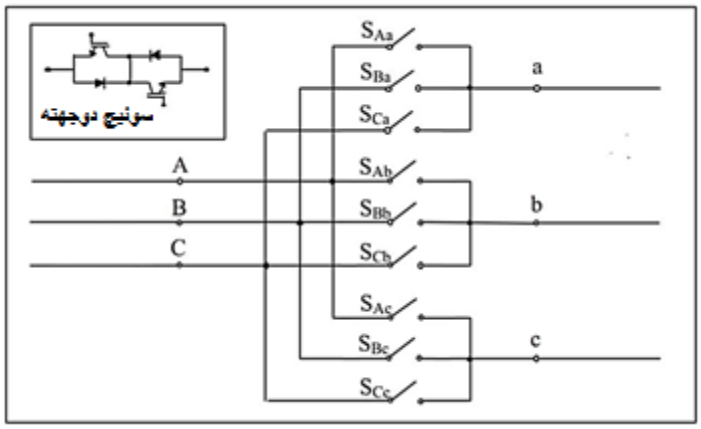
- توانایی تولید شکل موج خروجی و ورودی سینوسی با هارمونیک پایین
- قابلیت شارش دوطرفه توان
- قابلیت کنترل ضریب توان ورودی
- در این مبدل‌ها نیازی به ذخیره انرژی نیست و بنابراین نیاز به خازن که هم قیمت بالایی دارد و هم طول عمر مفید مبدل را کاهش می‌دهد، نیست.

ولی این مبدل‌ها دارای معایبی نیز می‌باشند که از آن جمله به موارد زیر می‌توان اشاره نمود:

- حداکثر نسبت انتقال ولتاژ ورودی- خروجی ۸۷٪ برای شکل‌موج ورودی و خروجی سینوسی است.
- نسبت به اختلال ولتاژ ورودی حساس است.
- نسبت به مبدل‌های معمولی به اجزاء نیمه‌هادی بیشتری نیاز دارد.

- **ساختار مبدل‌های ماتریسی**

مبدل ماتریسی سه‌فاز شامل ۹ سوئیچ دو سویه است که این شرایط را فراهم می‌آورد که هر فاز خروجی بتواند به هر فاز ورودی متصل شود. شکل ۴-۱۵ پایانه ورودی مبدل ماتریسی به یک سیستم تغذیه‌شده با ولتاژ (معمولاً شبکه) را نشان می‌دهد. درحالی‌که پایانه خروجی به سیستم تغذیه شونده (برای مثال موتور الکتریکی) متصل می‌شود. باید توجه شود که وجود فیلتر در ورودی برای حذف هارمونیک‌های مرتبه بالا اجتناب‌ناپذیر است.




**شکل ۴-۱۵: مبدل ماتریسی سه فاز ۳×۳**

شایان ذکر است که به‌دلیل دو سویه بودن و تقارن ذاتی این مبدل‌ها، امکان اتصال سیستم تغذیه‌شده با جریان به ورودی و سیستم تغذیه‌شده با ولتاژ به خروجی نیز وجود دارد.

به دلیل وجود ۹ سوئیچ دوسویه، ازنظر تئوری مبدل ماتریسی می‌تواند دارای (۵۱۲) $8^3$ حالت سوئیچ زنی مختلف باشد. ولی در عمل تمامی این حالت‌ها قابل‌استفاده نیستند. صرف‌نظر از روش کنترلی موردا ستفاده دو نکته باید در ترکیب سوئیچ‌زنی مبدل ماتریسی موردتوجه قرار بگیرد. از آنجا که ورودی مبدل یک منبع ولتاژ و خروجی آن یک بار سلفی است. لذا فازهای ورودی هرگز نباید اتصال‌کوتاه شوند و فازهای خروجی نیز نباید به‌طور کامل قطع شوند. بدین ترتیب در هر لحظه یکی و

فقط یکی از سوئیچ‌های متصل به هر فاز خروجی باید وصل باشد. این شرط رابطه ۴-۳ را نتیجه می‌دهد.

$$S_{Ay} + S_{By} + S_{Cy} = 1 \quad \forall y \in \{a,b,c\} \qquad (۳-۴)$$

که

$$S_{xy} = \begin{cases} 0 & if \quad S_{xy} \quad \text{باز باشد} \\ 1 & if \quad S_{xy} \quad \text{بسته باشد} \end{cases}$$

بنابراین در عمل ۲۷ حالت سوئیچ‌زنی قابل‌ا ستفاده برای یک مبدل ماتریسی سه فاز به سه فاز وجود دارد.

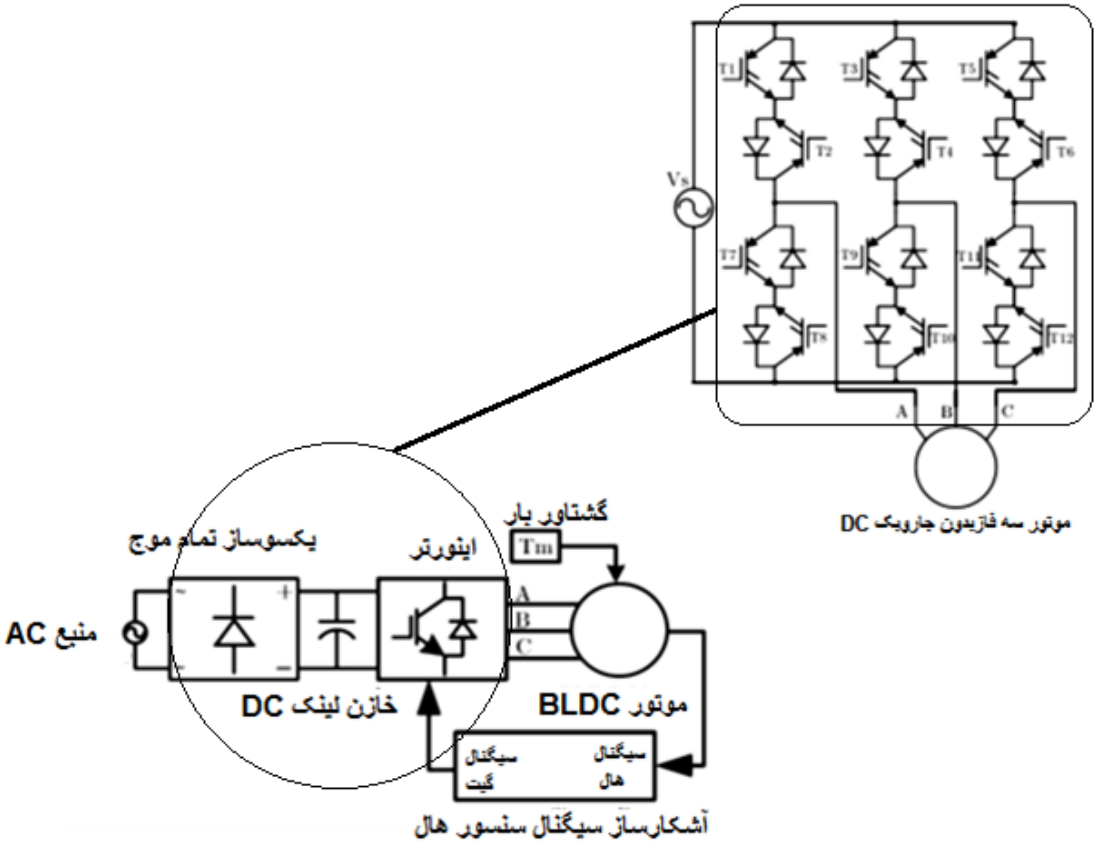
- **عملکرد مبدل ماتریسی**

ازآنجایی‌که در مبدل ماتریسی هیچ جزء ذخیره‌کننده انرژی بین ورودی و خروجی وجود ندارد، ولتاژ خروجی مستقیماً از ولتاژ ورودی تولید می‌شود و شکل موج خروجی ترکیبی از نمونه‌برداری تکه‌ای از شکل موج‌های ورودی است. فرکانس نمونه‌برداری باید بسیار بیشتر از فرکانس ورودی و خروجی باشد. در شکل ۴-۱۵، شکل موج ولتاژ خروجی مبدل ماتریسی با شکل موج خروجی اینورتر منبع ولتاژ (VSI) معمولی مقایسه شده است. ولتاژ خروجی VSI تنها دو مقدار می‌تواند باشد، مقدار مثبت یا منفی ولتاژ لینک DC. ولی در مبدل ماتریسی، ولتاژهای خروجی هر یک از ولتاژهای ورودی A ، B، C را می‌توانند اختیار کنند و این در حالی است که این ولتاژهای ورودی با زمان تغییر می‌کنند و نتیجه آن کاهش هارمونیک‌های سوئیچ‌زنی است.

- **کاربرد اینورترهای ماتریسی در موتور BLDC**

شکل ۴-۱۶ ساختار کلی مبدل‌های قدرت به‌همراه موتور BLDC نشان داده شده است. همان‌طور که در شکل مشخص است منبع ورودی این موتور یک منبع AC تک‌فاز بوده و برای دست‌یابی به خروجی مطلوب سه‌فاز، ناگزیر پس از یکسوسازی ولتاژ متناوب و ذخیره‌سازی آن در یک خازن، از طریق یک اینورتر سه‌فاز به ولتاژ مطلوب دست می‌یابیم. با توجه به هزینه بالای خازن و فضای زیاد اشغال شده توسط آن و همچنین کاهش قابلیت اطمینان کل مدار که متأثر از دمای کاری

و جنس ماده دی‌الکتریک اســت، مبدل‌های مســتقیم که مبدل ماتریســی یکی از این نمونه‌ها اســت موردتوجه قرار گرفتند.



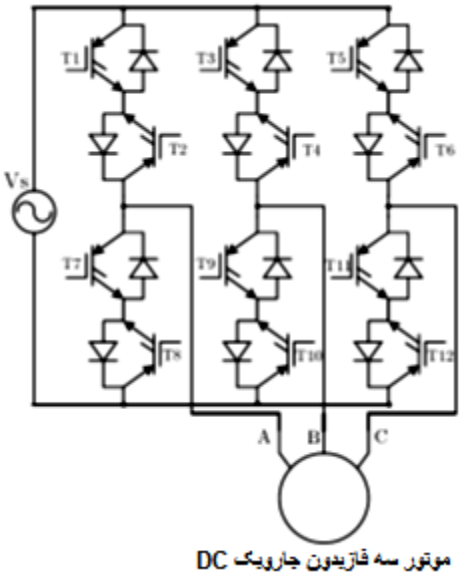

**شکل ۴-۱۶: جایگذاری یک اینورتر شش پله‌ای با یک اینورتر ماتریسی متصل شده به موتور BLDC**

در شــکل ۴-۱۷ و شــکل ۴-۱۸ دو ســاختار نمونه از مبدل‌های ماتریســی تک‌فاز به ســه‌فاز قابل‌استفاده در موتور BLDC نمایش داده شده است. در شکل ۴-۱۷ هرسلول از سوئیچ‌های دوطرفه نیمه‌هادی پشت‌به‌پشت تشکیل یافته است. این کلیدها به‌گونه‌ای کنترل می شوند که ولتاژ خروجی به‌صورت سینوسی با فرکانس و دامنه مطلوب به دست آید.

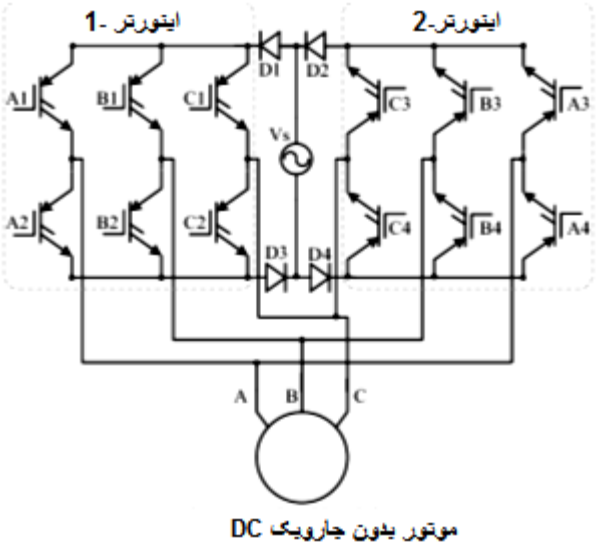
ساختار دیگری برای کنترل ماشین BLDC در شکل ۴-۱۹ نمایش داده شده است. این ساختار نسبت به سایر ساختارهای ارائه‌شده از سوئیچ‌های کمتری استفاده می‌کند ضمن اینکه قابلیت شارش دوطرفه توان را دارد. این ساختار تقریباً مشابه ساختار یک‌پارچه مستقل[1] است. هر دو ساختار از دو اینورتر تک فاز به ســه‌فاز جهت تبدیل ولتاژ تک‌فاز ورودی به ســه‌فاز خروجی در نیم ســیکل مثبت و

[1] Separation link

منفی اســتفاده می‌کنند. این ســاختار جدید از ســوئیچ‌های کمتری اســتفاده کرده که منجر به کاهش هزینه و افزایش کل راندمان مدار می شود. این ساختار نیازی به ا ستفاده از دیودهای هرزه‌گرد ندارد. جدول ۴-۴ الگوریتم ســـوئیچینگ در این مبدل را جهت تغذیه به موتور DC بدون جاروبک با ولتاژ EMF ذوزنقه‌ای نشان می‌دهد.




**شکل ۴-۱۷: مبدل ماتریسی تک‌فاز به سه‌فاز**




**شکل ۴-۱۸: ساختار جدید مبدل ماتریسی با سوئیچ‌های کمتر**

**جدول ۴-۴: الگوریتم سوئیچینگ جهت تغذیه به موتور BLDC**

| سوئیچ‌های در مسیر آزاد | سوئیچ‌های در مسیر اصلی | خروجی سنسور هال | منبع ولتاژ Vs |
|---|---|---|---|
| A4 C3 | A1 C2 | 1 0 0 | مثبت |
| B4 C3 | B1 C2 | 1 1 0 | مثبت |
| B4 A3 | B1 A2 | 0 1 0 | مثبت |
| C4 A3 | C1 A2 | 0 1 1 | مثبت |
| C4 B3 | C1 B2 | 0 0 1 | مثبت |
| A4 B3 | A1 B2 | 1 0 1 | مثبت |
| A1 C2 | A4 C3 | 1 0 0 | منفی |
| B1 C2 | B4 C3 | 1 1 0 | منفی |
| B2 A2 | B4 A3 | 0 1 0 | منفی |
| C1 A2 | C4 A3 | 0 1 1 | منفی |
| C1 B2 | C4 B3 | 0 0 1 | منفی |
| A1 B2 | A4 B3 | 1 0 1 | منفی |

## ۴-۴- مقایسه اینورتر چند سطحی با بست دیودی[1]

در اینورترهای چندسطحی با بست دیودی، از دیودهای تثبیت‌کننده و خازن‌های دائم آبشاری شده برای ایجاد شکل موج‌های ولتاژ متناوب چند سطحی استفاده می‌شود. این اینورترها می‌توانند به یکی از صورت‌های سه، چهار و یا پنج سطحی آرایش یابند. در بین این آرایش‌ها، تنها آرایش سه سطحی، که معمولاً با نام اینورتر با نقطه‌ی خنثی تثبیت شده (NPC[2]) شناخته می شود، کاربردهای گسترده‌ای در محرکه‌های توان بالا و ولتاژ متوسط پیدا کرده است.

[1] Diode Clamped Multilevel inverter

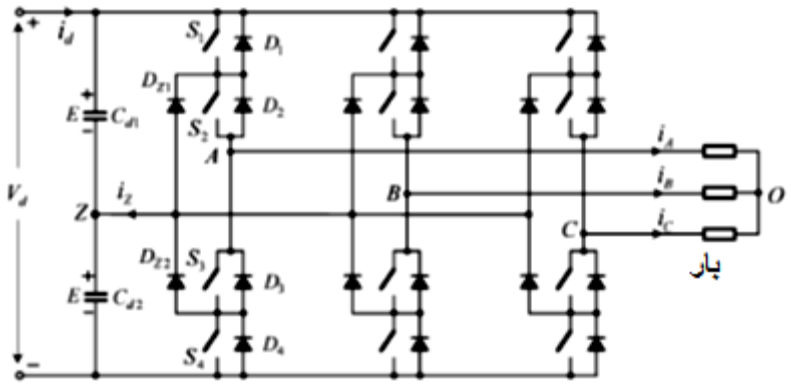
[2] Neutral Point Clamped

خصـــوصـــیت اصـــلی اینورتر NPC، کاهش مقدار dv/dt, THD در ولتاژ متناوب خروجی آن در مقایسه با اینورتر دو سطحی است. مهم‌تر آنکه از این اینورترها می‌توان در محرکه‌های ولتاژ متوسط و برای رسیدن به سطح ولتاژ مشخص بدون نیاز به متوالی شدن عناصر کلیدزنی استفاده کرد. برای مثال اینورتر NPC که از عناصـــر 6000 ولتی اســـتفاده می‌کند برای محرکه‌های با ولتاژ نامی 4160 ولت مناسب است.

- **اینورتر سه سطحی**

شکل ۴-۱۹ شکل مداری ساده شده‌ای از یک اینورتر NPC سه سطحی را نشان هد. شاخه A اینورتر از چهار کلید فعال S1 تا S4 همراه با چهار دیود موازی معکوس D1 تا D4 تشکیل شده است. در عمل می‌توان از IGBT و یا GCT به‌عنوان عناصر کلیدزنی استفاده کرد.

در سمت DC اینورتر، خازن دائم به دو قسمت تقسیم شده است که باعث ایجاد نقطه‌ی خنثی Z می‌شـــود. دیودهای متصـــل به نقطه خنثی $D_{z2}$ , $D_{z1}$ دیودهای تثبیت‌کننده نام دارند. هنگامی‌که کلیدهای S2 و S3 بسته می‌شوند، پایانه A در خروجی اینورتر از طریق یکی از دیودهای تثبیت‌کننده به نقطه‌ی خنثی متصل خواهد شد. ولتاژ دو سر هم کدام از خازن‌ها مقداری برابر E دارد که معمولاً برابر نصف کل ولتاژ دائم یعنی Vd است. با یک مقدار مشخص برای $C_{d1}$ , $C_{d2}$ این خازن‌ها می‌توانند توســـط جریان خنثی iz بار و تخلیه شـــوند، که این عمل باعث ایجاد انحراف در ولتاژ نقطه‌ی خنثی می‌گردد.




**شکل ۴-۱۹: اینورتر NPC سه سطحی**

وضعیت کارکرد کلیدها در اینورتر NPC را می‌توان با استفاده از حالات کلیدزنی نشان داده شده در جدول ۴-۵ توصـــیف نمود. حالت کلیدزنی 'p' نشـــان می‌دهد که دو کلید فوقانی در شـــاخه‌ی A

روشـن بوده و ولتاژ پایانه اینورتر یعنی VAZ که ولتاژ پایانه A نسـبت به نقطه‌ی خنثی Z اسـت برابر E+ ا ست، حال‌آنکه 'N' نشان‌دهنده بسته بودن دو کلید تحتانی بوده و در نتیجه VAZ = -E. حالت کلیدزنی 'o' نشـان‌دهنده این اسـت که دو کلید داخلی $S_2$ و $S_3$ وصـل بوده و درنتیجه $V_{AZ}$ از طریق دیودهای تثبیت‌کننده در مقدار صفر تثبیت شده ا ست. بسته به جهت جریان باز $i_A$، یکی از دو دیود تثبیت‌کننده روشن خواهد بود. برای مثال یک جریان بار مثبت ($i_A>0$) باعث روشن شدن $D_{z1}$ شده و پایانه A از طریق هدایت $S_2$ , $D_{z1}$ به نقطه‌ی خنثی z متصل می‌گردد.

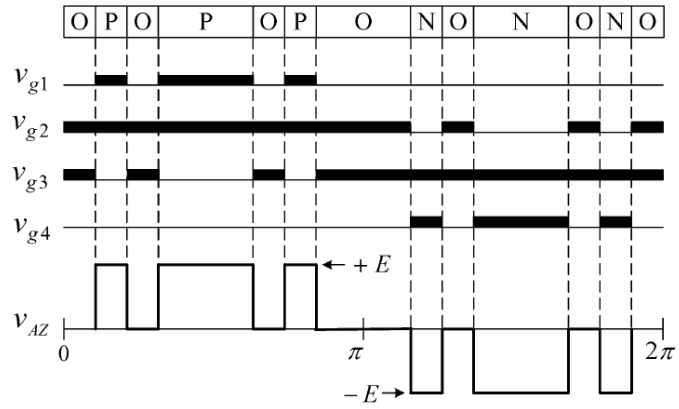
با توجه به جدول ۴-۵ می‌توان دریافت که کلیدهای $S_1$ و $S_3$ به‌صـــورت مکمل کار می‌کنند. در صورت بسته بودن یکی از آن‌ها دیگری می‌بایست باز باشد. همچنین $S_2$ و $S_4$ نیز به صورت مشابه زوجی مکمل می‌باشند.

**جدول ۴-۵: تعریف حالات کلیدزنی**

| حالت سونیچینگ | حالات سونیچینگ دستگاه فاز(A) | | | | ولتاژ ترمینال اینورتر |
|---|---|---|---|---|---|
| | $S_1$ | $S_2$ | $S_3$ | $S_4$ | $v_{AZ}$ |
| P | On | On | Off | Off | $E$ |
| O | Off | On | On | Off | 0 |
| N | Off | Off | On | On | $-E$ |

شکل ۴-۲۰ مثالی از آرایش حالات کلیدزنی و سیگنال‌های گیت را نشان می‌دهد، که در آن $V_{g1}$ تا $V_{g4}$ به‌ترتیب سـیگنال‌های گیت برای کلیدهای S1 و S4 می‌باشـند. سـیگنال‌های گیت را می‌توان به‌وسـیله روش‌های مدولاسـیون بر پایه موج حامل، مدولاسـیون بردار فضـایی و یا حذف هارمونیک انتخابی[1] تولید نمود. شکل موج $V_{AZ}$ دارای سه سطح ولتاژ E+ , 0 , E– است که بر این اساس به این نوع اینورتر، اینورتر سه‌سطحی اطلاق می‌شود.

[1] Selective Harmonic Elimination



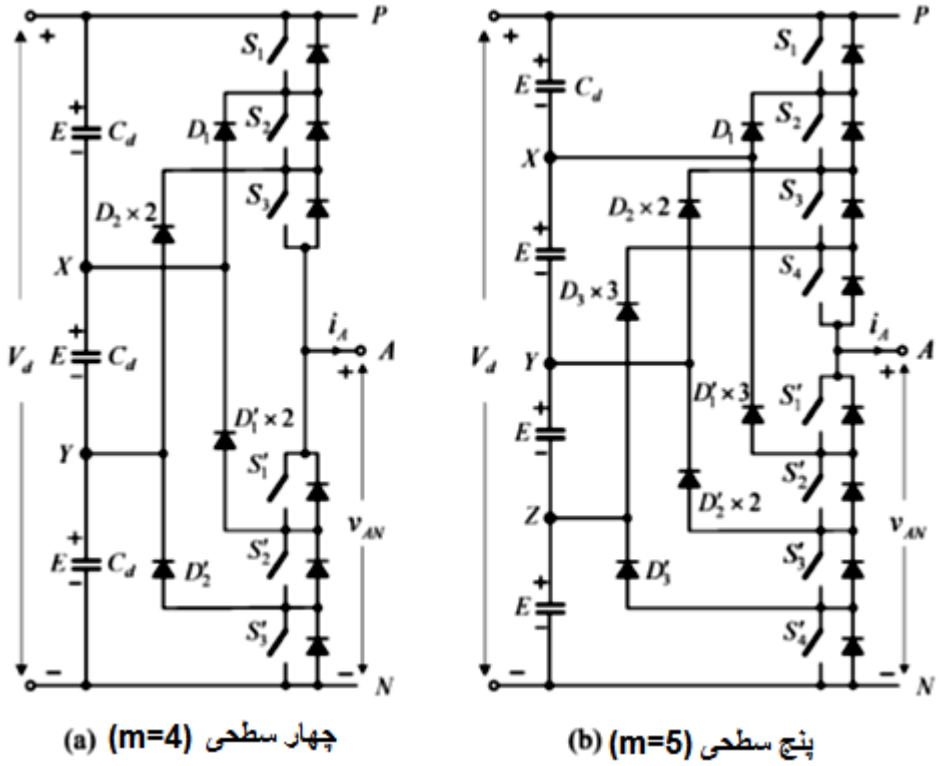

شکل ۴-۲۰: حالات کلیدزنی سیگنال‌های گیت و ولتاژ پایانه اینورتر VAZ

- **اینورترهای با بست دیودی چهار و پنج سطحی**

شکل۴-۲۱- (a) نشان‌دهنده دیاگرام تک فاز ساده‌شده اینورتر با بست دیودی چهار سطحی است. هر فاز اینورتر از شش کلید فعال و تعدادی دیود تثبیت‌کننده تشکیل شده است. خازن‌های دائم Cd بین هر سه فاز مشترک می‌باشند. در این بررسی فرض بر آن است که ولتاژ دو سر خازن برابر E بوده و کل ولتاژ دائم Vd بین خازن‌ها به‌طور مساوی تقسیم شده است(Vd= 3E). وضعیت عملکردی کلید و ولتاژ پایانه اینورتر $V_{AN}$ برای یک اینورتر چهار سطحی در جدول ارائه شده است. در این جدول "1" بیان‌کننده روشن بودن و "0 " بیان‌کننده خاموش بودن کلید است. هنگامی‌که سه کلید فوقانی شاخه‌ی A بسته هستند (S1=S2=S3="1")، $V_{AN}$ برابر 3E بوده و هدایت سه کلید تحتانی باعث صفر شدن $V_{AN}$ می‌گردد. در صورتی‌که پایانه A اینورتر از طریق هدایت سه کلید میانی و دیودهای تثبیت‌کننده به نقطه‌ی X , Y از مدار خازن متصل شود، $V_{AN}$ به ترتیب برابر 2E و یا E خواهد شد. به‌این‌ترتیب، شکل موج $V_{AN}$ از چهار سطح ولتاژ 0, E, 2E, 3E تشکیل می‌شود. با توجه به جدول مشاهده می شود که (الف) در اینورتر چهار سطحی در هرلحظه سه کلید هدایت می‌کنند و (ب) زوج کلیدهای (S'1,S1) , (S'2,S2) , (S'3,S3) به‌صورت مکمل عمل می‌کنند.

لازم به ذکر است که دیودهای تثبیت‌کننده تحت تأثیر مقادیر مختلف ولتاژ معکوس قرار می‌گیرند. برای مثال، هنگامی‌که اینورتر در شرایط (S1=S2=S3="1") کار می‌کند، آند دیودهای تثبیت‌کننده D2 و D1 می‌باشند. در عمل، مقادیر نامی ولتاژ برای تمامی دیودهای تثبیت‌کننده را

معمولاً با کلیدهای فعال یکان انتخاب می‌کنند. درنتیجه به‌جای $D_2$ می‌بایست دو دیود به‌صورت سری قرار گیرند (در شکل با $D_2\times2$ نمایش داده شده است).




**شکل ۴-۲۱: دیاگرام تک‌فازی اینورترهای با بست دیودی ۴ و ۵ سطحی**

دیاگرام مداری تک فاز اینورتر پنج‌سطحی با دیود تثبیت‌کننده در شکل۴-۲۱ (b) نشان داده شده است. ارتباط بین وضعیت کلیدها و $V_{AN}$ برای اینورتر پنج سطحی نیز در جدول ۴-۶ ارائه شده است. با توجه به ترکیبات مختلف وضعیت عملکردی کلیدها، شکل موج $V_{AN}$ پنج سطح ولتاژ 0,E,2E,3E,4E را شامل می‌شود.

در جدول ۴-۷ شمار عناصر اینورترهای چند سطحی با دیود تثبیت کننده آورده شده است. با فرض اینکه تمام کلیدهای فعال و دیودهای تثبیت‌کننده مقادیر نامی ولتاژ مشابهی داشته باشند، مقدار نامی ولتاژ خروجی اینورتر متناسب با تعداد کلیدهای فعال است. این بدان معنی است که درصورتی‌که تعداد کلیدها دو برابر می‌شود، بیشینه ولتاژ خروجی دو برابر شده و به همین ترتیب توان خروجی آن نیز افزایش می‌یابد. باید توجه داشت که تعداد دیودهای تثبیت‌کننده به‌شدت با افزایش سطح ولتاژ زیاد می‌شود. برای مثال، اینورتر سه‌سطحی تنها به ۶ دیود تثبیت‌کننده نیاز دارد حال‌آنکه

اینورتر پنج‌سطحی دارای ۳۶ دیود تثبیت‌کننده است. این موضوع درواقع یکی از دلایل اصلی عدم استفاده متداول از اینورترهای چهار و پنج سطحی در صنعت است.

**جدول ۴-۶: موقعیت کلید و ولتاژ پایانه اینورتر $V_{AN}$**

| حالات سوئیچ | | | | | | |
|---|---|---|---|---|---|---|
| اینورتر چهار سطحی | | | | | | |
| $S_1$ | $S_2$ | $S_3$ | $S_1'$ | $S_2'$ | $S_3'$ | $V_{AN}$ |
| 1 | 1 | 1 | 0 | 0 | 0 | $3E$ |
| 0 | 1 | 1 | 1 | 0 | 0 | $2E$ |
| 0 | 0 | 1 | 1 | 1 | 0 | $E$ |
| 0 | 0 | 0 | 1 | 1 | 1 | 0 |
| اینورتر پنج سطحی | | | | | | |
| $S_1$ | $S_2$ | $S_3$ | $S_4$ | $S_1'$ | $S_2'$ | $S_3'$ | $S_4'$ | $V_{AN}$ |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | $4E$ |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | $3E$ |
| 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | $2E$ |
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | $E$ |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 |

**جدول ۴-۷: تعداد عناصر در اینورترهای چند سطحی با بست دیودی**

| سطح ولتاژ | سوئیچهای فعال | دیودهای بست شده | خازن های dc |
|---|---|---|---|
| $m$ | $6(m-1)$ | $3(m-1)(m-2)$ | $(m-1)$ |
| 3 | 12 | 6 | 2 |
| 4 | 18 | 18 | 3 |
| 5 | 24 | 36 | 4 |
| 6 | 30 | 60 | 5 |

## ۴-۵- اینورترهای منبع امپدانسی (ZSI)[1]

علی‌رغم استفاده وسیع اینورترهای دوسطحی ولتاژی (VSI)[2]، معایب و محدودیت‌های زیر در آن‌ها وجود دارد.

[1] Z-source Inverter
[2] Voltage source inverter

افزایش ولتاژ AC خروجی محدود بوده و نمی‌توان ولتاژ بالاتر از سطح DC ورودی تولید کرد. به‌عبارت‌دیگر، همواره ولتاژ DC ورودی بزرگ‌تر از ولتاژ AC خروجی است. بنابراین، مبدل منبع ولتاژی یک اینورتر کاهنده[1] برای انتقال توان به‌صورت DC به AC است. در کاربردهایی که به رنج وسیعی از دامنه ولتاژ خروجی نیاز بوده و سطح ولتاژ منبع DC محدود است، به یک مبدل DC-DC (چاپر) افزاینده نیاز خواهیم داشت تا به یک ولتاژ AC خروجی مطلوب دست یافت. اضافه کردن این مبدل به مدار سبب افزایش هزینه سیستم و بازدهی کمتر خواهد شد.

سوئیچ‌های بالا و پایین بازوی هر فاز نمی‌تواند هم‌زمان روشن شوند. در غیر این صورت، اتصال کوتاه رخ داده و به مدار آسیب می‌رساند. تداخل الکترومغناطیسی[2](EMI) یکی ازپدیده‌های قابل وقوع در این اینورترهاست و یکی از علل مهم کاهش قابلیت اطمینان در این نوع از اینورترها محسوب می‌شود. ازاین‌رو، باید به سوئیچ‌های روی یک بازو با یک‌فاصله زمانی فرمان وصل داده شود که این فاصله زمانی منجر به اعوجاج در شکل موج خروجی خواهد شد.

برای تولید ولتاژ سینوسی خروجی یک فیلتر LC نیاز است که سبب افزایش هزینه، اتلاف توان و پیچیدگی کنترل آن می‌گردد. محدودیت‌ها و موانع مبدل‌های منبع جریانی به قرار زیر است. ولتاژ ac خروجی همواره بزرگ‌تر از ولتاژ DC ورودی است که اندوکتانس طبقه میانی را تغذیه می‌کند. بنابراین، مبدل منبع جریانی یک اینورتر افزاینده[3] در تبادل توان به‌صورت DC به AC است و به‌عکس یک مبدل منبع جریانی یک یک‌سوساز کاهنده در تبادل توان از ac به dc است. در کاربردهایی که به رنج وسیعی از ولتاژ نیاز است، نیاز به مبدل‌های dc-dc کاهنده است که سبب افزایش هزینه سیستم و کاهش بازدهی خواهد شد.

در هر لحظه، سوییچ های بالا و پایین حداقل یکی از بازوهای فاز باید هم‌زمان روشن باشند. درغیراین‌صورت، جریان پیوسته متأثر از اندوکتانس طبقه میانی، مدارباز شده که سبب آسیب دیدن مبدل خواهد شد. حالت‌های مدارباز ایجادشده به‌وسیله پدیده تداخل الکترومغناطیسی(EMI)، یکی از خطرات مهم در کارکرد مطمئن این مبدل هاست. لذا برای کارکرد مطمئن مدار، به زمان های

[1] Buck Inverter
[2] Electromagnetic Interference
[3] Boost Inverter

هم‌پوشانی[1] در کموتاسیون جریان سوئیچ‌های بالا و پایین روی یک بازو نیاز داریم که منجر به اعوجاج در شکل موج خروجی خواهد شد.

سوئیچ‌های اینورتر منبع جریانی باید قابلیت تحمل ولتاژ معکوس را داشته باشند. لذا از دیودهای سری در ترکیب با ترانزیستورهای سرعت‌بالا برای دستیابی به این قابلیت استفاده شده است. مانند ترانزیستورهای پیوند دوقطبی (IGBT). بنابراین، استفاده مستقیم و کارایی سوئیچ‌های IGBT محدود خواهد شد.

درمجموع، دو اینورتر منبع ولتاژی و جریانی معایب مشترک زیر را دارا می‌باشند:

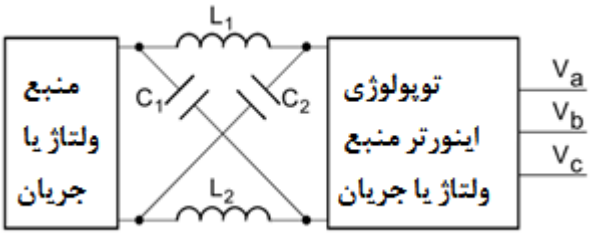
هرکدام از آن‌ها به صورت جداگانه یا افزاینده هستند یا کاهنده و هم‌زمان قابلیت افزایندگی-کاهندگی را ندارند که این امر منجر به محدودیت در رنج ولتاژ خروجی خواهد شد.

مدار آن‌ها قابل‌تغییر به یکدیگر را ندارند. به‌عبارت‌دیگر، نمی‌توان از اینورتر منبع ولتاژی به‌جای اینورتر منبع جریانی استفاده کرد و به‌عکس.

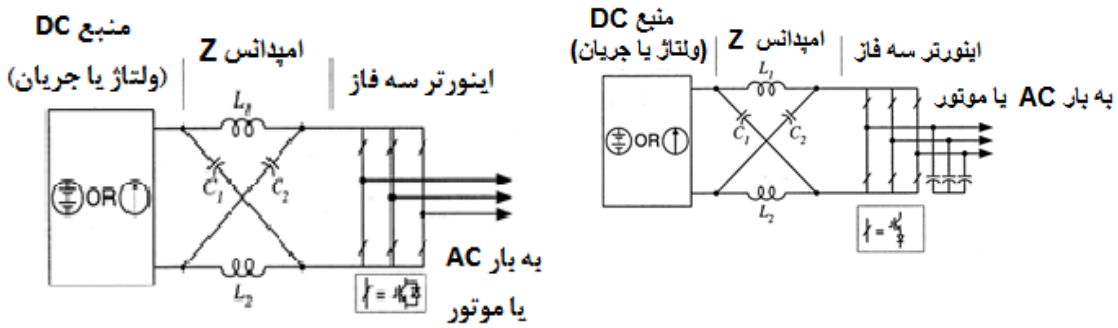
پدیده (EMI) در هر دو نوع از این اینورترها یک فاکتور مهم در کاهش قابلیت اطمینان آن‌ها است. مبدل‌های منبع امپدانسی به‌دلیل نداشتن معایب ذکرشده در بالا، نسبت به مبدل‌های منبع ولتاژی و منبع جریانی برتری یافته‌اند که امروزه به دلیل برتری‌های ذکرشده این مبدل‌ها در درایو موتور BLDC نیز مورداستفاده قرار گرفته‌اند. مبدل‌های امپدانسی به‌طور خلاصه با عنوان ( Z-Source converter) نام‌گذاری شده است. این مبدل در همه اشکال انتقال توان به‌صورت‌های dc به ac، ac به dc، ac به ac و dc به dc کاربرد دارد. شکل ۴-۲۲ ساختار کلی یک مبدل منبع امپدانسی را نشان می‌دهد که از یک شبکه امپدانسی جالب بین یک منبع تغذیه و بار یا مبدل‌های دیگر برای دستیابی به ویژگی‌های منحصربه‌فردی که در VSI و CSI وجود ندارد، بهره می‌گیرد. در مبدل‌های منبع امپدانسی موانع و محدودیت‌های مبدل‌های متداول منبع جریانی و ولتاژی وجود نداشته و یک مفهوم جدید از انتقال توان ارائه می‌دهد. شکل ۴-۲۳ یک شبکه دوقطبی را نشان می‌دهد که از دو سلف L1 و L2 و دو خازن C1 و C2 به صورت ضربدری یک شبکه امپدانسی را تشکیل داده و اتصال بین منبع تغذیه و بار یا سایر مبدل‌ها را به‌وجود می‌آورد. منبع تغذیه می‌تواند جریانی و ولتاژی باشد. بنابراین، منبع dc می‌تواند یک باطری، یک سوساز دیودی، مبدل ترانزیستوری، پیل سوختی، سلف، خازن و یا

[1] Overlap time

ترکیبی از آن‌ها باشد. کلیدهای استفاده‌شده در این مبدل می‌تواند ترکیبی از سوئیچ‌ها و دیودها باشد. مانند ترکیب معکوس موازی و یا ترکیب سری باشند. به‌عنوان‌مثال، شکل ۴-۲۳ دو آرایش مختلف سوئیچ‌ها در اینورتر منبع امپدانسی را نشان می‌دهد.




شکل ۴-۲۲: اینورترهای منبع امپدانسی




شکل ۴-۲۳: ترکیب سری و موازی کلیدها با دیود در اینورترهای منبع امپدانسی

## ۴-۶- عملکرد مبدل افزاینده با اصلاح ضریب توان ورودی با کنترل جریان به روش زمان خاموشی ثابت با مدولاسیون ولتاژ خط

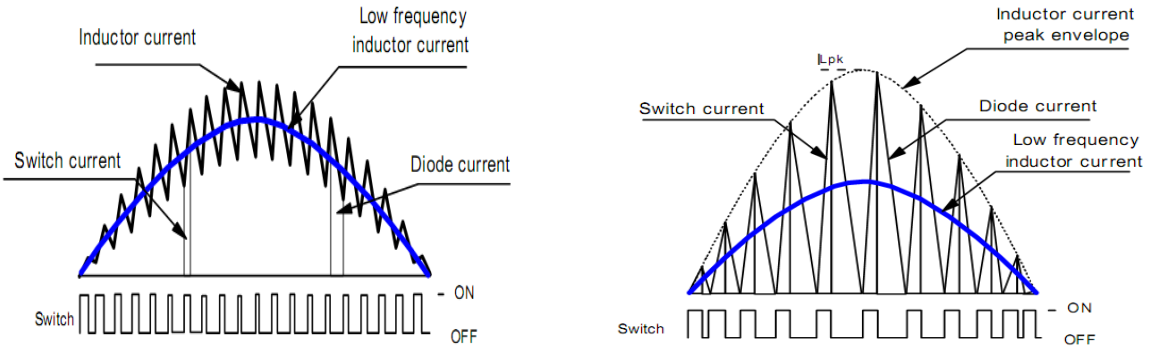
مبدلهای با قابلیت اصلاح ضریب توان ورودی(PFC)، جریان ورودی را به گونه‌ای کنترل می‌کنند که حداکثر ضریب توان از دید منبع اصلی (تغذیه برق شهر) ایجاد شود. مجموعه‌ی الکترونیکی باید مانند یک مقاومت خالص از دیدگاه شبکه دیده شود، تا توان موهومی که از شبکه کشیده می‌شود مینیمم باشد. توان منتقل شده به مبدل با کمترین دامنه جریان ورودی معمولاً کمترین تلفات را در مبدل تلف می‌کند. کنترل کننده‌های جریان برای ایجاد ضریب توان نزدیک به یک ضریبی از مقدار لحظه‌ای ولتاژ ورودی را برای جریان ورودی مرجع قرار می‌دهد. به این ترتیب جریان ورودی کشیده شده از منبع هم فاز با ولتاژ ورودی خواهد بود و ضریب توان به حداکثر مقدار خود می‌رسد.

یکسوسازهای قدیمی به دلیل استفاده از یک پل دیودی ساده و یک خازن در خروجی ضریب توان را تا مقادیر ۰/۵-۰/۷ کاهش می‌دهد. امروزه در اروپا تجهیزات الکتریکی بایستی بسیاری استانداردهای THDو PF از جمله IEC-61000-3-2 و EN61000-3-2 را بر آورده سازند [۵۴]. این استاندارد بیشتر برای تجهیزات الکتریکی با توان ورودی ۷۵ وات و بیشتر اعمال می‌شود. اخیراً روشهای مختلفی برای اصلاح ضریب توان ورودی پیشنهاد شده است. روش‌های کنترل جریان در یک مبدل بوست به دو خانواده فرکانس ثابت (FF) و حالت گذار (TM) تقسیم می‌شوند. در این پروژه برای کنترل جریان از ترکیب روش‌های FF و TM استفاده شده است. به این ترتیب مزایای هر دو روش مذکور، از جمله سادگی مدار کنترل و قابلیت استفاده در توان‌های بالا بدست می‌آید. برای اصلاح ضریب توان به کمک مبدل بوست، به روش زمان خاموشی ثابت (FOT) جریان را کنترل می‌کنیم [۵۵،۵۶]. در این روش فرکانس کلیدزنی در پیک ولتاژ ورودی به حداکثر مقدار خود می‌رسد. با فرض این که زمان خاموشی کلید ثابت است لذا زمان روشن بودن کلیدها ($T_{ON}$) در پیک ورودی به حداقل مقدار خود می‌رسد. با توجه به این که $T_{ON}$ را نمی‌توان از یک مقدار ثابتی کمتر کرد، لذا مجبوریم برای طراحی مبدل در فرکانس های بالاتر، یک بهینه‌سازی در ساختار کنترل کننده به وجود آوریم. لذا به روش LM-FOT که فرکانس کلیدزنی را با ولتاژ ورودی مدوله می‌کند، جریان را کنترل می‌کنیم. با این روش محدودیت افزایش فرکانس کلیدزنی وجود نخواهد داشت و می‌توان مبدل را برای فرکانس‌های بالاتر طراحی کرد.

### ۴-۶-۱- کنترل جریان به روش زمان خاموشی ثابت(FOT)

در مبدل بو ست نحوه کنترل جریان بر عملکرد مدار، م شخ صات و قیمت آن بسیار مؤثر ا ست. دو روش TM و FF عمدتاً برای کنترل جریان یک یکسوساز بوست با قابلیت اصلاح ضریب توان استفاده می‌شود.

در روش اوّل جریان سلف مورد استفاده در مدار ناپیوسته می‌باشد. در شکل ۴-۲۴ (الف) سیگنال گیت و جریان سلف در یکی از روش های کنترل جریان در مد DCM ، که به آن کارکرد در حالت مرزی گفته می شود، نشان داده شده است. در این روش، مدار کنترل دقیقاً در لحظه ای که جریان سلف صفر می شود، کلید قدرت را رو شن می کند [۵۵]، [۵۷-۶۰]. برای تولید سیگنال های گیت در اکثر روش های مورد استفاده در حالت مد جریان ناپیوسته، جریان سلف در بخشی از هر سیکل صفر می باشد که منجر به افزایش بیشتر ریپل جریان ورودی و افزایش حجم فیلتر ورودی می شود. از طرف دیگر کلید های قدرت در این روش کنترل، جریان های بالایی را باید قطع و وصل کنند که منجر به افزایش تلفات می شود. به طور کلّی هنگام استفاده از روشهای جریان ناپیوسته چون انتقال توان در فرکانس های بالا انجام می شود به دلیل افزایش تلفات و وجود جریان های گردابی، هستهٔ این سلف باید از جنس فریت باشد [۶۱]. از طرفی برای کاهش اثر پوستی باید از سیمهای لیتز ا ستفاده کرد. این عوامل سبب افزایش قیمت مدار می شوند. لذا این روش بیشتر برای توانهای پایین مناسب است. یکی از مهمترین محاسن این روش کنترل، سادگی مدار کنترل می‌باشد [۵۷].



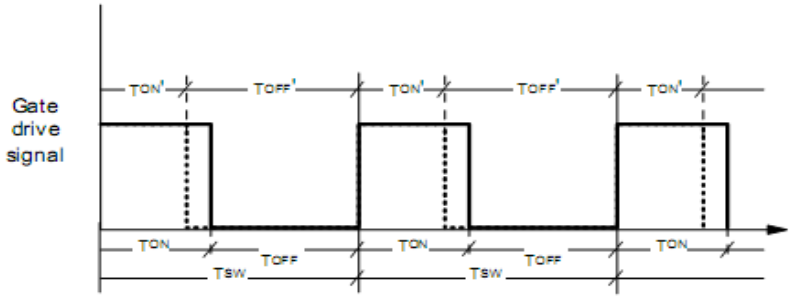

(ب) (الف)

شکل ۴-۲۴: جریان کلید ،دیود،سلف بوست در روش کنترل جریان به روش: الف) TM control ب) FF-CCM control [۵۵].

در روش دوّم، مبدل در مد CCM عمل می کند و جریان پیوســـته‌ای از ســـلف مبدل PFC عبور می‌کند. به همین دلیل با نام «حالت جریان پیوسته» شناخته شده است. در شکل ۴-۲۴ (ب) جریان سلف مبدل بوست، جریان کلید و سیگنال‌های گیت کلید قدرت نشان داده شده است.

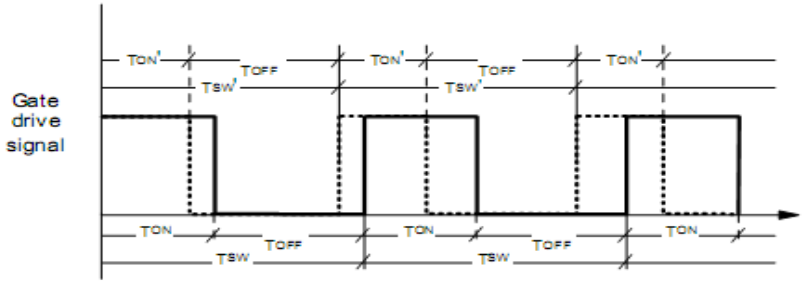
در این روش ریپل جریان ورودی نسبت به روش قبل بسیار کوچکتر است و به مدار کنترل نسبتاً پیچیده‌ای نیاز دارد [۶۱]. روش FF تنهاترین روش برای کنترل مبدل در مد CCM نیســـت. در روش FF، $T_{ON}$ (زمان روشـــن بودن کلید) و $T_{OFF}$ (زمان خاموش بودن کلید) هر دو بر حســـب مقادیر بار و ولتاژ ورودی تغییر می‌کنند در حالی که حا صل جمع آنها مقدار ثابتی ا ست و در نهایت مبدل با توجه به دامنه جریان در مد CCM یا DCM عمل می‌کند [۶۲،۶۳]. به دلیل عملکرد روش FF در مد جریان پیوســـته این روش کنترل برای توان‌های زیاد پیشـــنهاد می‌گردد. ریپل جریان در پیک ولتاژ ورودی بیشـترین مقدار را دارد و فیلتر های ورودی باید برای حذف EMI مربوط به این نویزها طراحی شوند.

برای این که بتوان از مزایای هر دو روش از جمله ساده‌گی مدار کنترل و استفاده در توان‌های زیاد بهره برد، از یک روش ســـوّم برای کنترل جریان اســـتفاده می‌کنیم. در این روش فقط $T_{ON}$ مدوله می‌شـود و $T_{OFF}$ مقدار ثابتی خواهد داشـت. مسـلماً در این روش مقدار فرکانس کلیدزنی مقدار ثابتی نخواهد بود. به این روش کنترل جریان[1] FOT می‌گوئیم. در شکل ۴-۲۵ سیگنال‌های گیت مربوط به دو روش FF و FOT نشان داده شده است [۵۵]. مهمترین حسن کنترل جریان به روش FOT اینست که مدار کنترل پیچیده‌ای ندارند و با یک تغییر در مدار کنترل تراشـــه‌هایی که با روش TM عمل می‌کنند، می‌توان کنترل‌کننده آن‌ها را پیاده‌سازی کرد.




(الف)

[1] Fixed-Off-Time




(ب)

شـــکل ۴-۲۵ ســـیگنال‌های کنترل برای کنترل به روش: الف) Fixed-Frequency PWM ب) Fixed-Off-Time PWM [۵۵].

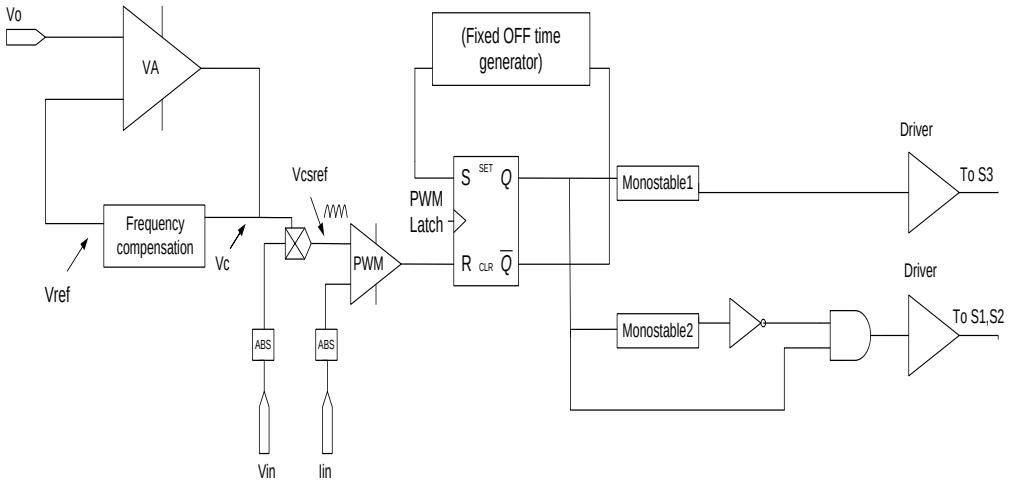
### ۴-۶-۲- پیاده سازی عملی کنترل کننده FOT

در این فصـــل نکات مربوط به پیاده‌ســـازی عملی کنترل کننده FOT در دو بخش اصـــلی زیر بیان می‌شود:

- ✓ اصول عملکرد کنترل‌کننده به روش FOT
- ✓ طراحی مقادیر کنترل کننده

#### - اصول عملکرد کنترل‌کننده به روش FOT

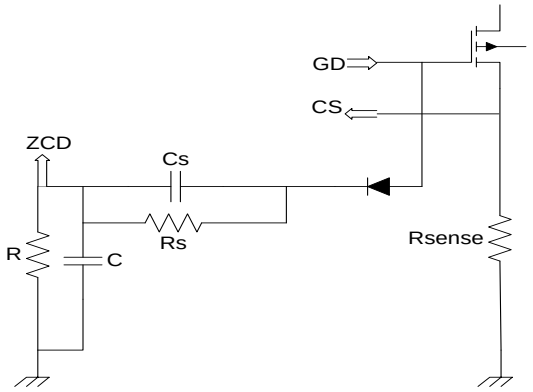
در شکل ۴-۲۶ بلوک دیاگرام یک کنترل کننده FOT نشان داده شده است. در این روش کنترل جریان، ولتاژ خروجی با یک مقدار مرجع مقایســه می شــود و متناســب با این اختلاف یک ســیگنال با دامنه مشــخص تولید می‌کند (مقدار توان و ولتاژ خروجی مورد نیاز مقدار مرجع را مشــخص می‌کند). سیگنال تولید شده در ضریبی از مقدار لحظه ای ولتاژ خط ضرب می گردد و یک مقدار مرجع را برای جریان سلف و بنابراین جریان ورودی به وجود می‌آورد.




شکل ۴-۲۶: بلوک دیاگرام کنترل جریان به روش FOT

هنگامی که جریان ورودی به این مقدار مرجع برســـد، فلیپ فلاپ به حالت اولیه[1] باز می‌گردد و کلید خاموش می شود. در همین هنگام، یک تایمر فعال می شود و پس از یک زمان مشخص کلید را روشن می‌کند. دو عدد مونواستابل، گیت‌های NOT و درایورهای ترسیم شده در بلوک دیاگرام کنترل کننده ســـیگنال خروجی فلیپ فلاپ را به عنوان ورودی دریافت می‌کنند و از روی آن ســـیگنال گیت کلید اصـــلی و کلید مربوط به ســـاختار مدار کمکی را به عنوان خروجی برای درایور تولید می‌کنند. در یک تراشه کنترل کننده مبدل اصلاح ضریب توان که دارای ساختار کنترل TM می باشد، کافیست تایمر مشـخص کننده زمان خاموشـی کلید ها، با المان ها پسـیو مشـخص شـوند تا با روش FOT، جریان کنترل شـود. تراشـهٔ L6562 درارای سـاختار کنترل به روش TM می‌باشـد. در حالت معمولی پایه‌ی ZCD از L6562 مستقیماً جهت حس کردن جریان ورودی استفاده می شود و هنگامی که جریان به صفر می رسد، فرمان روشن شدن کلید صادر می شود و جریان به روش TM کنترل می شود. شکل جریان سلف در کنترل به روش TM در شکل ۴-۲۴ (الف) نشان داده شده است. مدار خارجی که کنترل FOT را با استفاده از L6562 به وجود می‌آورد در شکل ۴-۲۷ نشان داده شده است [۶۴].

[1] reset




شکل ۴-۲۷: بلوک دیاگرام کنترل جریان به روش FOT پیاده سازی کنترل کننده FOT با استفاده از L6562 [۶۴].

GD، پایه‌ای از تراشه است که سیگنال گیت کلیدهای قدرت را تولید می‌کند. هنگامی که کلید روشن می‌شود، دیود روشن شده و خازن C تا مقدار ۱۴ ولت شارژ می‌شود. پس از آن که کلید خاموش شد، خازن C در مقاومت R دشارژ می‌شود. به این ترتیب هنگامی که ولتاژ خازن C به حد آستانه ۱/۶ بر سد از طریق پایه‌ی ZCD، به کنترل کننده فرمان رو شن شدن کلید صادر می‌گردد. به این ترتیب در هر سیکل کلیدزنی بعد از یک مدت زمان ثابت کلید روشن می‌شود. تراشه از طریق پایه‌ی CS جریان سلف را هنگام روشن بودن کلید حس می‌کند، با مقدار مرجع مقایسه می‌کند و فرمان خاموش شدن کلید را صادر می‌کند. به این ترتیب کنترل‌کننده با مدوله کردن $T_{ON}$ و فرکانس کلیدزنی جریان ورودی را هم فاز با ولتاژ ورودی خواهد کرد و جریان را به روش FOT کنترل می‌کند.

- **طراحی مقادیر کنترل کننده:**

هنگامی که کلید خاموش است خازن C مطابق رابطه زیر در مقاومت R تخلیه می‌شود [۶۴].

$$V_{ZCD} = V_{ZCDclamp} \times e^{-\frac{t}{RC}} \qquad (۴-۴)$$

که در آن $V_{ZCDclamp}$، مقدار شارژ اولیه خازن هنگام خاموش شدن کلید می‌باشد. زمانی‌که لازم است تا ولتاژ پایه‌ی ZCD به مقدار آستانه خود برسد بصورت رابطه زیر می‌باشد [۶۴].

$$T_{OFF} = RCLn\frac{V_{ZCDclamp}}{V_{ZCDtrigger}} \approx 1.4RC \qquad (۵-۴)$$

که در آن $V_{ZCDtrigger}$، حد آستانه پایهٔ ZCD تراشه می‌باشد. معمولاً جهت طراحی پارامترهای مدار کمکی ابتدا یک مقدار اولیه برای خازن C در نظر می‌گیرند، سپس با توجه به $T_{OFF}$ مورد نیاز، R مشخص می‌گردد. زمان شارژ شدن خازن C به وسیله مقاومت Rs تعیین می‌شود. مقاومت Rs، باید به گونه ای انتخاب شود تا جریان بیشتراز مقدار نامی از درایور گیت (۱۰ میلی آمپر) و پایه ی ZCD کشیده نشود. جهت تعیین مقدار $R_S$ از رابطه زیر استفاده می‌کنیم [۶۴].

$$R\frac{V_{GD}-V_{ZCDclamp}-V_F}{V_{ZCDclamp}}\langle R_s\langle\frac{V_{GDx}-V_{ZCDclamp}-V_F}{I_{ZCDx}+\frac{V_{ZCDclamp}}{R}} \qquad (۶-۴)$$

که در آن :

$V_F$: ولتاژ هدایت مستقیم دیود،

$V_{GDx}$: بیشینه مقدار ولتاژ خروجی درایو گیت تراشه،

$V_{GD}$ : ولتاژ درایو گیت،

$I_{ZCDx}$ : بیشینه جریان، پایهٔ ZCD تراشه، می‌باشد.

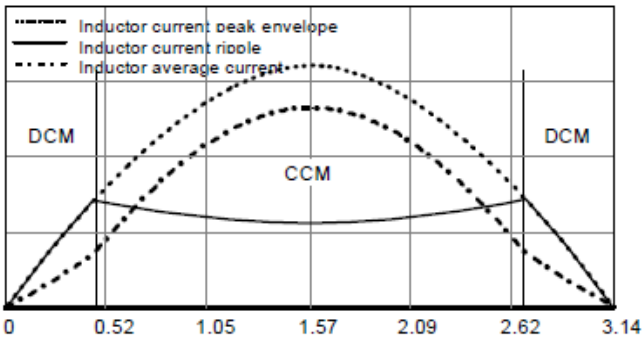
هنگامی که فرکانس کلید زنی از حدی بالاتر می رود ، برای این که خازن C در زمان $T_{ON}$ به سرعت شارژ شود خازن Cs موازی با مقاومت Rs در نظر گرفته می‌شود. برای انتخاب مقدار خازن C، از رابطه زیر استفاده می کنیم [۶۴].

$$C_s\langle C\frac{V_{ZCDclamp}}{V_{GD}-V_{ZCDclamp}-V_F} \qquad (۷-۴)$$

شکل ۴-۲۸ شکل موج جریان ورودی مبدل در یک نیم سیکل سینو سی ولتاژ ورودی را نشان می دهد. همانطور که می دانیم هنگامی که کلید خاموش است ، انرژی سلف بر روی بار خروجی تخلیه

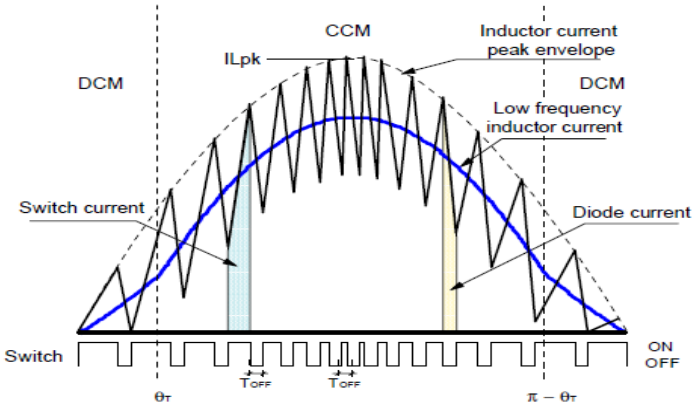
می شود. در این مدت اگر انرژی سلف کامل تخلیه شود و جریان لحظاتی به صفر برسد مبدل در مد DCM عمل می‌کند در غیر اینصورت عملکرد مبدل در مد CCM می باشد. هنگامی که مبدل به روش FOT کنترل می شود، دریک نیم سیکل سینو سی ورودی در نواحی ابتدایی سیکل در مد DCM و سپس وارد مد CCM می شود.

$\theta_t$ ، زاویه ای است که جریان سلف از مد DCM وارد مد CCM می شود و با عنوان زاویه‌ی گذار شناخته می شود. در زاویه ($\pi$-$\theta_t$) جریان دوباره از مد CCM وارد مد DCM خواهد شد. زاویه گذار در یک مبدل مشخص (مقادیر مشخص $T_{OFF}$ و L و $V_{OUT}$ ... ) به شرایط کارکرد مبدل از جمله دامنه ولتاژ ورودی و بار بستگی دارد به گونه ای که در بار های کم مبدل کاملاً در مد DCM کار می‌کند.




شکل ۴-۲۸ جریان وردی مبدل در طول یک نیم سیکل سینوسی[۵۵]

شکل ۴-۲۹ جریان کلید ا صلی مبدل M، دیود خروجی D و مولفه‌ی فرکانس پایین جریان سلف در کنترل به روش FOT نشان داده شده است.




شکل ۴-۲۹: جریان ورودی جریان کلید ، دیود و سلف در یک PFC و کنترل جریان به روش FOT [۶۲]

در موقعیت‌هایی که مبدل در مد DCM کار می‌کند، $T_{ON}$,$T_{OFF}$ مقدار ثابتی دارند لذا فرکانس کلید زنی نیز مقدار ثابتی خواهد داشت ولی مقدار آن به طراحی و شرایط کار مبدل بستگی دارد. در موقعیت هایی که مبدل در مد CCM کار می کند، فرکانس کلید زنی شروع به افزایش می کند و در پیک سینوسی به مقدار ماکزیمم خود می رسد و در مرز بین CCM و DCM کمترین مقدار خود را خواهد داشت.

یکی از مهمترین پارامتر های طراحی، محاسبه‌ی بیشترین ریپل جریان ورودی است. در یک سو ساز PFC با کنترل جریان به روش FOT در لحظاتی که مبدل در مد DCM کار می کند، ریپل جریان مقدار بیشتری خواهد داشت. بیشترین ریپل جریان در مرز بین مد DCM و CCM رخ می‌دهد. پیک جریان کلید در زاویه $\theta$ از نیم سیکل سینوسی ورودی برابر است با:

$$I_{Speak} = I_{pk} \sin\theta \qquad (۸-۴)$$

که در آن:

$I_{pk}$ : پیک جریان ورودی

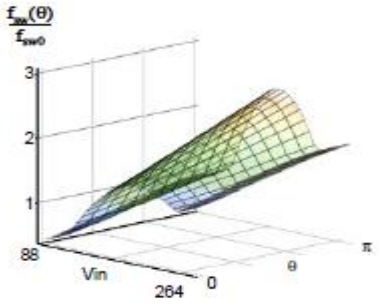
$I_{Speak}$ : پیک جریان کلید در موقعیت $\theta$ از نیم سیکل سینوسی.

در مد DCM پیک جریان کلید با ریپل جریان برابر است لذا عامل ریپل که نسبت ریپل جریان به دامنه جریان می باشد از رابطه زیر قابل محاسبه است:

$$K_r = \sin\theta_t = \frac{\Delta I_{Lpk(\max)}}{I_{Lpk}} \qquad (۹-۴)$$

که در آن $K_r$ ماکزیمم عامل ریپل جریان ورودی می‌باشد. در شکل ۴-۳۰ تغییرات فرکانس کلیدزنی در یک سیکل سینوسی ورودی نشان داده شده است. همان‌طور که مشاهده می‌شود فرکانس کلید زنی در پیک ولتاژ ورودی به ماکزیمم مقدار خود می‌رسد. با توجه به اینکه در این روش زمان خاموشی کلید ثابت است، لذا در پیک ولتاژ ورودی کمترین $T_{ON}$، را خواهیم داشت. از طرفی کمترین $T_{ON}$ که در آن IC می تواند کلید را روشن کند برابر ۳۵۰ns می باشد. با این مقدار حداقل برای $T_{ON}$ حداکثر فرکانس کلید زنی ،که می توان داشت ۴۵ KHz می باشد. طراحی پارامترهای مبدل با فرکانس کلید

زنی کم باعث می شود حجم المان های مبدل افزایش پیدا کند. با یک بهبود در مدار کنترل ، می توان از افزایش فرکانس کلیدزنی در پیک ولتاژ ورودی جلوگیری کرد.

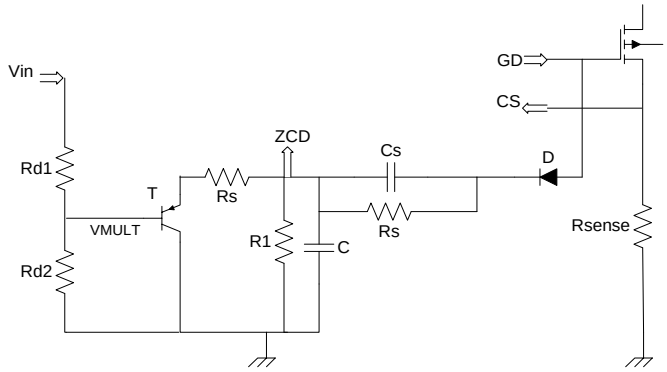



شکل ۴-۳۰: تغییرات فرکانس کلیدزنی در یک سیکل کلیدزنی در کنترل جریان به روش FOT [۵۵].

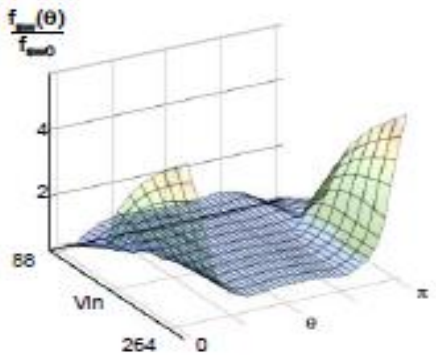
### ۴-۶-۳- بهبود ساختار کنترل کننده و معرفی روش مدولاسیون زمان خاموشی کلید با ولتاژ ورودی:

برای جلوگیری از افزایش فرکانس کلید زنی در پیک سینوسی، زمان خاموشی کلید ها را با ولتاژ ورودی مدوله می کنیم، این روش کنترل جریان را LM-FOT می‌گوئیم. بنابراین فرکانس کلید زنی ثابت نخواهد بود و تابعی از مقدار لحظه ای ولتاژ ورودی خواهد شد. مدار خارجی که کنترل LM-FOT را با استفاده از L6562 به وجود می آورد در شکل ۴-۳۱ نشان داده شده است.

در مدار شکل ۴-۳۱ هنگامی که فرمان درایو گیت، توسط IC روی پایه ی GD قرار می گیرد، دیود D روشن می شود و خازن C، کامل شارژ می‌شود. هنگامی که ولتاژ خازن به مقدار نهایی خود رسید ولتاژ آن بدون تغییر باقی می‌ماند تا زمانی‌که فرمان خاموش شدن کلید ها تو سط IC ار سال شود. در این لحظه دیود D خاموش می شود و ترانزیستور T روشن می شود. خازن C توسط حاصل موازی مقاومت های $R_1$ و $R_s$ دشارژ می شود. هنگامی که ولتاژ پایه ی ZCD به ولتاژ $V_{MULT}$ می رسد، ترانزیستور T خاموش می شود و دشارژ خازن، فقط توسط $R_1$ انجام می گیرد. هنگامی که خازن C کامل دشارژ شد فرمان روشن شدن کلید توسط کنترل کننده صادر می گردد. مدت زمانی که ولتاژ ZCD به $V_{MULT}$ می رسد به مقدار لحظه ای ولتاژ ورودی بستگی دارد. بنابراین مدت زمان خاموشی کلید ها توسط ولتاژ خط مدوله می گردد.




شکل ۴-۳۱ پیاده‌سازی کنترل کننده LM-FOT با استفاده از L6562.[۵۵]



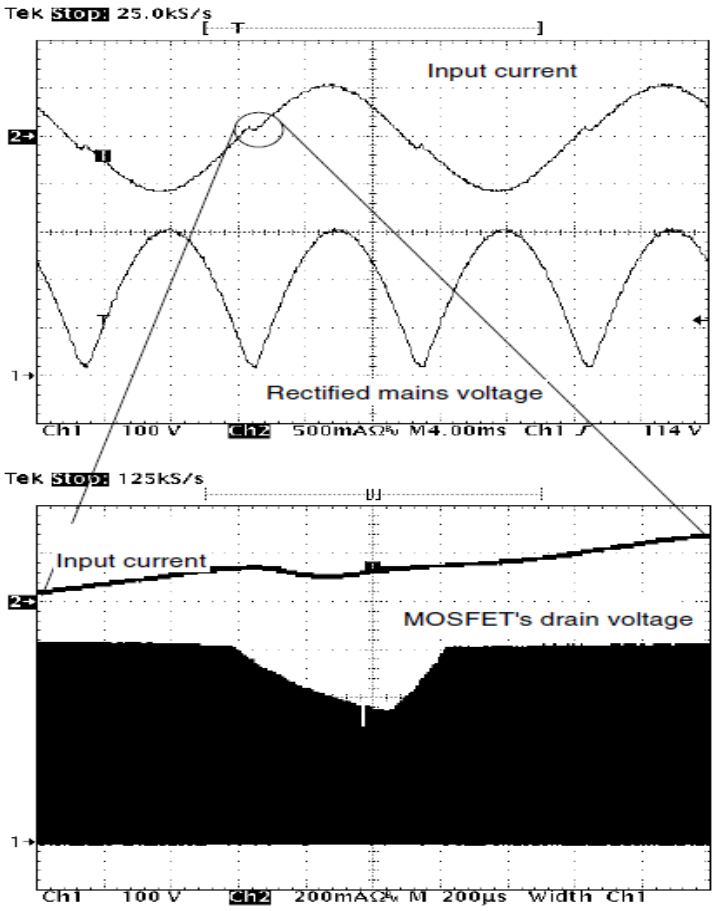

شکل ۴-۳۲ تغییرات فرکانس کلید زنی در یک سیکل کلیدزنی با کنترل جریان به روش LM-FOT [۵۵]

تغییرات فرکانس کلیدزنی در یک سیکل سینوسی در شکل ۴-۳۲ نشان داده شده است. همانطور که در شکل ۴-۳۲ مشاهده می شود، فرکانس کلیدزنی در یک سیکل ورودی تغییرات چندانی ندارد و با مدوله کردن زمان خاموشـــی می توان مبدل را برای فرکانس های کلید زنی بالاتر از ۷۰ kHz نیز طراحی کرد.

### ۴-۶-۴- بهبود اعوجاج جریان ورودی

در شـکل ۴-۳۳ جریان و ولتاژ ورودی مبدل نشـان داده شـده اسـت [۵۵]. جریان ورودی مبدل در لحظات گذر از صفر از فرم سینوسی خارج شده است. این حالت با افزایش دامنهٔ ولتاژ ورودی مشهود تر اسـت، زیرا ناحیه ای که مبدل در مد DCM عمل می کند بیشـتر اسـت و شـکل موج جریان در

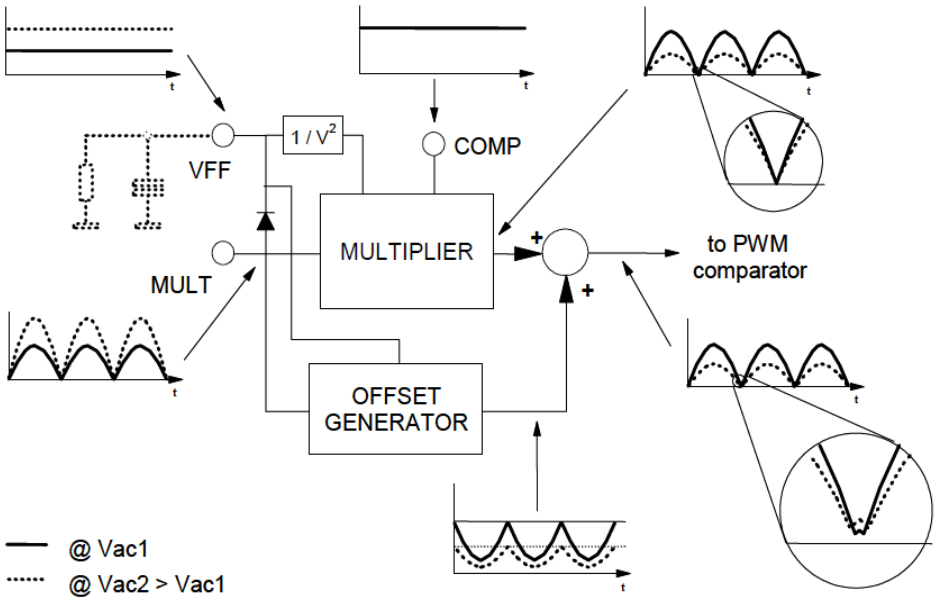
لحظات گذر از صـــفر جریان، مدت زمان کوتاهی صـــفر خواهد بود. این پدیده باعث افزایش THD جریان ورودی می شود.



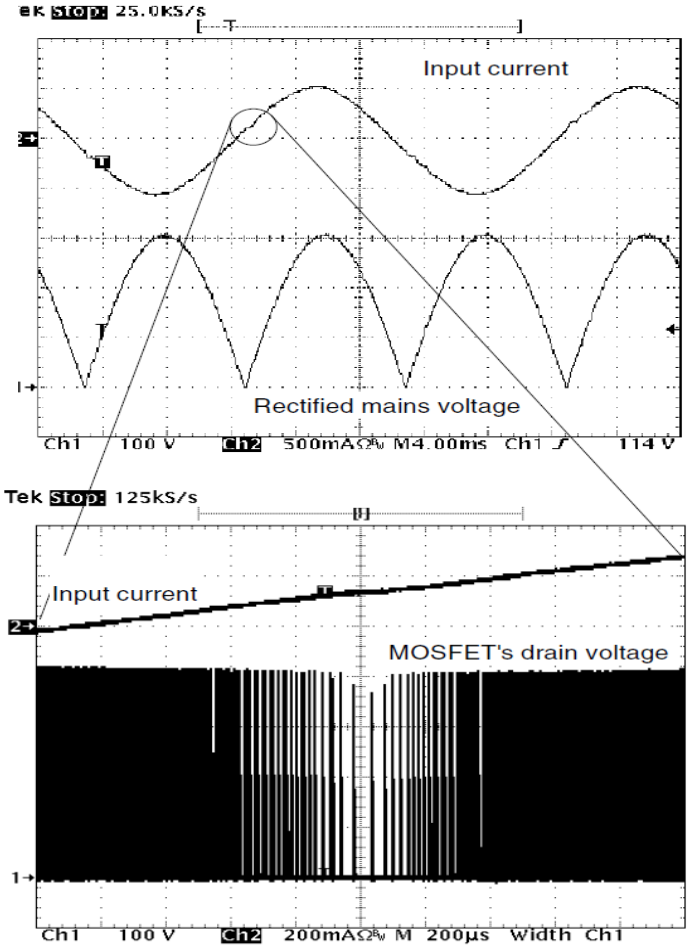

شکل ۴-۳۳ ولتاژ و جریان ورودی مبدل با کنترل جریان به روش FOT[۶۳].

برای حل این مشکل در شکل ۴-۳۴ نمودار کلی مدار کمینه سازی THD آورده شده است[۵۵]. این مدار در لحظات گذر از صفر ولتاژ ورودی یک مقدار آف ست را به مدار کنترل ا ضافه می کند و به این وسـیله زمان روشـن ماندن کلید قدرت را افزایش می دهد. این مقدار آفسـت متناسـب با معکوس مقدار لحظه ای ولتاژ ورودی اضافه می شود. بنابراین با افزایش مقدار لحظه ای ولتاژ ورودی مقدار این آفست کاهش می یابد و در پیک ولتاژ ورودی به طور کامل اثر این ولتاژ اضافی حذف می شود. مطابق شکل ۴-۳۴ مقدار این اضافه ولتاژ با پیک ولتاژ ورودی $V_{FF}$، نسبت عکس دارد تا در ولتاژ ورودی کم که ناحیه عملکرد DCM مبدل کمتر است اثر اضافه ولتاژ بیشتر باشد و به همین ترتیب متناسب با افزایش دامنه ولتاژ ورودی مقدار آفست کاهش یابد.

ولتاژ افست اضافه شده باعث می شود زمان روشن بودن کلید در لحظات گذر از صفر افزایش یابد و در این نواحی محدوده صـــفر بودن جریان کاهش یابد. بنابراین باعث کاهش اعوجاج جریان ورودی می شـــود. در شـــکل ۴-۳۵ جریان و ولتاژ ورودی بعد از اعمال ســـاختار کاهش اعوجاج جریان ورودی نشان داده شده است.




شکل ۴-۳۴ ساختار کلی، برای کاهش اعوجاج جریان ورودی مبدل[۶۳].

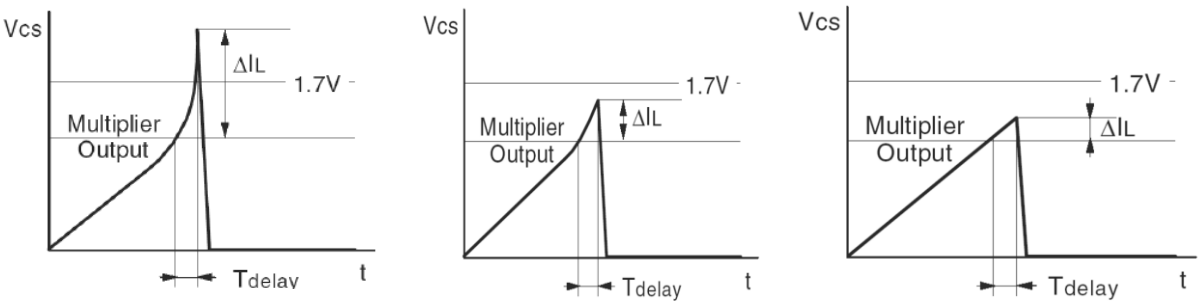



شکل ۴-۳۴ ولتاژ و جریان ورودی مبدل با کنترل جریان به روش FOT و استفاده از مدار کمینه ساز اعوجاج جریان ورودی[۶۳]

### ۴-۶-۵- آشکارسازی اشباع‌شدن هسته سلف بوست:

برای آشکار سازی اشباع شدن سلف بوست از جریان کلید هنگام روشن بودن نمونه برداری می شود. هنگامی که سلف مبدل به خوبی طراحی نشده باشد در جریان های بالا به اشباع می رود. سه حالت مختلف برای جریان نمونه برداری شده از جریان سلف مبدل بوست در شکل ۴-۳۶ نشان داده شده است. در شکل ۴-۳۶ (الف)و(ب) سلف مبدل به خوبی طراحی شده و در ماکزیمم جریان، سلف تقریباً هیچگونه اثر اشباع را ندارد. در شکل ۴-۳۶ (ج) در ماکزیمم جریان، شدیداً وارد ناحیهٔ اشباع شده است. اشباع سلف باعث می شود مقدار ضریب گذرده هی مغناطیسی آن کاهش یافته و به دنبال آن مقدار اندوکتانس سلف نیز کم شود. این مسئله منجر به افزایش و ایجاد فیدبک مثبت برای جریان سلف حاصل می شود. ادامهٔ این فرآیند منجر به سوختن کلید قدرت خواهد شد. برای محدود نمودن

جریان لحظه روشـن شـدن مبدل PFC، باید از یک مقاومت با ضـریب حرارتی منفی اسـتفاده نمود و مدار راه انداز گیت را برای لحظاتی غیر فعال نمود [۶۰]. برای جلوگیری از ا شباع سلف مبدل بو ست، ایجاد فاصله هوایی ضروری است. افزایش بیش از اندازه فاصله هوایی با ایجاد شارهای پراکندگی باعث تولید نویز و تلفات سلف می شود. لذا با در نظر گرفتن تمامی عوامل باید یک مقدار بهینه برای فا صله هوایی سلف مبدل در نظر گرفت.




(ج) (ب) (الف)

شکل ۴-۳۶ ولتاژ خروجی نمونه برداری شده از جریان کلید قدرت.الف)هسته بدون اشباع.ب)اشباع ناچیز هسته.ج) اشباع کامل هسته سلف استفاده شده در مبدل[۶۳].

### ۴-۶-۶- طراحی پارامترهای مبدل

روش طراحی مرحله به مرحله برای پارامترهای مبدل در این قسـمت آورده شـده اسـت. شـرایط مبدل در جدول (۴-۱) آورده شده است.

جدول ۴-۱مشخصات مبدل طراحی شده.

| پارامتر | مقدار (واحد) |
|---|---|
| ولتاژ ورودی | ۹۰ -۲۶۵V |
| توان خروجی | ۲۵۰W |
| ولتاژ خروجی | ۴۰۰V |
| حد اکثر فرکانس کلید | ۱۰۰kHz |

در ابتدا دامنه تغییرات پارامتر K را طبق رابطه زیر بدست می آوریم :

$$K_{\min} = \sqrt{2}.\frac{V_{in(RMS)\min}}{V_{OUT}} = 85\sqrt{2}/350 = 0.343 \quad (۱۰-۴)$$

$$K_{\max} = \sqrt{2}.\frac{V_{in(RMS)\max}}{V_{OUT}} = 220\sqrt{2}/350 = 0.889 \quad (۱۱-۴)$$

در مرحله دوم با توجه به مقدار ماکزیمم فرکانس کلید زنی، مقدار $T_{OFF}$ را بدست می‌آوریم:

$$T_{OFF} = \frac{K_{\min}}{f_{sw\max}} = \frac{0.343}{100*10^3} = 3.43\mu s \quad (۱۲-۴)$$

در این مرحله پارامتر $\Gamma$ را بدست می آوریم (Pin=Pout/η):

$$\Gamma = \frac{P_{in0}}{K_{\min}V_{out}} \frac{4\pi K_r}{2\pi - K_r(4+\pi K_{\min})} = \quad (۱۳-۴)$$
$$\frac{388.9}{0.343*350} \frac{4\pi*0.2}{2\pi - 0.2(4+\pi*0.343)} = 1.54$$

در این مرحله مقدار پارامتر $K_r$ (ریپل جریان سلف) را برابر ۰/۲ در نظر گرفته ایم.

از مقدار $\Gamma$ بدست آمده از قسمت قبل مقدار سلف بوست از رابطه ی زیر قابل محاسبه می باشد:

$$L_{BOOST} = \frac{V_{OUT}}{\Gamma} T_{OFF} = \frac{350}{1.54}.3.43*10^{-6} = 780\mu H \quad (۱۴-۴)$$

مقدار ماکزیمم جریان سلف از پارامتر $\Gamma$ بدست آمده و رابطه زیر بدست می آید:

$$I_{Lpk\max} = \frac{P_{in0}}{K_{\min}V_{out}} \frac{4\pi(1-K_rK_{\min})}{2\pi - K_r(4+\pi K_{\min})} = \Gamma\frac{1-K_rK_{\min}}{K_r} \quad -۴)$$

$$I_{Lpk\max} = 1.54\frac{1-0.2*0.343}{0.2} = 2.86A \quad (۱۵$$

مقاومت اندازه گیری جریان باید به گونه ای باشـد که در بیشـترین جریان کلید حداکثر ولتاژ ۱/۶ دو سـر مقاومت باشـد. ولتاژ ۱/۶ برای IC یک حد آسـتانه می باشـد و در مقادیر بالاتر از آن غیر فعال می‌شود. بنابراین:

$$R_{sense\max} = \frac{1.6}{I_{Lpk\max}} = \frac{1.6}{2.86} = 0.56\Omega \qquad (۱۶-۴)$$

برای انتخاب نیمه هادی های مناسب، باید مقادیر جریان نامی و ولتاژ آنها مشخص باشد. برای بدست آوردن ماکزیمم جریان مؤثر کلید داریم:

$$I_{Qrms} = \frac{P_{in}}{KV_{out}}\sqrt{2-\frac{16K}{3\pi}} = \frac{388.9}{0.343*350}\sqrt{2-\frac{16*0.343}{3\pi}} = 3.87A \qquad (۱۷-۴)$$

به همین ترتیب برای جریان مؤثر دیود خواهیم داشت:

$$I_{Drms} = \frac{P_{in}}{KV_{out}}\sqrt{\frac{16K}{3\pi}} = \frac{388.9}{0.343*350}\sqrt{\frac{16*0.343}{3\pi}} = 2.47A \qquad (۱۸-۴)$$

در ادامه به طراحی پارامترهای مدار کمکی که جهت پیاده سـازی کنترل جریان به روش FOT به کار گرفته شـد می پردازیم. برای این کار ابتدا یک خازن دلخواه در حد چند صـد پیکو فاراد در نظر می گیریم، سپس با توجه به $T_{OFF}$ بدست آمده مقدار R در شکل ۴-۲۷ را بدست می‌آوریم.

$$\left.\begin{array}{l} C = 560\,pF \\ T_{OFF} = 3.43\mu s \end{array}\right\} \Rightarrow R = 0.7\frac{T_{OFF}}{C} = 4.3K\Omega \qquad (۱۹-۴)$$

برای اینکه بتوانیم LM-FOT را پیاده ســـازی کنیم ، باید مقاومت R را برداشـــته و به جای آن مقاومت $R_1$ و $R_2$ را طراحی کنیم. برای این کار مراحل زیر را دنبال می کنیم:

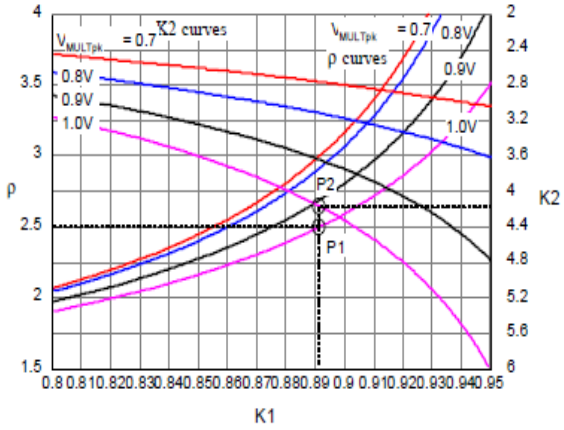
الف- تقسـیم مقاومتی ولتاژ ورودی باید به گونه ای باشـد که ولتاژ پایه ی $V_{MULT}$، برای مینیمم ولتاژ ورودی بین ۰/۷ تا ۱ ولت باشد. بنابراین برای این مبدل برای ولتاژ ورودی ۹۰ ولت تقسیم مقاومتی را طوری تنظیم می کنیم که ولتاژ پایه $V_{MULT}$ برابر ۰/۷ ولت باشد.

ب- با توجه به مقادیر $T_{OFF}$ در ماگزیمم ولتاژ ورودی و مینیمم ولتاژ ورودی، پارمتر ρ را محا سبه می کنیم:

$$\rho = \frac{T_{OFF}(V_{in\max})}{T_{OFF}(V_{in\min})} = \frac{8}{3.43} = 2.33 \qquad (۲۰-۴)$$

ج- با توجه به مقدار بد ست آمده برای ρ در مرحله قبل، یک خط افقی از محور سمت چپ در شکل ۴-۳۷ رسـم می‌کنیم تا جایی که منحنی اول مربوط به $V_{MULT}$ بدسـت آمده در قسـمت الف را قطع کند. یک خط عمودی به سـمت پائین رسـم می کنیم، محل تقاطع این خط با محور پائینی مقدار $K_1$ نشان می دهد. خط ر سم شده را از بالا ادامه می دهیم تا دیگر نمودار مربوط به $V_{MULT}$ بد ست آمده در قسمت (الف) را قطع کند. از محل تقاطع، یک خط افقی به سمت محور عمودی سمت راست رسم می کنیم. محل تقاطع مقدار $K_2$ را نشان می دهد.

د- مقدار ثابت زمانی که لازم ا ست تا $T_{OFF}$ در نظر گرفته شده در مینیمم ولتاژ ورودی بد ست آید، از رابطه زیر بدست می‌آید:




شکل ۴-۳۸: دیاگرام طراحی پارامتر های مدار کمکی کنترل به روش LM-FOT [۵۵].

$$\tau = \frac{T_{OFF}\,(V_{in}=90)}{K_2} = \frac{3.43}{4.23} = 0.81\mu s \qquad (۲۱-۴)$$

اگر مقدار خازن C نسبت به حالت FOT بدون تغییر باشد خواهیم داشت:

$$R' = R_1 \| R_2 = \frac{\tau}{C} = \frac{0.81*10^{-6}}{560*10^{-12}} = 1448\Omega \qquad (۲۲-۴)$$

مقادیر $R_1$ و $R_2$، از روی حاصل موازی آنها و پارامتر $K_1$ بدست آمده در قسمت قبل ، مطابق روابط زیر مشخص می شوند:

$$R_1 = \frac{R'}{1-K_1} = \frac{1448}{1-0.87} = 11.14K\Omega$$
$$R_2 = \frac{R'}{K_1} = 1.7K\Omega \qquad (۲۳-۴)$$

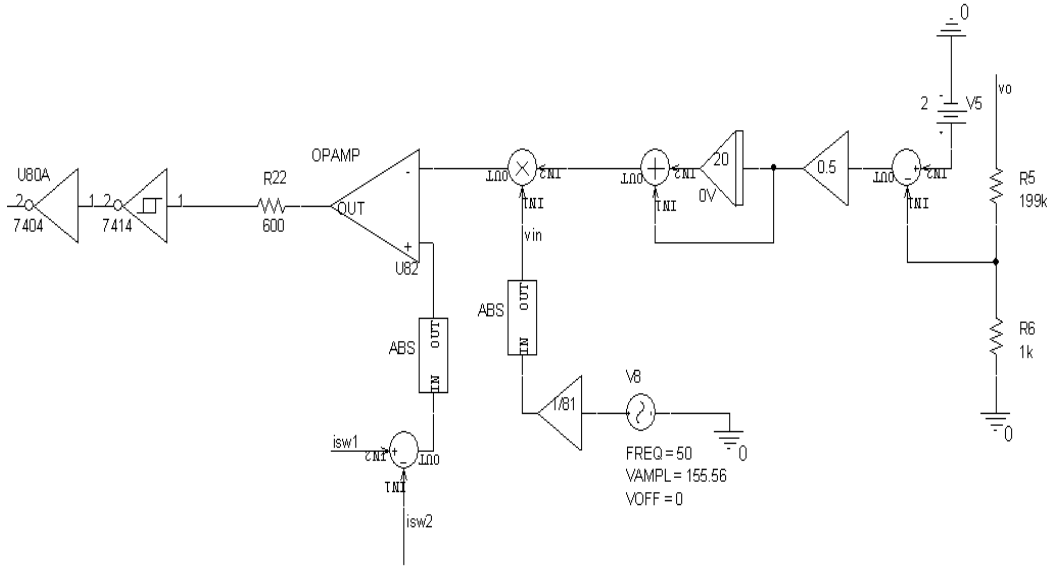
### ۴-۶-۷- نتایج شبیه سازی

برای نشان دادن صحت عملکرد مبدل، در این قسمت نتایج شبیه سازی با استفاده از پارامترهای طراحی شده در قسمت قبل آورده شده است. در این قسمت سعی شده است رفتار IC به خوبی پیاده ساز گردد.

- **ساختار فیدبک مبدل اصلاح ضریب توان :**

در شکل ۴-۳۹ ساختار استفاده شده برای پیاده سازی رفتار فیدبک در نرم افزار Pspice نشان داده شده است. در ساختار فیدبک مبدل، مقادیر ولتاژ خروجی، ولتاژ ورودی و جریان ورودی به عنوان ورودی در نظر گرفته شده است و سیگنال پایهٔ بر گردانده به حالت اوّل در خروجی فیدبک ایجاد می‌گردد. در این ساختار ولتاژ خروجی، توسط یک تقسیم کننده مقاومتی با ضریب تضعیف ۱/۲۰۰ اندازه گیری شده و با یک مقدار مرجع ۲V مقایسه شده است. این کار برای ایجاد ولتاژ ۴۰۰ ولت در خروجی PFC می باشد. حاصل خطای این مقایسه کننده از یک جبرانساز PI که با عناصر آنالوگ پیاده سازی شده است عبور می کند. ولتاژ یکسو شده ورودی با ضریب تضعیف ۱/۸۱ اندازه گیری شده و در خروج جبرانساز پس فاز ضرب شده است.

در ساختار فوق ضریبی از ولتاژ ورودی با ضریبی از جریان ورودی مقایسه می شود. هنگامی که مقدار جریان کلید از ولتاژ ورودی بیشتر باشد خروجی مقایسه کننده مثبت خواهد شد فرمان خاموشی کلید صادر می شود.

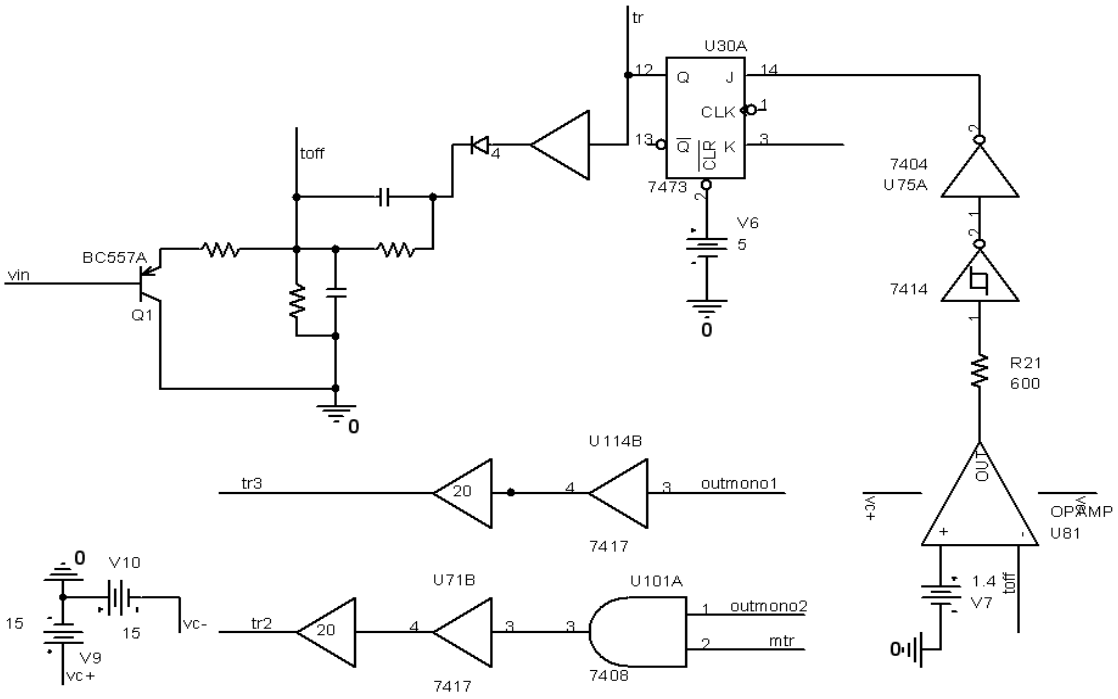



شکل ۴-۳۹: پیاده سازی عملکرد ICL6563 در نرم افزار PSPISE . فیدبک گرفتن از ولتاژ خروجی و مقایسه جریان کلید با مضربی از ولتاژ ورودی

- **پیاده سازی مدولاسیون زمان خاموشی با ولتاژ ورودی :**

ساختار نشان داده شده در شکل ۴-۴۰ برای مدولاسیون زمان خاموشی کلید با ولتاژ ورودی قرار داده شده است. زمان خاموشی که به پایان می رسد ورودی پایه روشن کننده فلیپ فلاپ فعال می شود و فلیپ فلاپ کلید قدرت را روشن می کند.

در این ساختار برای ایجاد یک سیگنال اضافی برای کلید قدرت در مدار کمکی از خروجی فلیپ فلاپ و چند گیت منطقی استفاده شده است شکل(۲-۳). مدار کمکی قابلیت کلید زنی نرم را برای کلید اصلی ایجاد می‌کند.



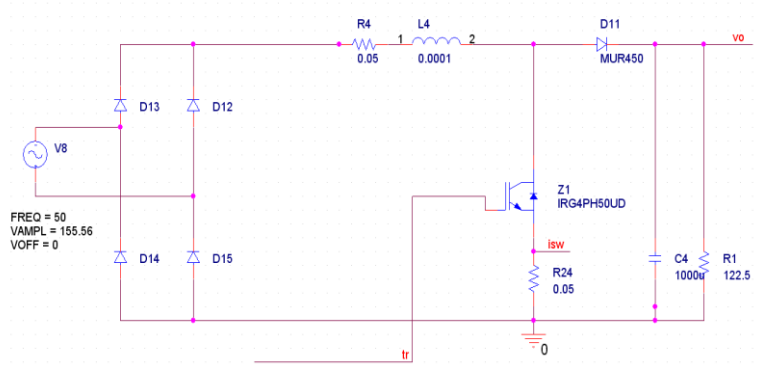

شکل ۴-۴۰: پیاده سازی عملکرد ICL6563 در نرم افزار PSPISE . مدولاسیون زمان خاموشی کلید یا ولتاژ ورودی

- **شبیه سازی مبدل بوست با مدار کنترل پیاده سازی شده**

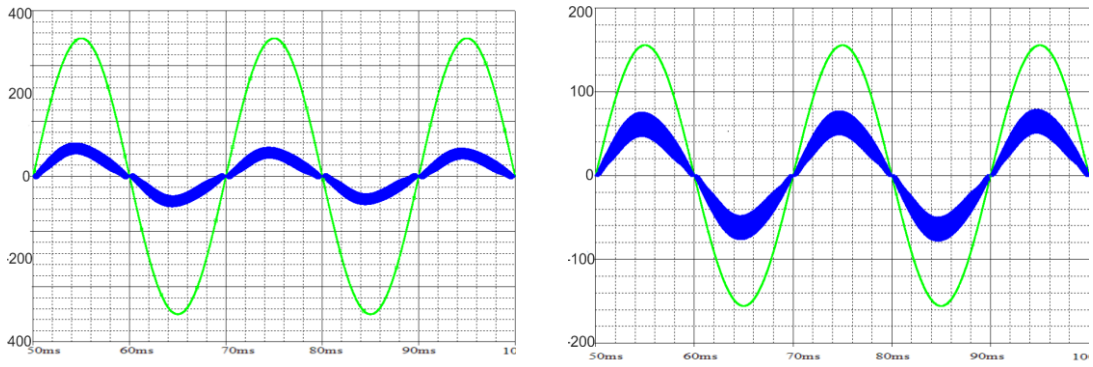
شکل ۴-۴۱ شماتیک مبدل بو ست با کنترل جریان به روش LM-FOT را ن شان می دهد. تو سط مقاومت $R_{24}$ جریان کلید اندازه گیری می شود و به عنوان ورودی به مدار فیدبک داده شده است.

شکل ۴-۴۲ (الف) ولتاژ ورودی همراه با جریان ورودی حاصل از شبیه سازی مبدل طراحی شده در قسمت قبل را نشان می دهد. همانطور که در این شکل مشاهده می شود با توجه به هم فاز بودن ولتاژ و جریان ورودی، ضریب توان در حدود ۰/۹۹ حاصل شده است. شکل موج جریان در ابتدای شروع هر سیکل سینوسی در مد DCM قرار دارد و سپس وارد مد CCM می‌گردد. مدت زمانی که در مد DCM قرار دارد به دامنه جریان ورودی بستگی دارد به گونه‌ای که در دامنه جریان های خیلی کم جریان در کل پریود در مد DCM خواهد بود. در شکل ۴-۴۲ (ب) دامنه ولتاژ ورودی تا ۲۱۲V افزایش داده شده است. همان‌طور که مشاهده می‌شود با کاهش دامنه جریان ورودی قسمتی از جریان ورودی که در مد DCM می‌باشد افزایش یافته است.

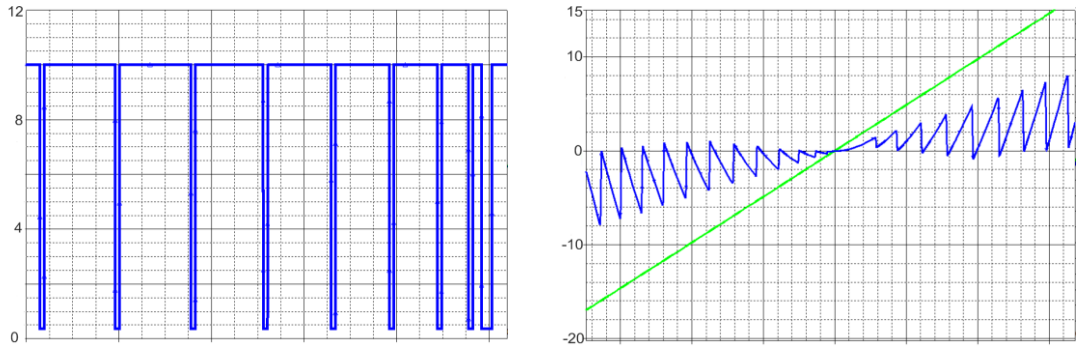
در شکل۴-۴۳ (الف) جریان سلف در لحظات گذر از صفر ولتاژ ورودی نشان داده شده است. در شکل ۴-۴۳ (ب) سیگنال های درایور گیت کلید قدرت در لحظات گذر از صفر ولتاژ نشان داده شده است. در این لحظات به دلیل مدار بهبود اعوجاج جریان ورودی، $T_{ON}$ افزایش پیدا کرده است.




شکل ۴-۴۱: شماتیک مبدل بوست در نرم افزار Pspice

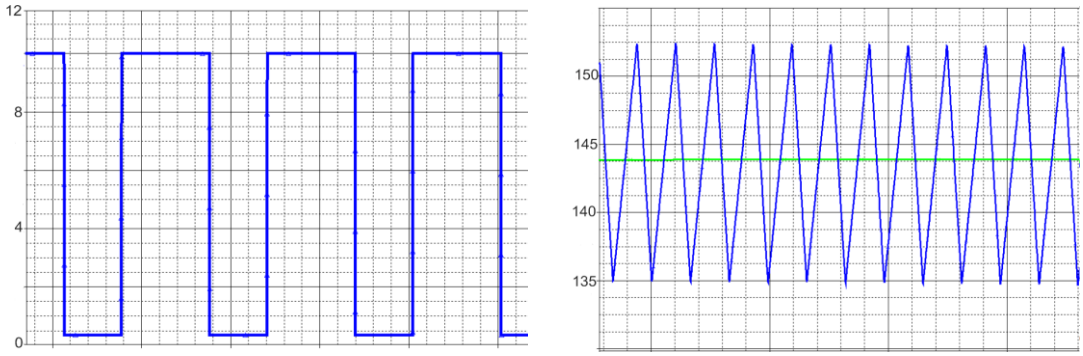



شکل ۴-۴۲: شکل موج جریان و ولتاژ ورودی مبدل PFC. الف)ولتاژ ورودی ۱۱۰ Vrms ب) ولتاژ ورودی ۲۲۰ Vrsm



(ب) (الف)

شکل ۴-۴۳ الف) شکل موج ولتاژ ورودی و جریان سلف مبدل PFC در لحظات گذر از صفر ولتاژ ورودی ب) سیگنال گیت کلید اصلی در لحظات گذر از صفر ولتاژ ورودی




(ب) (الف)

شکل ۴-۴۴ الف) شکل موج ولتاژ ورودی و جریان سلف مبدل PFC در لحظات پیک ولتاژ ورودی ب) سیگنال گیت کلید اصلی در لحظات پیک ولتاژ ورودی

در شکل ۴-۴۴ (الف) شکل موج ولتاژ ورودی و جریان سلف مبدل PFC در پیک ولتاژ ورودی نشان داده شده است. در این لحظات مبدل در مد CCM عمل می کند. در شکل ۴-۴۴ (ب) سیگنال های گیت کلید قدرت در پیک ولتاژ ورودی نشان داده شده است.

# فصل پنجم

# مطالعه و بررسی استانداردها و استخراج آزمون‌ها و تعیین سامانه‌های آزمون

## ۵-۱- استانداردها

این فصل به مطالعه و بررسی استانداردها و استخراج آزمون‌ها و تعیین سامانه‌های آزمون می‌پردازد. استانداردهای بررسی شده در زمینه سیستم های برق بدون وقفه، ایمنی و حفاظت و زیرساخت ارتباطات به همراه شرح کلی استاندارد در جدول ۵-۱ ارائه شده است.

جدول ۵-۱: استانداردهای بررسی شده در زمینه سیستم های برق بدون وقفه، ایمنی و حفاظت و زیر ساخت ارتباطات

| ردیف | سازمان استانداردسازی | حوزه موضوعی | نام استاندارد | شرح کلی استاندارد | تعداد صفحات |
|---|---|---|---|---|---|
| ۱ | IEC (International Electrotechnical Committee) | سیستمهای برق بدون وقفه | IEC 62040-1-1 | الزامات کلی و ایمنی برای یو پی اس استفاده شده در نواحی با دسترسی کاربر | ۴۷ |
| | | | IEC 62040-1-2 | الزامات کلی و ایمنی برای یو پی اس استفاده شده در نواحی با دسترسی محدود، | ۴۷ |
| | | | IEC 62040-2 | الزامات سازگاری الکترومغناطیسی | ۸۷ |
| | | | IEC 62040-3 | روش مشخص عملکرد و الزامات تست | ۲۱۱ |
| | | **مبدل‌های ایمن برای استفاده در فتوولتائیک** | IEC 62109-1 | الزامات عمومی | ۱۵۴ |
| | | | IEC 62109-2 | الزامات ویژه برای اینورتر | ۶۸ |
| | | **زیرساخت شارژ** (شارژ | IEC 61851-21 | نیازمندی‌های خودرو برقی برای اتصال رسانشی به یک تغذیه DC/AC | ۳۸ |

| | | | | | |
|---|---|---|---|---|---|
| | | رسانشی سریع (AC | IEC 61851-22 | ایستگاه شارژ AC | ۵۰ |
| | | | IEC 62196-2 | نیازمندی‌های مربوط به سازگاری و قابلیت تعویض پریزها، دوشاخه‌های شارژ رسانشی | ۷۸ |
| | | ایمنی و حفاظت | IEC 62752 | دستگاه حفاظت و کنترل داخل کابل برای شارژ حالت ۲ خودروهای الکتریکی | ۳۳۲ |
| ۲ | ISO (International Organization for Standardization) | زیرساخت ارتباطات | ISO 15118-1 | واسط ارتباطات خودرو به شبکه- اطلاعات عمومی و تعریف استفاده موردی | ۷۲ |
| | | | ISO 15118-2 | واسط ارتباطات خودرو به شبکه- نیازمندی‌های پروتکل شبکه | ۳۵۰ |
| | | | ISO 15118-3 | واسط ارتباطات خودرو به شبکه- نیازمندی‌های مربوط به لایه فیزیکی و لینک داده | ۸۶ |
| | | | ISO 15118-4 | واسط ارتباطات خودرو به شبکه- تست تطابق شبکه و پروتکل کاربردی (در حال توسعه) | |

| | | | | | |
|---|---|---|---|---|---|
| | | | | واسط ارتباطات خودرو به شبکه- تست تطابق لایه لینک داده و لایه فیزیکی (در حال توسعه) | ISO 15118-5 |
| | | | | واسط ارتباطات خودرو به شبکه- اطلاعات عمومی و تعریف استفاده موردی برای ارتباطات بی‌سیم (در حال توسعه) | ISO 15118-6 |
| | | | | واسط ارتباطات خودرو به شبکه- نیازمندی‌های پروتکل شبکه برای ارتباطات بی‌سیم (در حال توسعه) | ISO 15118-7 |
| | | | | واسط ارتباطات خودرو به شبکه- نیازمندی‌های مربوط به لایه فیزیکی و لینک داده برای ارتباطات بی-سیم (در حال توسعه) | ISO 15118-8 |
| | | | ایمنی و حفاظت | مشخصات ایمنی سیستم ذخیره‌ساز انرژی روی قطعه خودرو برقی | ISO 6469-1 |

| | | | | | |
|---|---|---|---|---|---|
| | | | | ISO 6469-2 | ابزار ایمنی عملیاتی و حفاظت در برابر نقص خودرو برقی | ۱۲ |
| | | | | ISO 6469-3 | حفاظت اشخاص در برابر شوک الکتریکی | ۲۰ |
| | | | | ISO 6469-4 | ایمنی الکتریکی پس از حادثه | ۲۰ |
| | | | | ISO 19363 | نیازمندی‌های ایمنی و سازگاری انتقال توان بی‌سیم میدان مغناطیسی | |
| | | | | ISO 17409 | نیازمندی‌های ایمنی اتصال به یک منبع تغذیه الکتریکی خارجی | |
| ۳ | UL (Underwriters Laboratories) | ایمنی و حفاظت | | UL 2271 | ایمنی باتری خودروهای برقی سبک | ۵۸ |
| | | | | UL 2580 | ایمنی باتری برای کاربرد در خودروهای برقی | ۶۰ |
| | | | | UL 2594 | ایمنی تجهیز تغذیه خودرو برقی | ۱۵۶ |
| | | | | UL 2231-1 | سیستم‌های حفاظت پرسنل برای مدارهای تغذیه خودرو برقی (نیازمندی‌های عمومی) | ۲۲ |

| | | | | | |
|---|---|---|---|---|---|
| | | | | سیستم‌های حفاظت پرسنل برای مدارهای تغذیه خودرو برقی (نیازمندی‌های ویژه برای دستگاه‌های حفاظتی جهت کاربرد در سیستم‌های شارژ) | UL 2231-2 | ۷۶ |
| | | | | ایمنی تجهیز سیستم شارژ خودرو برقی | UL 2202 | ۱۷۴ |
| | | | | ایمنی دوشاخه‌ها و اتصال‌دهنده‌های خودرو برقی | UL 2251 | ۷۸ |
| | | | | نیازمندی‌های ایمنی برای کابل‌های تک هادی روی قطعه خودرو برقی | UL 2733 | |
| | | | | ایمنی اتصال‌دهنده-ها و دوشاخه‌ها برای سیستم‌های شارژ روی قطعه خودرو برقی | UL 2734 | |
| | | | | ایمنی مبدل‌های الکترونیک قدرت خودروها | UL 458 | ۱۱۴ |
| | | | | ایمنی کنتورهای برق | UL 2735 | ۳۴ |

| | | | | | |
|---|---|---|---|---|---|
| | | زیر ساخت شارژ | UL 2747 | طرح کلی بررسی منابع تغذیه خودرو برقی | ۱۰ |
| | | | UL 2750 | نیازمندی‌های تجهیز شارژ بی‌سیم خودرو برقی | |
| ۴ | IEEE (Institute of Electrical and Electronics Engineers) | UPS | IEEE 1184_2006 | باتری اضطراری سیستم های انرژی | ۷۳ |
| | | ادغام شبکه | IEEE-1547-Overview-June-2015 | ادغام شبکه توزیع منابع انرژی | ۲۱ |
| | | حفاظت | IEEE 937_2007 | نصب و نگهداری باتری‌های Lead-Asid برای سیستم‌های فتوولتائیک | ۲۴ |
| | | زیر ساخت شارژ | IEEE 2030.1.1 | مشخصات فنی یک شارژر سریع DC برای خودرو برقی (CHAdeMO) | ۹۷ |
| | | | IEEE P2960 | پروتکل مدیریت شبکه شارژ برای سیستم شارژ خودرو برقی | |
| | | سیستم‌های زیرساخت | IEEE P2030.1 | راهنمای پیش‌نویس برای زیرساخت حمل و نقل الکتریکی | |
| | | کاربرد V2G | IEEE P2030.2 | راهنمایی برای سازگاری سیستم‌های | |

| | | | | | |
|---|---|---|---|---|---|
| | | | | ذخیره‌سازی انرژی با شبکه برق | |
| | | | IEEE P2030.3 | فرایندهای تست سیستم‌های ذخیره-سازی انرژی الکتریکی برای کاربردهای سیستم قدرت | |
| | | | IEEE P1547.1 | فرایندهای تست تطابق برای تجهیز متصل کننده منابع انرژی پراکنده به سیستم قدرت | |
| | | | IEEE P1547.2 | راهنمای کاربردی برای اتصال منابع انرژی پراکنده به سیستم‌های قدرت | |
| | | | IEEE P1547.3 | پایش، تبادل اطلاعات و کنترل منابع انرژی پراکنده متصل شونده به سیستم قدرت | |

## ۵-۲- سیستم های قدرت بدون وقفه (UPS)، روش تعیین عملکرد و الزامات آزمون

هدف از تدوین این استاندارد، تعیین مقرراتی در مورد سیستم‌های مبدل غیرمستقیم جریان متناوب *(a.c.)* الکترونیکی است که دارای منابع ذخیره انرژی الکتریکی *d.c.* می‌باشد. این استاندارد در برگیرندهٔ ویژگیهای اصلی سیستم قدرت بدون وقفه *(UPS)* است تا از پیوستگی منبع قدرت متناوب اطمینان حاصل شود. سیستمهای قدرت بدون وقفه ممکن است برای بهبود کیفیت منبع توان نیز بکار روند. بهبود کیفیت با نگهداشتن منبع توان در محدودهٔ ویژگیهای مشخص شده عملی می‌باشد.

*UPS* های گوناگون برای بارهای از کمتر از یکصـــد وات تا چندین مگاوات جهت برآورده کردن خواســـته‌های مصـــرف کننده در مورد پیوســـتگی و کیفیت توان وجود دارد. برای اطلاعات بیشـــتر به پیو ست الف (انواع آرایه های سی ستم قدرت بدون وقفه) و پیو ست ب (مثالهایی از عملکرد سی ستم قدرت بدون وقفه) مراجعه شـــود. این اســـتاندارد در مورد ســـیســـتمهای قدرت بدون وقفه الکترونیکی *(UPS)* با مشخصه های زیر کاربرد دارد:

الف - دارای ولتاژ خروجی متناوب *(a.c.)* سه فاز یا تک فاز با فرکانس ثابت.

ب - دارای وسیله ذخیره کننده انرژی *.d.c* ، مگر اینکه بصورت دیگری بیان شده باشد.

پ - دارای ولتاژ اسمی کمتر از ۱۰۰۰ ولت جریان متناوب *(a.c.)* .

ت - دارای تجهیزات متحرک ، ساکن و / یا ثابت.

این استاندارد همچنین شامل روش های تشخیص تمامی کلیدهای قدرت است که قسمتهایی از مجموعه *UPS* را تشکیل می دهند و با خروجی آن سازگار هستند. این کلیدها عبارتند از قطع کننده ها[1]، کلیدهای بای پس ، کلیدهای جداســـاز[2]، کلیدهای انتقال دهندهٔ بار و کلیدهای ارتباطی[3]. این کلیدها با ســـایر واحدهای کاری *UPS* ارتباط دارند تا بتوانند پیوســـتگی توان بار را حفظ نمایند. این اســـتاندارد در مورد تابلوهای توزیع برق شـــهر، کلیدهای ورودی یکســـوســـاز یا کلیدهای *.d.c* (از قبیل باتری ها ، خروجی یکسوساز یا ورودی اینورتر، غیره) یا *UPS* هایی که براساس ماشینهای دوار کار می کنند، بکار نمی‌رود.

این استاندارد برای تعریف یک سیستم قدرت بدون وقفهٔ کامل براساس عملکرد آن درنظر گرفته است و برای واحدهای مجزای کاری UPS کاربرد ندارد. استانداردهای IEC مندرج در فهرست پیوست خ دربرگیرندهٔ واحدهای مجزای کاری UPS هســـتند که تا زمانیکه با این اســـتاندارد متناقض نباشـــند، قابل استناد هستند.

### ۵-۲-۱- **مراجع الزامی**

مدارک الزامی زیر حاوی مقرراتی ا ست که در متن این ا ستاندارد به آنها ارجاع داده شده ا ست. بدین ترتیب آن مقررات جزئی از این استاندارد محسوب می شود. در مورد مراجع دارای تاریخ چاپ و

---

*Interrupters*-[1]
*Isolating*-[2]
*Tie Switch*-[3]

/ یا تجدیدنظر، اصـــلاحیه ها و تجدیدنظرهای بعدی این مدارک موردنظر نیســـت. معهذا بهتر اســـت کاربران ذینفع این استاندارد امکان کاربرد آخرین اصلاحیه ها و تجدیدنظرها را مورد بررسی قرار دهند. در مورد مراجع بدون تاریخ چاپ و / یا تجدیدنظر، آخرین چاپ و / یا تجدیدنظر آن مدارک الزامی ارجاع داده شده، موردنظر است.

۱- استاندارد ملی ایران به شمارهٔ ۱-۱۳۰۷ تحت عنوان آزمون محیطی - قسمت دوم - آزمون الف : سرما

۲- استاندارد ملی ایران به شمارهٔ ۲-۱۳۰۷ تحت عنوان آزمون محیطی - قسمت دوم - آزمون ب : گرمای خشک

۳- استاندارد ملی ایران به شمارهٔ ۳۲-۱۳۰۷ تحت عنوان آزمون محیطی - قسمت دوم - آزمون *Ed* : سقوط آزاد

۴- استاندارد ملی ایران به شمارهٔ ۴۹۵۷ سال ۱۳۷۸ : نمادهای ترسیمی مورد استفاده بر روی تجهیزات

۵- استاندارد ملی ایران به شمارهٔ ۱-۵۴۹۶ سال ۱۳۸۰ : نمادهای ترسیمی مورد استفاده بر روی دستگاه‌ها : قسمت اول ـ شکل ـ مفهوم و کاربرد

*6- IEC 60050-101: 1998, International Electrotechnical Vocabulary (IEV) – Part 101: Mathematics*

*7- IEC 60050-(131): 1978, International Electrotechnical Vocabulary (IEV) – Chapter 131 : Electric and magnetic circuits*

*8- IEC 60050-(151): 1978, International Electrotechnical Vocabulary (IEV) – Chapter 151 : Electrical and magnetic devices*

*9- IEC 60050-(161): 1990, International Electrotechnical Vocabulary (IEV) – Chapter 161 : Electromagnetic compatibility Amendment 1 (1997)*

*10- IEC 60050-(351): 1975, International Electrotechnical Vocabulary (IEV) – Chapter 351 : Automatic control*

*11- IEC 60050-(441): 1984, International Electrotechnical Vocabulary (IEV) – Chapter 441 : Switchgear, controlgear and fuses*

*12- IEC 60050-(486): 1991, International Electrotechnical Vocabulary (IEV) – Chapter 486 : Secondary cells and batteries*

*13- IEC 60050-(551): 1998, International Electrotechnical Vocabulary (IEV) – Chapter 551 : Power electronics*

*14- IEC 60050-(826): 1982, International Electrotechnical Vocabulary (IEV) – Chapter 826 : Electrical installations of buildings*

*15- IEC 60068-2-27 : 1987, Environmental testing. Part 2 : Tests. Test Ea and guidance : Shock*

*16- IEC 60068-2-48: 1982, Environmental testing – Part 2: Tests. Guidance on the application of the tests of IEC 60068 to simulate the effects of storage*

*17- IEC 60068-2-56 : 1988, Environmental testing. Part 2 : Tests. Test Cb : Damp heat , steady state , primairly for equipment*

*18 - IEC 60146-1-1: 1991, Semiconductor converters – General requirements and line commutated converters – Part 1-1: Specifications of basic requirements Amendment 1 (1996)*

*19 - IEC 60146-1-2: 1991, Semiconductor converters – General requirements and line commutated converters – Part 1-2: Application guide*

*20 - IEC 60146-2: 1974, Semiconductor converters – Part 2: Semiconductor self – commutated convertors*

*21- IEC 60309 (all parts), Plugs, socket – outlets and couplers for industrial purposes*

*22- IEC 60364-4 (all parts), Electrical installations of buildings – Part 4: Protection for safety*

*23- IEC 60529: 1989, Degrees of protection provided by enclosures (IP Code)*

*24- IEC 60950 : 1991, Saftey of information technology equipment*[۱]

*25- IEC 60990: 1990, Methods of measurement of touch – current and protective conductor current*

*26- IEC 61000-2-2: 1990, Electromagnetic comptibility (EMC) – Part 2: Environment – Section 2: Compatibility levels for low – frequency conducted disturbances and signalling in public low – voltage power supply systems*

*27- IEC 61140: 1997, Protection against electric shock – Common aspects for installation and equipment*

*28- IEC 602040-2: ----, Semiconductor converters – Uninterruptible power systems (UPS) – Part 2: Electromagnetic compatibility (EMC) reqirements*

*29- ISO/DIS 779: ----, Acoustics – Measurement of airborne noise emitted by computer and business equipment*

۱- استاندارد ملی ایران به شمارهٔ ۵۲۳۳ تحت عنوان ایمنی تجهیزات رایانه‌ای براساس *IEC 60950 : (1990)* تدوین شده است.

### ۵-۲-۱- شرایط عمومی و محیط کارکرد

بخشی از تجهیزات که با این استاندارد مطابقت دارند، باید قادر به پایداری در برابر شرایط تعریف شده در این بند باشد، مگر اینکه بصورت دیگری مورد توافق سازنده / تهیه کننده و خریدار باشد.

یادآوری - استفاده از *UPS* در محدوده های مشخص شده در بند های (الف) تا (د)، عملکرد آن را تضمین می‌کند ولی ممکن است بر عمر مؤثر قطعات خاص بویژه طول عمر قطعه ذخیره کنندهٔ انرژی (باتری) و زمان انرژی ذخیره شده تأثیر بگذارد.

الف) ارتفاع

یک *UPS* مطابق با این استاندارد باید به گونه ای طراحی شود که تحت شرایط اسمی در ارتفاع تا ۱۰۰۰ متر بالاتر از سطح دریا کار کند.

یادآوری - سازنده می تواند طبق درخواست، کاهش لازم در مشخصه های تجهیزات را جهت کار در ارتفاع بیشتر از ۱۰۰۰ متر را بیان نماید. جدول (۵-۲) جهت راهنمایی ارائه شده است.

دستگاه *UPS* مطابق با این استاندارد ، باید بتواند در محفظه ها یا بسته بندی های معمول برای طول مدت پرواز حداکثر ۱۶ ساعت در ارتفاع تا ۱۵۰۰۰ متر بالاتر از سطح دریا توسط هواپیمای با فشار هوای کنترل شده، جابجا شود. ارتفاع عادی نگهداری نباید بیشتر از ۱۰۰۰ متر بالاتر از سطح دریا باشد.

جدول ۵-۲: ضرایب کاهش برای استفاده در ارتفاع بیش از ۱۰۰۰ متر

| ارتفاع *(m)* | ضریب کاهش[1] |
|---|---|
| ۱۰۰۰ | ۱/۰ |
| ۱۵۰۰ | ۰/۹۵ |
| ۲۰۰۰ | ۰/۹۱ |
| ۲۵۰۰ | ۰/۸۶ |
| ۳۰۰۰ | ۰/۸۲ |
| ۳۵۰۰ | ۰/۷۸ |

| | |
|---|---|
| ۴۰۰۰ | ۰/۷۴ |
| ۴۵۰۰ | ۰/۷ |
| ۵۰۰۰ | ۰/۶۷ |
| یادآوری - براساس چگالی هوای خشک برابر با ۱/۲۲۵ $kg/m^3$ در سطح دریا و دمای ۱۵+ درجه سلسیوس. | |
| ۱- از آنجا که فنها، بازدهی خود را با ارتفاع از دست می دهند، تجهیزات با گردش مصنوعی هوا ضریب کاهش کوچکتری دارند. | |

**ب) دمای محیط کارکرد**

یک *UPS* مطابق با این استاندارد، باید بتواند تحت شرایط اسمی در کمینهٔ گسترهٔ دمایی از صفر تا ۴۰+ درجه سلسیوس کار کند، به جزء *UPS* های خاص محیط اداری که گسترهٔ دما ۱۰+ تا ۳۵+ درجه سلسیوس است.

یادآوری - استفاده از *UPS* در گسترهٔ 'گفته شده در بالا، عملکرد آن را تضمین می نماید ولی ممکن است بر عمر مؤثر قطعات خاص، به ویژه طول عمر قطعه ذخیره کنندهٔ انرژی (باتری) و زمان انرژی ذخیره شده تأثیر بگذارد. در مورد طول عمر به جزئیاتی که توسط سازنده *UPS* بیان می شود، رجوع شود. در مواقعی‌که قطعهٔ ذخیره کنندهٔ انرژی جداگانه خریداری می شود، به جزئیات ارائه شده توسط سازنده باتری رجوع شود.

دستگاه *UPS* مطابق با این استاندارد ، باید با محفظه عادی خود قابل حمل و جابجایی باشد، برای مثال، جابجایی توسط هواپیما یاکامیون درکمینهٔ گسترهٔ دمایی محیط از۲۵- تا۵۵+ درجه سلسیوس

برای نگهداری ثابت در ساختمان، کمینهٔ گسترهٔ دمایی باید از ۲۵- تا ۵۵+ درجه سلسیوس باشد.
یادآوری - هرگاه *UPS* شامل باتری باشد، بدلیل وابستگی طول عمر باتری به دمای محیط ، طول مدت زمان نگهداری *UPS* در دمای زیاد یا کم محیط محدود می شود. دستورالعملهای نگهداری و جابجایی سازندهٔ باتری، بایستی مورد توجه قرار گیرد.

**ج) رطوبت نسبی**

یک *UPS* مطابق با این اســتاندارد باید به گونه ای طراحی شــود که دســت کم بتواند در گســترهٔ رطوبت نسبی محیط از ۲۰ تا ۸۰ درصد «بدون میعان» کار کند.

در مدت زمان جابجایی و نگهداری *UPS* در بســته بندی معمول جهت حمل ، *UPS* باید در برابر رطوبت نسبی ۲۰ تا ۹۵ در صد مقاوم باشد. بسته بندی جهت حمل باید به صورت مناسب طراحی شود، مگر اینکه شرایط محیط خشک تضمین شده باشد. بسته بندیهایی که برای شرایط محیط مرطوب طراحی نشده باشند، باید با برچسب‌های هشدار دهندهٔ مناسب نشانه گذاری شوند.

**د) شرایط محیطی حمل و نقل و نگهداری**

دستگاه *UPS* مطابق با این استاندارد ، باید بتواند در حالت خاموش، در شرایط تعریف شده در این بند نگهداری شود، اگر شرایط دیگری توسط دستورالعملهای سازنده ارائه نشده باشد.

یادآوری - طول مدت نگهداری *UPS* در انبار، ممکن اســت بدلیل الزامات مربوط به شــارژ مجدد باتری تعبیه شده در آن، محدود باشد. سازنده این مقررات را باید طبق درخواست بیان نماید.

### ۵-۲-۲- شرایط کاری غیر معمول که باید توسط خریدار مشخص شود

خریدار باید هرگونه انحرافی را از شرایط کار عادی ***UPS*** در حالتیکه از شرایط ارائه شده مطمئن نباشد، مشخص نماید. شرایط ارائه شده ممکن است نیاز به طراحی یا ترکیب حفاظتی خاصی داشته باشد.

الف - بخارهای خطرناک

ب - رطوبت

پ - گرد و غبار

ت - گرد وغبار فرساینده

ث - بخار آب

ج - مخلوط انفجاری غبار یا گازها

چ - هوای همراه با نمک

ح - آب و هوا یا آب چکیده شده

خ – تغییرات شدید دما

د - آب خنک کننده شامل اسید یا ناخالصی هایی که ممکن است باعث ایجاد جرم، لجن، الکترولیز یا خوردگی قطعات اینورتر که در معرض آب قرار دارند، بشود.

ذ - میدانهای قوی الکترومغناطیسی

ر - سطوح رادیواکتیو بالاتر از سطح طبیعی

ز - قارچ ، حشرات و جانور موذی وغیره

ژ - محدودیت تهویه

س - گرمای تشعشع شده یا هدایت شده از منابع دیگر

ش - شرایط کار باتری

### ۵-۲-۳- شرایط کاری الکتریکی و عملکرد

UPS های مطابق با این استاندارد باید دارای نشانه ها و دستورالعملهای کافی برای نصب وراه اندازی UPS و نیز نمایشگر و کنترل های آن باشند.

UPS باید دارای نشانه گذاری های کافی به منظور تشخیص موارد زیر باشد :

- الزامات تغذیه ورودی

- مقادیر خروجی

در مورد UPS هایی که به وسیلهٔ افراد غیر سرویس کار نصب می شوند، نشانه گذاری باید در فضای در دسترس کاربر، خوانا و قابل رؤیت باشد یا روی سطح خارجی دستگاه قرار داده شود. اگر نشانه گذاری برروی سطح خارجی دستگاه نصب می گردد، باید بعد از اینکه دستگاه برای کار عادی خود نصب شد، قابل تشخیص باشد.

نشانه گذاری هایی که از سطح خارجی UPS قابل رؤیت نباشد، اگر به هنگام باز کردن در یا سرپوش دستگاه ، مستقیماً قابل رؤیت باشند، قابل قبول خواهند بود. اگر محفظه پشت در یا سرپوش جزو فضای در دسترس کاربر نیست، یک نشانهٔ خوانا و قابل رؤیت باید به UPS وصل شود تا به وضوح محل نشانه گذاری را هنگامیکه UPS از نوع قابل نصب توسط کاربر باشد، نشان دهد. می توان از علائم موقتی استفاده نمود.

نشانه گذاری های ورودی و خروجی باید شامل موارد زیر باشد :

الف - ولتاژ(های) اسمی یا گستره (های) ولتاژ اسمی برحسب ولت، این ولتاژها برای مقادیر خط به خط یا خط – نول ارائه می شوند.

در گسترهٔ ولتاژ باید بین مقادیر اسمی کمینه و بیشینه، یک خط تیره (-) گذاشته شود. در صورتی که چند ولتاژاسمی یاگسترهٔ ولتاژ ارائه شده باشد، آنها بایدهریک با ممیز (/) از دیگری جدا شوند.

در مورد UPS هایی که دارای چند ولتاژ اسمی باشند، جریانهای اسمی متناظر با آنها باید طوری نشان داده شوند که مقادیر مجاز جریانهای مختلف با یک ممیز (/) از یکدیگر جدا شوند و رابطهٔ بین ولتاژ و جریان اسمی به وضوح بیان شود.

یادآوری ۱- مثالهایی برای نشانه گذاری ولتاژ اسمی عبارتند از : گسترهٔ ولتاژ اسمی ۲۴۰-۲۲۰ ولت. این بدین معنی است که UPS برای اتصال به هر منبع تغذیه دارای ولتاژ نامی بین ۲۲۰ و ۲۴۰ ولت طراحی شده است.

چند مقدار مجاز ولتاژ : ۲۴۰ / ۲۲۰ / ۱۲۰ ولت. این بدین معنی است که UPS برای اتصال به یک منبع تغذیه باولتاژ نامی ۱۲۰ ، ۲۲۰ یا ۲۴۰ ولت (معمولاً پس از تنظیمات داخلی) طراحی شده است.

ب - نشان برای نوع منبع تغذیه، به ویژه برای .d.c

پ - فرکانس اسمی یا گسترهٔ فرکانس اسمی، برحسب هرتز (Hz) ، مگر اینکه دستگاه فقط برای جریان مستقیم (.d.c) طراحی شده باشد.

ت - جریان اسمی برحسب آمپر (A).

UPS هایی که دارای یک گسترهٔ ولتاژ اسمی هستند باید با بیشینهٔ جریان اسمی یا گسترهٔ جریان نیز نشانه گذاری شوند.

الف - تعداد فازها (تک فاز تا سه فاز، (۳-۱) با نقطهٔ نول یا بدون نقطهٔ نول،

ب - توان حقیقی اسمی خروجی، برحسب وات (W) یا کیلووات (KW)،

پ - توان ظاهری اسمی خروجی برحسب ولت آمپر (VA) یا کیلوولت آمپر (KVA)،

ت - بیشینهٔ گسترهٔ دمایی کاری محیط (اختیاری).

ث - زمان انرژی ذخیره شده برحسب دقیقه یا ساعت در دمای ۲۵ درجه سلسیوس و توان حقیقی خروجی (تنها برای UPS های مجهز به باتری داخلی) (نشانه گذاری اختیاری است).

ج - نام تولید کننده ، علامت تجاری یا علامت شناسایی

چ - مدل یا نوع مرجع سازنده

یادآوری ۲- اگر ابهامی پیش نیاید، استفاده از نشانه گذاری‌های تکمیلی مجاز است.

در صـورت اسـتفاده از نشـان ها، آنها باید مطابق با اسـتانداردهای ملی ۴۹۵۷ و ۱-۵۴۹۶ باشـند، اگر علائم مرتبط موجود باشد.

برای UPSهایی که طراحی آنها با بای پس خودکار مجزای تکمیلی و یا بای پس سرویس و نگهداری، منبع تغذیه متناوب ورودی تکمیلی یا باتری های خارجی باشد، باید مقادیر مجاز تغذیه مربوط ، همراه با ساختار نصب متناظر با آن مشخص شود.

درصورت عملی بودن مورد فوق، دستورالعمل زیر را برروی یا نزدیک به نقطهٔ اتصال نوشته شود.

«به دستورالعملهای نصب قبل از اتصال به منبع توجه شود».

- **مستندات و دستورالعملهای ایمنی**

اگر احتیاط های خاصـی مبنی بر اجتناب از مواجهه با خطرات به هنگام کار ، نصـب، نگهداری حمل و نقل یا نگهداری در انبار ضروری باشد، تولید کننده باید دستورات لازم را در دسترس قرار دهد.

د ستورالعملهای کاری (و برای UPS های با دو شاخه که برای نصب تو سط کاربر درنظر گرفته شده اند، دستورالعملهای نصب نیز) باید در دسترس استفاده کننده قرار گیرد.

یادآوری ۱- احتیاط های خا صی ممکن ا ست ضروری با شد، از قبیل : احتیاط های مربوط به اتصال UPS به باتری و ارتباط داخلی واحدهای جدا از هم (در صورت وجود).

یادآوری ۲- برحسب مورد، دستورالعملهای نصب، بایستی شامل مدارک مرجعی باشد که قوانین ملی سیم کشی ممکن است ، این دستورالعملها را باطل سازد.

یادآوری ۳- اطلاعات مربوط به حفظ و نگهداری UPS معمولاً فقط برای تعمیرکاران قابل دسـترس خواهد بود.

تولید کننده باید راهنمایی هایی را در بارهٔ سطح مهارت لازم برای کار با UPS به ا ستفاده کننده ارائه دهد، از قبیل :

الف - قابل نصـــب توســـط کاربر، هر UPS با دو شـــاخهٔ نوع (الف) یا (ب) همراه با یک باتری که قبلاً توسط فروشنده نصب شده است یا آنهایی که می توانند بطور ایمن توسط کاربر نصب شوند.

ب - قابل نصب توسط سرویس کار ، هر UPS نصب ثابت یا UPS با باتری هایی که به هنگام تحویل به مصـــرف کننده ، نصـــب نبوده و به مهارت های فنی برای تکمیل نصـــب نیاز دارد. تولید کننده باید راهنمایی های لازم را در بارهٔ سطح مهارت لازم برای کار با UPS به استفاده کننده ارائه دهد، از قبیل موارد زیر :

الف - کار با UPS توسط اشخاص بدون تجربهٔ قبلی

ب - کار با UPS توسط اشخاص با آموزشهای قبلی

اگر UPS شامل وسیله قطع کننده نبوده یا هرگاه دو شاخهٔ متصل به کابل تغذیه، عمل قطع برق را به عهده داشته باشد، دستورالعملهای نصب باید بیان کنندهٔ موارد زیر باشند :

الف - برای UPS های با اتصال دائم، یک وسیلهٔ قطع کننده که به سهولت قابل دسترسی باشد، باید جزو سیم کشی ثابت قرار داده شود.

ب - برای UPS های با دو شاخه، پریز باید در فا صله دو متری UPS نصب شده و به سهولت در دسترس باشد.

برای سیستمهای UPS که برای کار به صورت UPS های با دو شاخهٔ نوع الف درنظر گرفته شده اند، در هر شرایط کاری، اگر جریانهای نشتی زمین نا شی از UPS و نا شی از بار متصل به آن، از سیم اتصال زمین در اولیه UPS عبور نمایند، دستورالعملهای نصب باید نشان دهندهٔ سطح مجاز جریان نشتی زمین بار متصل به UPS با شد، بطوری که نشتی نباید ازجریان نشتی زمین UPS های با دو شاخهٔ نوع الف (۳/۵ میلی آمپر) بیشتر شود. هرگاه استفاده کننده از کل جریان نشتی مطمئن نباشد، دستورالعملها باید روش اتصال در مورد یک سیستم اتصال دائم را بیان نماید.

برای UPS های با دو شاخهٔ نوع ب و UPS های با اتصال دائم بدون جداسازی خودکار برگشت تغذیه (هرگاه هیچ کلید خودکار جدا ساز در برابر برگ شت تغذیه وجود ندا شته با شد) د ستورالعملها باید از مصـرف کننده بخواهد که برچسـبهای هشـدار دهنده ای را برروی تمام کلیدهای قطع کننده توان که دور از فضای UPS هستند قرار دهند.

این برچسب هشدار دهنده با متن یا مفهوم مشابه باید چسبانده شود.

((قبل از کار برروی این مدار، سیستم قدرت بدون وقفه (UPS) را جدا سازید)).

**۵-۲-۴- ایمنی تجهیزات**

UPS هایی که به هدف استفاده درفضای قابل دسترس کاربر و/ یا قابل نصب توسط وی طراحی شده اند، باید معیارها و مقررات ایمنی استاندارد بین المللی ۶۰۹۵۰ IEC را برآورده سازند.

UPS های با دو شـــاخهٔ نوع الف باید بتوانند علاوه بر مقررات بند ۵-۱-۳-۱، حفاظت خودکاری را در برابر برگ شت تغذیه فراهم نمایند تا از خطرات شوک الکتریکی که در شاخکهای دو شاخه مت صل به کابل تغذیه و / یا کوپلرها در مدت زمان وقفه ای که در ورودی تغذیه یا قطع دو شاخه بوجود می آید، جلوگیری کنند. این حفاظت باید در مورد خرابی هر قطعه درون UPS یا خرابی منجر به حذف ایزولاسیون در تجهیزات بار نیز بعمل آید.

در موارد اسـتثناء هرگاه طراحی مدار به گونه ای باشـد که از وقوع چنین خرابی هایی در وضـعیتهای عادی یا خرابی اجزاء جلوگیری نماید، نیازی به برآورده شدن این مقررات نمی‌باشد.

حفاظت ذکر شده باید شامل یک قطعه (قطعات) قطع و وصل کننده با فاصله هوایی بین کنتاکهای هر قطب تغذیهٔ ورودی آن برای عایق بندی تقویت شده در برابر ولتاژ نامی برا ساس کمینه فوا صل مجاز در مدارهای ثانویه ارائه شده در جدول شمارهٔ ۵ ا ستاندارد ۶۰۹۵۰ IEC با عنوان : (مداراتی که نباید در معرض فراولتاژ گذرا با شند) با شد. کمینه فوا صل مجاز، باید برطبق جدول شمارهٔ ۶ ا ستاندارد بین المللی ۶۰۹۵۰ IEC تحت عنوان، آلودگی درجهٔ ۲، مواد گروه IIIb. این حفاظت باید ظرف حداکثر یک ثانیه صورت گیرد.

اگر حفاظتهای خودکاری در برابر برگشت تغذیه وجود نداشته باشد، سازنده باید مطابق با دستورالعملهای مربوطه هشدارهای مناسبی را به استفاده کننده ارائه دهد.

UPS هایی که برای استفاده در اتاقهای کلیدزنی الکتریکی و یا برای نصب و استفاده در کنترل و کلیدزنی توسط افراد برق کار واجد شرایط طراحی شده اند، باید استانداردهای ایمنی ملی مرتبط را در محل نصب برآورده سازند.

در صورتیکه ا ستانداردهای ملی ایمنی در این زمینه تدوین نـ شده با شد، UPS باید معیارهای ایمنی مندرج در ا ستاندارد بین المللی IEC ۶۱۱۴۰ یا ا ستانداردهای متناظر با آن را برآورده سازد. مطابقت با این استانداردها باید با توافق بین سازنده و خریدار صورت گیرد.

### ۵-۲-۵- مشخصه های ورودی UPS

سازگاری با منابع عمومی فشار ضعیف

دستگاههایی که در دامنهٔ کاربرد این استاندارد قرار می‌گیرند، باید پس از اتصال به منبع ورودی با شرایط زیر در حالت عادی خود کار کنند، مگر اینکه بصورت دیگری مشخص شده باشد.

الف - تغییرات ولتاژ ورودی : ±۱۰ درصد ولتاژ نامی

ب - تغییرات فرکانس ورودی : ±۲ درصد فرکانس نامی

پ - برای ورودی‌های سه فاز، نـسبت مؤلفه های توالی منفی به توالی مثبت نباید بیـشتر از ۵ در صد باشد (به IEC 60146-1-1 مراجعه شود).

ت - بیشینه تراز ولتاژ هر تک هارمونیک تا هارمونیک چهل‌ام مطابق جدول شمارهٔ ۲ (برگرفته از جدول شمارهٔ یک IEC 61000-2-2 برای منابع عمومی فشار ضعیف) با ضریب اعوجاج کل ولتاژ ورودی (D) کوچکتر یا مساوی ۸ صدم می‌باشد.

یادآوری - محدودیت تا هارمونیک مرتبهٔ چهل ام، قراردادی است.

جدول ۵-۳- سطوح سازگاری برای ولتاژهای هر تک هارمونیک در شبکه های فشار ضعیف (این جدول دقیقاً از جدول شمارهٔ یک *IEC 61000-2-2* خلاصه شده است).

| هارمونیکهای فرد - غیر از مضارب ۳ | | هارمونیکهای فرد – مضرب ۳ | | هارمونیکهای زوج | |
|---|---|---|---|---|---|
| مرتبه هارمونیکی *n* | ولتاژ هارمونیک % | مرتبه هارمونیکی *n* | ولتاژ هارمونیک % | مرتبه هارمونیکی *n* | ولتاژ هارمونیک % |
| ۵ | ۶ | ۳ | ۵ | ۲ | ۲ |
| ۷ | ۵ | ۹ | ۱/۵ | ۴ | ۱ |
| ۱۱ | ۳/۵ | ۱۵ | ۰/۳ | ۶ | ۰/۵ |
| ۱۳ | ۳ | ۲۱ | ۰/۲ | ۸ | ۰/۵ |
| ۱۷ | ۲ | >۲۱ | ۰/۲ | ۱۰ | ۰/۵ |
| ۱۹ | ۱/۵ | | | ۱۲ | ۰/۲ |
| ۲۳ | ۱/۵ | | | >۱۲ | ۰/۲ |
| ۲۵ | ۱/۵ | | | | |
| >۲۵ | +۰/۵*۲۵/*n* ۰/۲ | | | | |
| یادآوری - *فرض بر آن است که تمام سطوح هارمونیکی فوق بطور همزمان اتفاق نمی افتند.* | | | | | |

یادآوری ۱- فرض می شود که کاهش فرکانس همزمان با افزایش ولتاژ خط .a.c نمی‌باشد و برعکس.

یادآوری ۲- اگر در مدار UPS از مسیر بای پس استفاده شود، ورودی بای پس بایستی در گسترهٔ قابل قبولی برای بار باشد.

یادآوری ۳- حدود ذکر شده فوق در مورد منابع عمومی فشار ضعیف بکار می روند. UPSهای طراحی شده برای کاربردهای صنعتی یا منابع تغذیه جداگانه ممکن است نیاز به برآورده نمودن شرایط سخت تری داشته باشند. در چنین وضعیتی ، خریدار باید پارامترهایی را مشخص نماید یا در صورت نبودن چنین اطلاعاتی، سازنده / فروشنده می توانند از تجارب خود برای سازگاری طرح برای تأسیسات استفاده نمایند.

**۵-۲-۶- مشخصه ها و مقادیر اسمی**

مشخصه ها و مقادیر اسمی زیر باید توسط سازنده مشخص شوند (در صورت کاربرد).

الف - ولتاژ ورودی متناوب اسمی

ب - رواداری ولتاژ ورودی a.c.

پ - فرکانس اسمی ورودی

ت - رواداری فرکانس ورودی

ث - تعداد فاز (اگر بیش از یک فاز باشد).

ج - جریان اسمی ورودی

چ - بیشینهٔ جریان پیوسته ورودی (در بدترین شرایط شامل شارژ باتری ، رواداری تغذیه و اضافه بار مجاز).

ح - کل اعوجاج هارمونیکی جریان ورودی

خ - سطح هر هارمونیک جریان ورودی ($n \leq 40$) هرگاه منبع تغذیه ای با اعوجاج ناچیز و صل شده باشد. این سطوح در جریان ورودی اسمی محاسبه یا اندازه گیری می شوند.

د - بیشینهٔ جریان ورودی (در صورت کاربرد، منحنی جریان برحسب زمان)

ذ - ضریب توان ورودی

ر - الزامات نول ورودی

ز - الزامات جریان هجومی

ژ - الزامات جریان نشتی زمین (اگر بیش از ۳/۵ میلی آمپر باشد).

س - بیشینهٔ عدم تقارن ولتاژ تغذیه مجاز در صورتیکه ورودی سه فاز باشد.

ش - ساختارهای سیستم قدرت، بصورتی که در استانداردهای بین المللی IEC ۶۰۳۶۴-۴ طراحی شده اند مانند TN، TN-C، TN-S، TN-C-S، TT، IT.

### ۵-۲-۷- شرایط ورودی UPS که باید توسط خریدار تعیین شود

خریدار باید هرگونه انحرافی از شـرایط کار عادی و مشـخصـه های بیان شـده را معین نماید. این انحرافها ممکن است به طراحی و یا ترکیب حفاظتی خاصی نیاز داشته باشد.

الف - امپدانس تغذیه و ساختار سیستم (برای مثال : *TN* ، *TN-C* ، *TN-S* ، *TN-C-S* ، *TT* ، *IT*).

یادآوری - در صورتیکه محل نصب *UPS* مشخص نباشد، سازنده و / یا فروشنده می توانند از تجارب خود استفاده کرده و مقادیر را در برگه های دادهٔ فنی ارائه دهند.

ب - ولتاژ با تغییرات بیشتر از آنچه که در بند ۵-۲-۱ ارائه شده است.

پ - فرکانس با تغییرات بیشتر از آنچه که در بند ۵-۲-۱ ارائه شده است.

ت - ولتاژهای با فرکانس بالا که بر ولتاژ اصلی سوار شده اند.

ث - هارمونیکهای موجود ولتاژ در نقطهٔ اتصال به *UPS*

ج - ولتاژهای گذرا یا سایر نویزهای الکتریکی از قبیل آنهایی که در اثر صاعقه یا قطع و وصل خازنی یا القایی روی می دهند. (یادآوری - اطلاعات فوق در مورد تغذیهٔ آماده به کار نیز ضروری می باشد.)

چ - مشخصه های قطعه حفاظت کننده در تغذیهٔ ورودی *UPS*.

ح - الزامات برای جداسازی تمامی قطبها (اگر قوانین سیم کشی ملی مقرر کرده باشد).

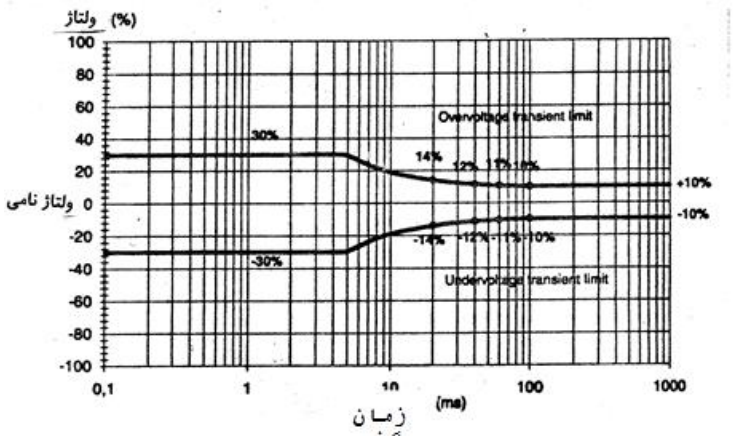
خ - مشخصه های مولد آماده به کار

### ۵-۲-۸- مشخصه های خروجی UPS

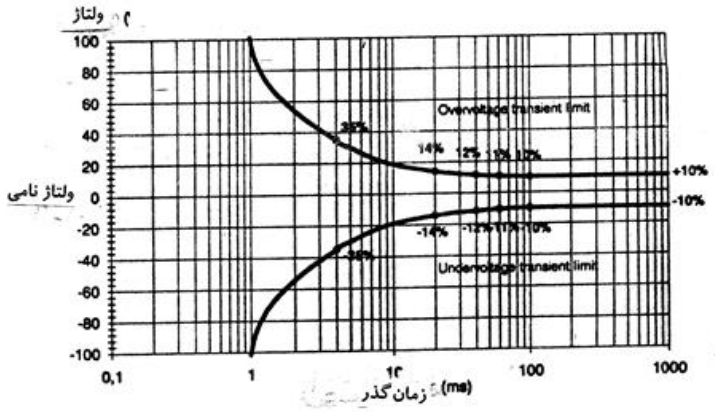
*UPS* مطابق با این ا ستاندارد، باید دارای م شخ صه‌های عملکردی پویای ولتاژ خروجی با شد که تحت شرایط زیر در حدود ارائه شده در شکل ۵-۱ قرار گیرد.

الف - تغییر حالت کارکرد برای مثال عادی / انرژی ذخیره شده / بای پس و غیره

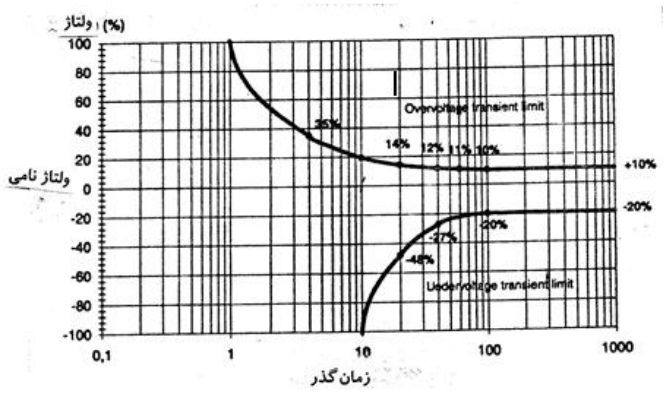
ب - اعمال پله های بار افزایشـی و یا کاهشـی در بار خطی و بار غیرخطی مرجع تحت شـرایط آزمون مندرج در بند ۶-۳.




(الف)




(ب)




(ج)

شکل ۵-۱: مشخصه‌های عملکردی پویای ولتاژ خروجی UPS

UPSهایی که تنها با یک کابل متصل می شوند و بگونه‌ای طراحی شده‌اند که توسط کاربر جهت استفاده در محیط اداری برروی میز یا زمین بطور ایمن نصب می‌شوند و پیش‌بینی می‌شود که از شخص ثالثی بدون مراجعه مستقیم به سازنده خریدار شوند، باید قابلیت پذیرش تمامی، بارهای خطی و غیرخطی را در گسترهٔ مقادیر مجاز خود شان داشته باشند، مگر اینکه محدودیتهایی توسط سازنده در دستورالعملهای نحوهٔ استفاده بیان شده باشد.

بارگذاری پله‌ای بار غیرخطی جهت مصرف توان حقیقی خروجی حالت پایدار، بصورت درصدی از بار پلهٔ مربوط به توان اسمی خروجی حالت پایدار UPS تعریف می‌شود. ابتدا مدار آزمون قبل از کاربرد تخلیه می‌شود. بنابراین ولتاژ خازن هنگامی که در مدار خروجی UPS بکار می‌رود، از مقدار صفر شروع می‌شود. هرگاه معلوم باشد که بار نصب شدهٔ واقعی دارای محدود کنندهٔ جریان ورودی برای شروع راه اندازی است، اصلاح مدار آزمون برای شبیه سازی شرایط واقعی برای تعیین مشخصه های عملکردی پویای خروجی UPS مجاز می‌باشد. UPSای که مشخصه‌های آن مطابق با شکل ۵-۱-الف یا ب می‌باشد، برای کار با اکثر بارها مناسب است.

یادآوری - هرگاه رواداری هایی برای بار مجاز باشد، انحراف از حدود ولتاژ شکلهای ۵-۱-الف و ب برای بارهای پله‌ای با توافق خریدار مجاز می‌باشد. اگر حدود عملکردی پویای خروجی گسترش یابد و مشخصه های بار اجازه دهد، بیشینهٔ انحراف توصیه شده در شکل شمارهٔ ۵-۱- ج نشان داده شده است.

یادآوری - شکل ۵-۱- ج تنها برای بارهایی که قادر به تحمل رواداری های وسیع ولتاژ و دورهٔ زمانی ولتاژ صفر به مدت ۱۰ میلی ثانیه باشد، مناسب است (برای مثال : منابع تغذیه از نوع کلیدزنی[1])

- **مشخصهٔ خروجی - ولتاژ خروجی سینوسی**

برای هر دو حالت کار عادی و انرژی ذخیره شده، شکل موج ولتاژ خروجی سینوسی با ضریب اعوجاج کلی $D$ و هر تک هارمونیک مطابق جدول ۵-۳ می‌باشد. در شرایط پویا، حدود ولتاژ نباید از حدود گذرای فراولتاژ و فروولتاژ شکلهای ۵-۱- الف، ب و ج تجاوز نماید.

[1]-*Switched – mode power supplies*

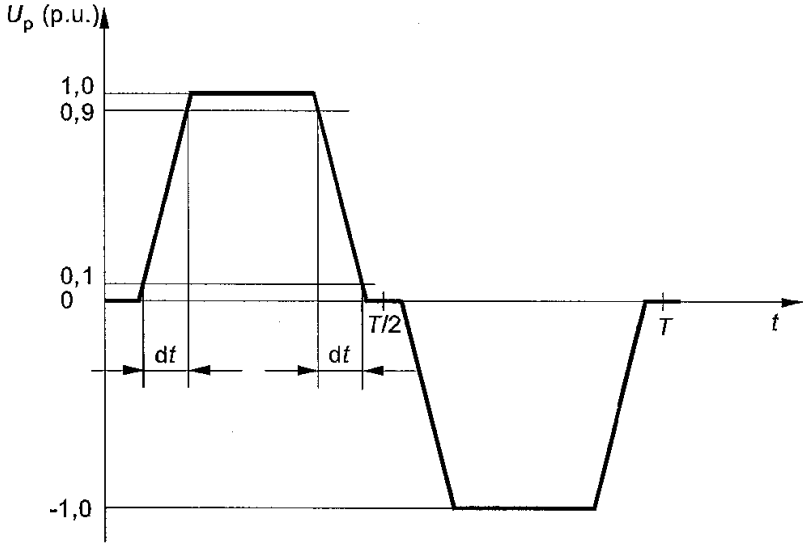
بطورخاص، در باردهی غیرخطی مرجع، هر محدودیتی در مقادیر مجاز خروجی باید به‌طریقی که در حدود جدول ۵-۳ باقی بماند، توسط سازنده بیان شود.

- **مشخصهٔ خروجی - ولتاژ خروجی غیرسینوسی**

اگر در هر حالت کاری شکل موج ولتاژ خروجی از حدود ارائه شده در جدول ۵-۳ فراتر رود و تجهیزات بار، وجود چنین شکل موجهایی را مجاز دارند، حدود زیر بکار می رود:

الف - زمان صعود *dU/dt* اندازه گیری شده بین نقاط یک *Up* ۰/۱ و *Up* ۰/۹ (به شکل ۵-۲ مراجعه شود).

ب - اوج ولتاژ *Up*




شکل۵-۲: مثالی برای شکل موج ولتاژ خروجی غیر سینوسی

در شرایط توان حقیقی خروجی اسمی، حداقل الزامات باید بصورت زیر باشد:

۱- $\frac{dU}{dt} \leq ۱۰\ V/\mu s$

۲- $\sqrt{۲} = U_{P\max}$ برابر ولتاژ خروجی اسمی.

یادآوری - بایستی توصیه های سازندهٔ تجهیزات بار در مورد کار با این نوع شکل موج در بیشتر از حدود ۱۵ دقیقه درنظر گرفته شود.

**۵-۲-۹- مشخصه ها و مقادیر اسمی خروجی**

مشخصه ها و مقادیر اسمی زیر باید در همهٔ حالات کارکرد، توسط سازنده و / یا فروشنده مشخص شود (در صورت کاربرد).

الف - ولتاژ اسمی خروجی

ب - رواداری ولتاژ خروجی

پ - تعداد فازها

ت - جریان اسمی خروجی در ضریب توان بار معین یا گسترهٔ ضریب توان بارخطی

ث - جریان اسمی خروجی در ضریب توان بار معین یا گسترهٔ ضریب توان بار غیرخطی

ج - فرکانس نامی و باند رواداری فرکانس

چ - بیشینهٔ مقدار نسبی هارمونیک ولتاژ خروجی دربار اسمی خطی و غیرخطی

ح - بیشینهٔ گسترهٔفرکانس همفازی و بیشینهٔ خطای فازی برای همفازی اینورتر UPS با بای پس یا بای پس ها

خ - فرکانس نامی اینورتر UPS یا گسترهٔ فرکانس همفاز نشده با بای پس

د - نرخ تغییر فرکانس به هنگام همفازی

ذ - عدم تقارن مجاز بار (فقط در چند فاز)

ر - ارتباط بین عدم تقارن بار و عدم تقارن ولتاژ

ز - رواداری های جابجایی زاویهٔ فاز بین ولتاژهای خط به خط یا خط به نول (تنها در چند فاز)

ژ - گسترهٔ مجاز ضریب توان بار

س - انحرافات گذرای ولتاژ خروجی (انتگرال زمانی، مقدار مؤثر) و زمان بازیابی برای یک تغییر پله ای در جریان بار برای بارهای خطی و غیرخطی.

ش - بازده UPS در بار اسمی

ص - قابلیت رفع خطای۱ خروجی UPS: قابلیت اسمی رفع خطا باید بصورت بیشینهٔ مقدار مجاز وسیلهٔ حفاظت کنندهٔ بار ارائه شود که در آن UPS می تواند تحت شرایط خطا تا زمانی که پیوستگی توان بار حفظ شود به حالت تعادل برسد.

ض - ظرفیت۲ اضافه بار : اضافه بار بصورت نسبت جریان اضافه بار به جریان اسمی خروجی ارائه می شـــود که می تواند در زمانهای معین به UPS اعمال شـــود بدون اینکه UPS از حدود پایدار تحت شرایط کاری گفته شده خارج شود. مدت زمان ظرفیت اضافه بار پس از رسیدن UPS به حالت دائمی ناشی از تعادل گرمایی در بار اسمی معتبر می باشد، ضریب توان اضافه بار باید مشخص شده باشد.

یادآوری - شـکل های ارائه شـده تحت ولتاژ شـناور باتری شـارژ شـده معتبر هسـتند، مگر اینکه بصورت دیگری توافق شده باشد.

ط - تعیین حد بالای جریان: در صـــورتیکه مدارهای محدود کنندهٔ جریان در UPS درنظر گرفته شوند، مشخصهٔ ولتاژ برحسب جریان باید (در صورت تقاضا) تهیه شود.

### ۵-۲-۱۰- UPS تکی و مجموعهٔ UPS موازی با بای پس

مقادیر مجاز باید برطبق بند ۵-۲-۱۰ بوده و علاوه بر آن، موارد زیر باید در مورد کلیدهای انتقال دهنده اضافه شود.

الف - مقدار مجاز ولتاژ کلید انتقال دهنده

ب - مقدار مجاز جریان دایم

پ - ضریب توان بار

ت - مقدار مجاز زمان وقفه

ث - کل زمان وقفه و زمان انتقال سیستم (در صورت وجود)

ج - قابلیت اسمی رفع خطای خروجی UPS در حالت بای پس (به مورد ص بند ۵-۲-۱۰ مراجعه شود).

---

[1]- *Fault Clearing*
[2]- *Capability*

چ - انحراف گذرای ولتاژ خروجی و زمان بازیابی در انتقال بار اســـمی برای بارهای خطی و غیرخطی.

**۵-۲-۱۱- الزامات عملکرد که باید توسط خریدار تعیین شود**

خریدار باید هرگونه الزامات عملکرد خاص UPS را در صورت انحراف مشخص نماید.

الف - بیشینهٔ بار پله ای و نمودار بار برحسب زمان

ب - باری که بین فازها بصورتی که درمورد بند ۵-۲-۱۰ مشخص شده است، متعادل نمی باشد.

پ - بارهای مولد جریان های هارمونیکی (بویژه هارمونیکهای زوج)

ت - بارهای مولد چرخهٔ جریان d.c ، برای مثال نیم موج

ث - شرایط زمین مورد نیاز نول خروجی

ج - مشخصات قطعه (قطعات) حفاظت کننده که خروجی UPS باید با آن هماهنگ شود.

چ - نوع باریا بارهایی که بایدوصل شود (خطی و/یا غیرخطی)ومقدارمجازتک تک بارهای خاص

ح - مقدار نسبی هارمونیک خروجی

- **الزامات عملکرد خاص**

الزامات عملکرد خاص مربوط به موارد زیر بایستی توسط خریدار مشخص شود :

الف - تثبیت ولتاژ خروجی و رواداری زاویهٔ فاز در UPS سه فاز

ب - ثبات فرکانس

پ - همفازی و نرخ تغییر فرکانس در مدت همفازی

ت - بازده

ث - توزیع بار

ج - تمهیداتی برای گسترش

چ - درجهٔ کمک - جایگزینی[1]

[1]- *Degree of redundancy*

ح - حفاظت اضافه ولتاژ خروجی

### ۵-۲-۱۲- مشخصه های مدار باتری و / یا مدار d.c. واسط UPS

مشخصه ها و مقادیر اسمی زیر باید توسط سازنده و / یا عرضه کننده (در صورت کاربرد) مشخص شود.

الف - ولتاژ نامی **d.c.**

ب - جریان نامی **d.c.**

پ - ایزوله بودن بخش **d.c.** از ورودی و / یا خروجی

ت - شرایط زمین خط ارتباط **d.c.**

ث - نوع باتری (اگر در داخل **UPS** کار گذاشته شده باشد).

ج - تعداد باتری ها و مقدار آمپر ساعت (اگر در داخل **UPS** کار گذاشته شده باشد).

چ - زمان انرژی ذخیره شده (تنها در مورد باتری هایی که در داخل **UPS** کار گذاشته شده اند).

ح - مدت زمان ذخیره سازی مجدد انرژی (تنها در مورد باتری هایی که در داخل **UPS** کار گذاشته شده اند).

خ - گسترهٔ رواداری و ولتاژ نامی **d.c.** شارژ کننده.

د - گستره یا مقدار حد جریان شارژ کننده

ذ - ولتاژ یا جریان موجک[1] باتری

ر - سطوح حفاظت بالاترین ولتاژ و / یا پایین ترین ولتاژ شارژ کننده باتری

ز - روش شارژ باتری از قبیل : ولتاژ ثابت، جریان ثابت، قابلیت شارژ سریع یا همگون سازی، شارژ نمودن دو مرحله ای.

ژ - مقادیر مجاز وسیله حفاظت کنندهٔ باتری و نوع و تعداد آن

س - الزامات حفاظت باتری (باتری های خارج از **UPS**)

ش - توصیه هایی در مورد افت ولتاژ کابل باتری (باتری های خارج از **UPS**)

---

[1]- *Ripple*

### ۵-۲-۱۳- کلیدهای UPS، مقادیر اسمی و عملکردی

برای انواعی از کلیدهای UPS که بصورت بخشهای مجتمع یک UPS درنظر گرفته نمی شوند، از قبیل کلیدهای جابجا کننده توان و کلیدهای رابط ، مشخصه ها و مقادیر زیر باید توسط سازنده و / یا عرضه کننده مشخص شوند.

الف - شرایط کار عادی

ب - کار پیوسته

مقادیر اسمی آن دسته از کلیدهای UPS که بصورت بخشهای مجتمع یک واحد UPS درنظر گرفته می شوند، با الزامات UPS مطابقت می یابند و مقادیر آنها جداگانه بیان نمی‌شود.

- **کلیدهای UPS**

مقادیر اسمی ثابت زیر باید برحسب مورد مشخص شوند.

الف - ولتاژ و گسترهٔ رواداری آن

ب - تعداد قطبها و / یا تعداد فازها

پ - توانایی جریان دهی پیوسته

ت - توانایی جریان دهی اتصال کوتاه در زمان وصل

ث - توانایی جریان دهی اتصال کوتاه در زمان قطع

ج - توانایی جریان دهی در حالت اضافه بار

چ - زمان وصل

ح - زمان قطع

خ - اوج ولتاژ تکراری حالت خاموش مدار

د - اوج ولتاژ غیرتکراری حالت خاموش مدار

ذ - جریان نشتی

ر - حداکثر مجاز نرخ (سرعت) افزایش ولتاژ در حالت خاموش

ز - تلفات در بار اسمی (اگر منظور نشده باشد).

ژ - میزان توانایی ایزوله کردن

س - حدود ضریب توان بار

ش - فرکانس و گسترهٔ رواداری آن

ص - سرعت افزایش جریان در حالت بسته شدن کلید

یادآوری - برای کلیدهای جابجا کنندهٔ منبع، مشخصه ها و مقادیر اسمی بایستی برای هر گروه از ترمینالهای ورودی مشخص شود. علاوه بر آن، بیشینهٔ زمانهای انتقال بایستی برای هر دو جهت انتقال مشخص شود.

### ۵-۲-۱۴- آزمونهای الکتریکی UPS

سیستمهای قدرت بدون وقفه از UPS های قابل حمل کوچک با باتری های داخلی تا UPS های بزرگ چند مدول که بصورت مجموعه UPS یا واحدهای عملکردی UPS تهیه شده اند و برای مونتاژ نهایی و سیم کشی در محل درنظر گرفته شده اند، مشمول این استاندارد هستند.

بنابراین، استاندارد حاضر بگونه ای تنظیم گردیده که انواع مختلف UPS ها را در فرآیندهای آزمون تحت پوشش قرار دهد. دستگاههای کوچکتر که عموماً بصورت یک *UPS* حمل می شوند، باید بطور کامل قبل از اینکه حمل شوند، برطبق قوانین این استاندارد آزمون شوند.

آزمون دستگاههای بزرگتر می تواند به آزمونهایی محدود شود که سازنده برروی تک‌تک واحدهای عملکردی UPS که باید بطور جداگانه حمل شوند، در کارگاه سازنده انجام دهد.

این استاندارد سایر آزمونها از قبیل آزمونهای مجموعه *UPS* های بزرگ کامل یا آزمونهای در محل نصب را اگر بطور جداگانه مشخص شده باشند، نیز دربر می گیرد.

- **آزمونهای نوعی**

آزمونهای نوعی باید به منظور تأیید مناسب بودن طرح محصول برای برآورده ساختن الزامات عملکردی مشخص شده در این استاندارد و / یا آنهایی که جداگانه توسط سازنده یا خریدار برای کاربردهای خاص مشخص شده است، انجام گیرد.

یادآوری - برای تولید *UPS* بصورت مجموعه،برخی ازآزمونهای نوعی ممکن است درفاصله های مشخصی برروی تعدادی نمونه تکرار شود تا تأیید نماید که کیفیت محصول حفظ شده باشد.

- **آزمونهای سری**

آزمونهای ســـری باید برروی هر UPS یا واحدهای عملکردی UPS هایی که بطور جداگانه حمل می شوند، قبل از تحویل انجام گیرد تا تأیید نماید که الزامات این استاندارد برآورده شده است. بدلیل تفاوت UPS ها و ساختار آنها، بنابه تشخیص سازنده باید نوع آزمون و چگونگی انجام آن برای اثبات قابلیت کاری یک طرح کامل UPS مشخص شود. آزمونهای نشان داده شده در جدول شمارهٔ ۳ عموماً کاربردی هستند، ولی آزمونهای خاص باید برروی نیمه ساخته ها انجام شود، در حالیکه سایر آزمونها برروی UPS های تکمیل شده انجام می شوند.

- **شرایط آزمون**

آزمونها باید در شـــرایط الکتریکی معادل با آنچه که در کار واقعی رخ می دهد، انجام شـــود. در صورتیکه تحقق این شرایط عملی نباشد. UPS و واحدهای کارکردی آن به ترتیب باید تحت شرایطی که بررسی عملکرد خاص آن را مجاز می سازد، آزمون شوند.

آزمونهای UPS، آزمون‌های واحدهای عملکردی UPS و سایر تجهیزات می توانند در صورتی که متقاعد کننده باشند، بطور جداگانه انجام شوند.

یادآوری ۱- قبل از اینکه برگهٔ آزمونها بصورت بخشی از قرارداد خرید درنظر گرفته شود، خریدار باید به مفاد یادآوریها و تعریف آزمون نوعی توجه نماید. به دلایل اقتصادی توصیه می شودکه آزمونهای عملکردی به آنهایی که ضروری به نظرمی رسد، محدود شوند.

یادآوری ۲- هرگاه خریداریا نمایندهٔ او تمایل به دیدن آزمونهای کارخانه ای داشته باشد، بایستی بطریقی در درخواست خود این تمایل را مشخص نماید. در صورتیکه قبل از درخواست توافق شده باشد، قرارداد ممکن است مشخص نماید که سازنده گزارشی از آزمونهای انجام شده برروی محصول را تهیه نماید.

یادآوری ۳- مرجع ممکن است براساس آزمونهای نوعی باشد که قبلاً برروی محصول یکسان یا مشابه با شرایط آزمون حداقل یکسان با الزامات قرارداد یا مشخصات خریدار انجام گرفته است.

یادآوری ۴- این امر بایستی موضوع توافق بین سازنده / عرضه کننده و خریدار باشد که برحسب مورد بین آزمونهایی که در کارخانه انجام می شـــود و آنهایی که باید در محل نصـــب صـــورت گیرد، تمایزی قائل شود.

یادآوری ۵- ضرورت انجام آزمونها در محل، عموماً در مورد نصب سیستمهای بزرگ چند بخشی و یا آنهایی که باتری بخشـــی از قرارداد خرید UPS نبوده یا یک نوعی از آزمون که فقط در محل نصـــب نهایی انجام می شود و / یا اگر تأییدی به تطابق با استاندارد ملی EMC بصورت نصب کامل موردنظر است، می‌باشد.

### ۵-۲-۱۵- آزمونهای واحدهای عمل کنندهٔ UPS (در صورت کاربرد)

- **آزمونهای یکسوساز UPS**

در صورت کاربرد، آزمونهای یکسوساز باید برطبق بندهای ۴-۱-۳ تا ۴-۲ استاندارد بین المللی۱-۱-۶۰۱۴۶ *IEC* انجام شود. آزمونهای سری، شامل آزمون عایقی و آزمون بار کم و بررسی قطعات حفاظت کنندهٔ جانبی و سیستمهای کنترل است.

آزمونهای نوعی، شامل آزمونهای تکمیلی با بار، محاسبهٔ تلفات ، افزایش دما و غیره است.

- **آزمونهای اینورتر UPS**

در صورت کاربرد، آزمونهای اینورتر باید برطبق بند ۵ استاندارد بین المللی ۲-۶۰۱۴۶ *IEC* انجام شود. فهرست ترتیب آزمونهای سری، نوعی و اختیاری در جدول شمارهٔ ۵-۲-۲ استانداردبین المللی ۲-۶۰۱۴۶ *IEC* ارائه شده است و مطابق آزمون عملکرد اینورتر *UPS* است، با این تفاوت که این فهرست شامل آزمونهای تکمیلی مقدار هارمونیک و آزمونهای اختیاری مربوط به ترکیبات خاص تجهیزات اینورتر در صورت کاربرد می باشد.

موارد آزمون در برگهٔ آزمون‌ها، در بند ۵-۳ تا ۵-۱۷ استاندارد بین المللی ۲-۶۰۱۴۶ *IEC* ارائه شده است.

- **آزمونهای کلید UPS**

کلیدهای *UPS* که بصورت بخشهای مجتمع یک مجموعه *UPS* درنظر گرفته می شوند و با الزامات *UPS* مطابقت دارند، بطور جداگانه آزمون نمی شوند.

در صورت کاربرد، آزمونهای عملکردی باید برطبق استاندارد بین المللی ۱-۱-۶۰۱۴۶ انجام شود برای

مثال : دستورالعملهای آزمونهای زیر معمولاً کاربرد دارد:

الف - آزمون عایقی مطابق با استاندارد بین المللی ۱-۱-۶۰۱۴۶ *IEC*

ب - بررسی وسایل جانبی برطبق استاندارد بین المللی ۱-۱-۶۰۱۴۶ *IEC*

پ - بررسی وسایل حفاظت کننده برطبق استاندارد بین المللی ۱-۱-۶۰۱۴۶ *IEC*

ت - بررسی مدارهای کنترل فرمان و سیگنال از راه دور

ث - بررسی وسایل اندازه گیری

ج - آزمون انتقال در بار کم

علاوه بر آزمونهایی که در بالا گفته شد، یک برنامه آزمون نوعی ، شامل آزمونهایی است که مقادیر اسمی ارائه شده در بند ۵ این استاندارد را اثبات نمایند زیرا که آن مقادیر با محاسبات کافی ثابت نمی شوند. اگر آزمونهای نوعی قبلی انجام شده باشند، مشخصه هایی که توسط سازنده ارائه می شود، باید قابل قبول باشد و نیازی به انجام آزمونهای بیشتر نمی باشد.

ح - یک آزمون عملکردی کامل برای مثال : قطع و وصل بارها.

خ - آزمون زمان انتقال

د - آزمون بار، افزایش دما برطبق استاندارد بین المللی ۲-۱-۶۰۱۴۶ *IEC*

د - اضافه بار کوتاه مدت بر طبق استاندارد بین المللی ۲-۱-۶۰۱۴۶ *IEC*

ر - ظرفیت اتصال کوتاه برطبق استاندارد بین المللی ۲-۱-۶۰۱۴۶ *IEC*

### ۵-۲-۱۶- آزمونهای تجهیزات کنترل کننده و نشان دهنده

آزمونهای زیر باید انجام شوند :

الف - آزمونهای عایقی (بند ۵-۲-۱ استاندارد بین المللی ۱-۱-۶۰۱۴۶ *IEC*)

ب - بررسی مدارهای الکتریکی

پ - بررسی کنترلهای عملیاتی

### ۵-۲-۱۷- آزمونهای باتری

آزمونهای کارخانه ای در مورد باتری های با دریچهٔ تنظیم کننده که در داخل *UPS* قرار دارند یا در محفظه های باتری که جدا از *UPS* هستند، باید به آزمونهای نوعی اولیه محدود شوند و انجام آزمونهای سری توسط سازنده برای تأیید عملکرد باتری ضروری بنظر می رسد، مگر اینکه در قرارداد

خرید بصورت دیگری مشخص شده باشد. انجام هر آزمون دیگری در محل باید موضوع توافق بین سازندهٔ *UPS* یا عرضه کنندهٔ آن و خریدار باشد.

آزمون باتری‌های از نوع منفذدار شامل آزمونهای بعد از نصب و راه اندازی در محل می‌باشد، در صورتیکه در قرارداد خریدار و سازنده مشخص شده باشد. روشهای خاص شارژ باتری از قبیل شارژ سریع / یکسان‌سازی که سازندهٔ باتری مقرر نموده است باید نمایانده شود.

### ۵-۲-۱۸- آزمونهای نوعی مشخصه های اعلام شده توسط سازنده برروی یک مجموعه UPS

اگر آزمون کامل برروی *UPS* در کارخانه صورت نگرفته باشد، آزمون برروی واحد عملکردی *UPS* باید قبل از اینکه آزمون در محل صورت گیرد، انجام شود. وسایل مورد استفاده برای اندازه گیری پارامترهای الکتریکی باید دارای پهنای باند کافی باشد تا بتوان مقدار مؤثر (*r.m.s*) واقعی شکل موجها را دقیقاً اندازه گیری نمود چرا که این شکل موجها ممکن است با شکل موج سینوسی بنیادی متفاوت باشد، یعنی هارمونیکهای قابل توجهی وجود داشته باشد.

یادآوری ۱- اندازه گیری ها ممکن است با استفاده از نوسان نماهای حافظه دار و مولتی مترهای با عملکرد بالا و واتمترهای دیجیتال یا آنالوگ انجام شوند. دقت هر یک از وسایل اندازه گیری مورد استفاده، باید متناسب با دقت مشخصهٔ مورد اندازه گیری باشد و این وسایل باید بطور دائم برطبق استانداردهای ملی کالیبره شوند.

آزمونهای بار، با اتصال بار غیرخطی مرجع (به پیوست ث مراجعه شود) و یا بارهای خطی به خروجی *UPS* جهت شبیه سازی بار واقعی یا در صورت وجود بارهای واقعی، با خود آنها انجام می شود. در *UPS* های بزرگ با اتصال موازی، می توان با انجام آزمون جداگانه برروی هر یک از *UPS* های کامل، آزمون بار را انجام داد. آزمونهای بار، جهت اندازه گیری اعوجاج ولتاژ در حالت پایدار و اوج تغییرات گذرای ولتاژ خروجی، تحت شرایط وجود بار پله ای همراه با سایر پارامترهای مشخص شده، انجام می شوند.

یادآوری ۲- در شرایط خاص، می توان از بار خاصی با توافق بین سازنده / عرضه کننده و خریدار استفاده نمود. *UPS* بایستی در این صورت برای آن کاربرد خاص طراحی شود.

### ۵-۲-۱۹- آزمون برگشت ولتاژ

UPS های با دو شاخهٔ نوع الف باید تحت آزمون حفاظت خودکار برگشت ولتاژ برطبق پیوست ج یا در صورت لزوم برطبق استانداردهای ملی قرار گیرند.

### ۵-۲-۲۰- آزمون سازگاری الکترومغناطیسی

به استاندارد بین المللی ۲-۶۲۰۴۰ *IEC* مراجعه شود.

# فصل ششم

# نتیجه گیری

## ۶-۱- نتیجه گیری

این گزارش به‌منظور ارائه نتایج حاصل از انجام فاز اول پروژه طراحی و ساخت منبع ولتاژ بدون وقفه هوشمند، ۲ کیلووات با قابلیت اصلاح ضریب توان ورودی و کنترل بار گردآوری شده است. در این گزارش در ابتدا طبقه‌بندی انواع اینورتر آورده و مزایا و معایب هریک به تفضیل شرح داده شد. برای بررسی مفهومی هریک از اینورترهای مذکور، تحلیل و روابط ریاضی درنهایت به یک مدل ریاضی برای اینورتر منجر شد. رابطه‌های ریاضی نشان داد که تغییرات هریک از پارامترهای مبدل در اثر تغییرات مشخصات المان‌های مبدل می‌باشند که کار را برای ایجاد یک تابع تبدیل مناسب که حساسیت‌های مبدل را به‌خوبی نشان دهد هموار می‌کند. پس‌ازآن با بررسی توابع تبدیل به‌دست‌آمده یک روش کنترلی مناسب برای کنترل مبدل در حالت پایدار ارائه شد. حلقه کنترلی هنگامی‌که در معرض اغتشاشات مختلف قرار می‌گیرد باعث ارائه عملکرد مناسب‌تر اینورتر می‌شود. بعد از طراحی مناسب کنترل‌کننده، ساختارهای مختلف از دیدگاه مزایا و معایب و پاسخ‌گوئی مناسب به کنترل‌کننده مقایسه شدند که درنهایت خروجی‌های حاصل از یک اینورتر در نرم‌افزار سیمولینک شبیه سازی شده و نتایج آن ارائه شد. مهم‌ترین تحلیل قبل از وارد شدن به حوزه پیاده‌سازی، استفاده از نتایج شبیه‌سازی است تا میزان سعی و خطا برای رسیدن به خروجی‌های مناسب را کم‌تر کند. برای ساخت یک اینورتر اصولی، تمامی مشکلات ناشی از اتصال آن‌ها به شبکه و معضلات دیگر و برخی استانداردها در این زمینه مطالعه شدند که در ضمیمه این گزارش ارائه شده است. استانداردهای ارائه‌شده مربوط به استانداردهای سازگار با سیستم‌های اروپایی است که با شبکه برق ایران هماهنگ می‌باشند.

در فصل چهارم انواع ساختارهای مدار قدرت مورداستفاده در طراحی اینورترها و علی‌الخصوص به‌منظور کاربرد در درایو موتورهای الکتریکی موردبررسی و مقایسه قرار گرفتند. ابتدا انواع اینورترهای با ساختار کاهش‌یافته نیم‌موج شامل اینورترهای با منبع انشعابی، انباره خازنی و اینورترهای ولتاژ لینک dc متغیر موردبررسی قرار گرفتند و عملکرد و ویژگی‌های هر یک تحلیل و بررسی شدند. سپس اینورترهای تمام موج با ساختار جدیدتر که در سال‌های اخیر بیشتر موردتوجه صنایع قرارگرفته‌اند ازجمله اینورترهای تمام‌موج با ساختار کاهش‌یافته (چهار سوئیچه)، اینورترهای چندسطحی، اینورترهای منبع امپدانسی و اینورترهای ماتریسی مورد بررسی و تحلیل قرار گرفتند.

برای ا صلاح ضریب توان به کمک مبدل بو ست از ترکیب رو شهای TM و FF ا ستفاده شد که مزایای هر دو روش از جمله سادگی مدار کنترل و قابلیت استفاده در توانهای بالاتر حاصل گردید. مبدل بوست با استفاده از روش FOT کنترل می شود که زمان خاموشی کلید در آن مقدار ثابتی است با توجه به محدودیت افزایش فرکانس کلید زنی در این ساختار کنترل زمان خاموشی کلید با مقدار لحظه ای ولتاژ ورودی مدوله شده است و مبدل به روش LM-FOT کنترل می‌شود. برای رفع

مشکل اعوجاج جریان در لحظات گذر از صفر، در این لحظات یک ولتاژ آفست به به مدار کنترل افزوده شـــد که باعث می شـــود مبدل انرژی بیشـــتری به خروجی منتقل کند و مدت زمانی که انتقال انرژی نداریم کاهش یابد. مقدار ولتاژ آفست اضافه شده با مقدار لحظه ای ولتاژ ورودی رابطه معکوس دارد و با رسیدن به مقادیر پیک ولتاژ ورودی اثر ولتاژ آفست اضافه شده از بین می رود. با توجه به اینکه در ولتاژ های ورودی با دامنه بیشـــتر مشـــکل اعوجاج جریان بیشـــتر اســـت لذا مقدار ولتاژ آفســـت افزوده متناسب با دامنه جریان افزایش می یابد تا ضریب توان بخوبی اصلاح گردد.

در ادامه به مطالعه و بررسی استانداردها و استخراج آزمون‌ها و تعیین سامانه‌های آزمون پرداخته شد. استانداردهای بررسی شده در زمینه سیستم های برق بدون وقفه (*UPS*)، روش تعیین عملکرد و الزامات آزمون، ایمنی و حفاظت و زیرساخت ارتباطات به همراه شرح کلی این استانداردها است.
هدف از تدوین این استاندارد، تعیین مقرراتی در مورد سیستم‌های مبدل غیرمستقیم جریان متناوب *(a.c.)* الکترونیکی است که دارای منابع ذخیره انرژی الکتریکی *.d.c* می‌باشد. این استاندارد در برگیرندهٔ ویژگیهای اصلی سیستم قدرت بدون وقفه *(UPS)* است تا از پیوستگی منبع قدرت متناوب اطمینان حاصل شود. سیستمهای قدرت بدون وقفه ممکن است برای بهبود کیفیت منبع توان نیز بکار روند. بهبود کیفیت با نگهداشتن منبع توان در محدودهٔ ویژگیهای مشخص شده عملی می‌باشد.

# مراجع:

[1] J. Dixon, L. Moran, J. Rodriguez, and R. Domke"Reactive power compensation technologies: State-of-the-art review," in Proc. IEEE, Vol. 93, No. 12, pp. 2144-2164, 2005.

[2] J. Rodriguez, L. G. Franquelo, S. Kouro, J. I. Leon, R. C. Portillo, M. A. M. Prats, and M. A. Perez, "Multilevel converters: An enabling technology for high-power applications," in Proc. IEEE, Vol. 97, No. 11, pp. 1786-1817, 2009.

[3] F. Filho, L. M. Tolbert, C. Yue, and B. Ozpineci, "Real-time selective harmonic minimization for multilevel inverters connected to solar panels using artificial neural network angle generation," IEEE Trans. Ind. Appl., Vol. 47, No. 5, pp. 2117-2124, Sep./Oct. 2011.

[4] N. A. Rahim, J. Selvaraj, and C. Krismadinata, "Five-level inverter with dual reference modulation technique for grid-connected PV system," Renewable Energy, Vol. 35, No. 3, pp. 712-720, Mar. 2010.

[5] N. A. Rahim, M. F. M. Elias, and H. Wooi Ping, "Transistor-clamped H-bridge based cascaded multilevel inverter with new method of capacitor voltage balancing," IEEE Trans. Ind. Electron. , Vol. 60, No. 8, pp. 2943-2956, Aug. 2013.

[6] W. Jin and D. Ahmadi, "A precise and practical harmonic elimination method for multilevel inverters," IEEE Trans. Ind. Appl., Vol. 46, No. 2, pp. 857-865, Mar./Apr. 2010.

[7] J. Pontt, J. Rodriguez, and R. Huerta, "Mitigation of noneliminated harmonics of SHEPWM three-level multipulse three-phase active front end converters with low switching frequency for meeting standard IEEE-519-92," IEEE Trans. Power Electron., Vol. 19, No. 6, pp. 1594-1600, Nov. 2004.

[8] M. Schweizer, T. Friedli, and J. W. Kolar, "Comparative evaluation of advanced three-phase three-level inverter/converter topologies against two-level systems," IEEE Trans. Ind. Electron., Vol. 60, No. 12, pp. 5515-5527, Dec. 2013.

[9] S. J. Park, F. S. Kang, M. H. Lee, and C. U. Kim, "A new single-phase five-level PWM inverter employing a deadbeat control scheme," IEEE Trans. Power Electron., Vol. 18, No. 3, pp. 831-843, May 2003.

[10] M. Calais, L. J. Borle, and V. G. Agelidis, "Analysis of multicarrier PWM methods for a single-phase five level inverter," in Proc. PESC, pp. 1351-1356, 2001.

[11] A. Bendre, S. Krstic, J. Vander Meer, and G. Venkataramanan, "Comparative evaluation of modulation algorithms for neutral-point-clamped converters," IEEE Trans. Ind. Appl., Vol. 41, No. 2, pp. 634-643, Mar./Apr. 2005.

[12] R. M. Valan, P. S. Manoharan, and A. Ravi, "Simulation and an experimental investigation of SVPWM technique on a multilevel voltage source inverter for photovoltaic systems," International Journal of Electrical Power & Energy Systems, Vol. 52, pp. 116-131, Nov. 2013.

[13] H. S. Patel and R. G. Hoft, "Generalized techniques of harmonic elimination and voltage control in thyristor inverters: Part I--harmonic elimination," IEEE Trans. Ind. Appl., Vol. IA-9, No. 3, pp. 310-317, May/Jun. 1973.

[14] S. Sirisukprasert, L. Jih-Sheng, and L. Tian-Hua, "Optimum harmonic reduction with a wide range of modulation indexes for multilevel converters," IEEE Trans. Ind. Electron., Vol. 49, No. 4, pp. 875-881, Aug. 2002.

[15] J. M. Vesapogu, S. Peddakotla, and S. R. A. Kuppa, "Harmonic analysis and FPGA implementation of SHE controlled three phase CHB 11-level inverter in MV drives using deterministic and stochastic optimization techniques," SpringerPlus, Vol. 2, No. 1, pp. 1-16, Aug. 2013.

[16] M. G. H. Aghdam, S. H. Fathi, and G. B. Gharehpetian, "Comparison of OMTHD and OHSW harmonic optimization techniques in multi-level voltage-source inverter with non-equal DC sources," in International Conference on Power Electronics (ICPE), pp. 587-591, 2007.

[17] K. Chaniago, N. A. Rahim, and J. Selvaraj, "Novel fundamental-frequency-modulated modified H-bridge single-phase seven-level inverter for stand-alone photovoltaic system," in Conference on Clean Energy and Technology (CET), pp. 225-230, 2011.

[18] M. S. A. Dahidah and V. G. Agelidis, "Selective harmonic elimination PWM control for cascaded multilevel voltage source converters: A generalized formula," IEEE Trans. Power Electron., Vol. 23, No. 4, pp. 1620-1630, Jul. 2008.

[19] B. Ozpineci, L. M. Tolbert, and J. N. Chiasson, "Harmonic optimization of multilevel converters using genetic algorithms," IEEE Power Electronics Letters, Vol. 3, No. 3, pp. 92-95, Sep. 2005.

[20] N. Farokhnia, S. H. Fathi, R. Salehi, G. B. Gharehpetian, and M. Ehsani, "Improved selective harmonic elimination pulse-width modulation strategy in multilevel inverters," IET Power Electronics, Vol. 5, No. 9, pp. 1904-1911, Nov. 2012.

[21] R. N. Ray, D. Chatterjee, and S. K. Goswami, "Harmonics elimination in a multilevel inverter using the particle swarm optimisation technique," IET Power Electronics, Vol. 2, No. 6, pp. 646-652, Nov. 2009.

[22] H. Taghizadeh and M. T. Hagh, "Harmonic elimination of cascade multilevel inverters with nonequal DC sources using particle swarm optimization," IEEE Trans. Ind. Electron., Vol. 57, No. 11, pp. 3678-3684, Nov. 2010.

[23] D. W. Kang, H. C. Kim, T. J. Kim, and D. S. Hyun, "A simple method for acquiring the conducting angle in a multilevel cascaded inverter using step pulse waves," in Proc. IEE Electric Power Applications, Vol. 152, No. 1, pp. 103-111, 2005.

[24] L. Yu, H. Hoon, and A. Q. Huang, "Real-time calculation of switching angles minimizing THD for multilevel inverters with step modulation," IEEE Trans. Ind. Electron., Vol. 56, No. 2, pp. 285-293, Feb. 2009.

[25] B. Diong, H. Sepahvand, and K. A. Corzine, "Harmonic distortion optimization of cascaded H-bridge inverters considering device voltage drops and noninteger DC voltage ratios," IEEE Trans. Ind. Electron., Vol. 60, No. 8, pp. 3106-3114, Aug. 2013.

[26] S. A. Abu and W. Ming-yan, "Spectral analysis of hybrid capacitor-clamp cascade 13-level inverter," in International Conference on Industrial Technology (ICIT), pp. 271-276, 2006.

[27] J. R. Wells, G. Xin, P. L. Chapman, P. T. Krein, and B. M. Nee, "Modulation-based harmonic elimination," IEEE Trans. Power Electron., Vol. 22, No. 1, pp. 336-340, Jan. 2007.

[28] M. P. Aguirre, L. Calvino, and M. I. Valla, "Multilevel current-source inverter with FPGA control," IEEE Trans. Ind. Electron., Vol. 60, No. 1, pp. 3-10, Jan. 2013.

[29] P. Zhiguo, P. F. Zheng, K. A. Corzine, V. R. Stefanovic, J. M. Leuthen, and S. Gataric, "Voltage balancing control of diode-clamped multilevel rectifier/inverter systems," IEEE Trans. Ind. Appl., Vol. 41, No. 6, pp. 1698-1706, Nov./Dec. 2005.

[30] F. Blaabjerg, Z. Chen, and S.B. Kjaer, "Power electronics as efficient interface in dispersed power generation systems," IEEE Trans. Power Electron., vol. 19, pp. 1184–1194, 2004.

[31] Z. Chen, J.M. Guerrero, and F. Blaabjerg, "A review of the state of the art of power electronics for wind turbines," IEEE Trans. Power Electron., vol. 24, pp. 1184–1194. 2009.

[32] L.G. Franquelo, J. Rodriguez, J.I. Leon, S. Kouro, R.C. Portillo, and M.A.M. Prats, "The age of multilevel converter arrives," IEEE Ind. Electron. Mag., vol. 2, pp. 28–39, 2008.

[33] J. Rodriguez, L.G. Franquelo, and S. Kouro, "Multilevel converters: an enabling technology for high power applications," Proc. IEEE, vol. 97, pp. 1786–1817, 2009.

[34] Y. Hingo and H. Koizumi, "A single phase multilevel inverter using switched series/paralel dc voltage sourses," IEEE Trans. Ind. Electron, vol. 58, pp. 2643-2650, 2010

[35] M. Farhadi Kangarlu, E. Babaei, and S. Laali, "Symmetric multilevel inverter with reduced components based on non-insulated dc voltage sources," IEEE Trans. Ind. Electron., Nov. 2012

[36] W.k. Chio, and F.S. Kang, "H-bridge based multilevel inverter using PWM switching function," Proc.INTELEC, pp. 1-5, 2009

[37] Eberhart R.C, Kennedy J. "A new Optimizer Using Particle Swarm Theory" In Proceeding of 6th Symposium on Micro Machine and Human Science, Nagoya, Japan, 1995, pp: 34-44.

[38] H. Taghizadeh and M. Tarafdar Hagh,. " Harmonic Elimination of Cascade Multilevel Inverters with Nonequal DC Sources Using Particle Swarm Optimization " .IEEE TRANSACTIONS ON INDUSTRIAL ELECTRONICS, VOL. 57, NO. 11, NOVEMBER 2010.

[39] A.K. Al-Othman *, Tamer H. Abdelhamid. "Elimination of harmonics in multilevel inverters with non-equal dc sources using PSO" Energy Conversion and Management 50 (2009) 756–764.

[40] Tripathi P.K, Bandyopadhyay S, Pal S.K. "Multi-Objective Particle Swarm Optimization with time variant inertia and acceleration coefficients" Information Sciences 177 (2007) 5033–5049.

[41] A. Kashefi Kaviani. S.H. Fathi. N. Farokhnia. A. Jahanbani Ardakani,. " PSO, an Effective Tool for Harmonics Elimination and Optimization in Multi-level Inverters" .978-1-4244-2800-7/09/$25.00 ©2009 IEEE.

[42] Rup Narayan Ray .Debashis Chatterjee, , Swapan Kumar Goswami. "A PSO based optimal switching technique for voltage harmonic reductionof multilevel inverter" .Expert Systems with Applications 37 (2010) 7796–7801.

[43] T.JEEVABHARATHI. V.PADMATHILAGAM. "Harmonic Elimination of Cascaded Multilevel Inverters Using Particle Swarm Optimization".2012 International Conference on Computing, Electronics and Electrical Technologies [ICCEET].

[44] N. Prashanth B. Kumar, J. Yadagiri, A.Dasgupta. "Harmonic Minimization In Multilevel Inverters By Using PSO" ACEEE Int. J. on Control System and Instrumentation, Vol. 02, No. 03, October 2011.

[45] Priyal Mandil and Dr. Anuprita Mishra. "MINIMIZATION OF THD IN CASCADE MULTILEVEL INVERTER USING WEIGHT IMPROVED PARTICLE SWARM OPTIMIZATION ALGORITHM" . InternationalJournal of Applied Control, Electrical and Electronics Engineering (IJACEEE) Vol 2, No.3, August 2014.

[46] Amrita Tuteja, Dr. Amita Mahor, Aarti Sirsat. "A Review on Mitigation of Harmonics in Cascaded H-BridgeMultilevel Inverter using optimization Techniques" . International Journal of Emerging Technology and Advanced

Engineering. ISSN 2250-2459, ISO 9001:2008 CertifiedJournal, Volume 3, Issue 2, February 2013.

[47] BECKER, R. W., and LAGO, G. V, A Global Optimization Algorithm, Proceedings of the 8th Allerton Conference on Circuits and Systems Theory, Monticello, Illinois, pp. 3-12, 1970.

[48] TORN, A., A Search Clustering Approach to Global Optimization, Toward Global Optimization 2, Edited by L. C. W. Dixon and G. P. Szeg6, North-Holland, Amsterdam, Holland, pp. 49-62, 1978.

[49] I. RINNOOY-KAN, A. H. G., and TIMMER, G. T, Stochastic Global Optimization Methods, Part I: Clustering Methods, Mathematical Programming, VoL 39, pp. 27-56, 1987.

[50] PRICE, W. L., A Controlled Random Search Procedure for Global Optimization,Toward Global Optimization 2, Edited by L. C. W. Dixon and G. P. Szeg6, North-Holland, Amsterdam, Holland, pp. 71-84, 1978.

[51] PRICE, W° L, Global Optimization by Controlled Random Search, Journal of OptimizationTheory and Applications, Vol. 40, pp. 333-348, 1983.

[52] PRICE, W. L., Global Optimization Algorithms for a CAD Workstation, Journal of Optimization Theory and Applications, Vol. 55, pp. 133-146, t987.

[53] HOLLANt~, J. H., Adaptation in Natural and Artificial Systems, University of Michigan Press, Ann Arbor, Michigan, 1975.

[54] C. M. Wang, "A Novel ZCS-PWM Power-Factor Preregulator With Reduced Conduction Losses," IEEE Trans. Ind. Electron., vol. 52, no. 3, pp. 689–700, Jun. 2005.

[55] C.Adragna, AN1792 application note, "design of fixed-off-time controlled PFC pre-regulator with the L6562", 2003 STMicroelectronics.

[56] R. Beiranvand, B. Rashidian, M. Zolghadri, and S. M. Alavi, "Design and implement of the PFC Stage of the Ion Implanter's Filament and Arc Power Supplies," ICEE 2009, Vol.3, pages 25-32.

[57] Fairhild Semiconductor Corporation,"Application Note 42047, Power Factor Correction (PFC) Basics", 2004.

[58] Fairchild Semiconductor Corporation,"ML4812 Power Factor Controller", 2001.

[59] Fairchild Semiconductor Corporation "Application Note AN4121, Design of Power Factor Correction Circuit Using FAN7527B", 2002.

[60] C.Adragna, "AN1059 application note design equations of high PF.Flyback converters based on the L6561",2000 STMicroelectronics.

[61] دکتر بیژن رشیدیان،دکتر محمدرضا ذوالقدری،دکترسید محمدحسین علوی "طراحی و ساخت رضا بیرانوند، منابع تغذیهٔ تفنگ یونی با استفاده از مبدلهای تشدیدی جهت اسفاده در سیستم های کاشت یون" ،پایان نامه دکتری مهندسی برق دانشگاه صنعتی شریف، مهرماه ۱۳۸۹.

[62] U.Moriconi," AN1059 application note design equations of high PF.Flyback converters based on the L6561", 2000 STMicroelectronics.

[63] C.Adragna, An1792 application note," design of fixed-off-time-controlled PFC pre-regulator with the L6562", 2003, STMicroelectroics.

# Abstract

Power supplies are used in most electrical equipment. Their applications cut across a wide spectrum of product types, ranging from consumer appliances to industrial utilities, from milliwatts to megawatts, from hand-held tools to satellite communications. In general, the regulator stage of a dc power supply consists of a feedback circuit, a stable reference voltage, and a control circuit to drive a pass element (a solid-state device such as transistor, MOSFET, etc.). The regulation is done by sensing variations appearing at the output of the dc power supply. A control signal is produced to drive the pass element to cancel any variation. As a result, the output of the dc power supply is maintained essentially constant. In a transistor regulator, the pass element is a transistor, which can be operated in its active region or as a switch, to regulate the output voltage. When the transistor operates at any point in its active region, the regulator is referred to as a linear voltage regulator. When the transistor operates only at cutoff and at saturation, the circuit is referred to as a switching regulator. Power dependency has increased dramatically in the new business environment based on e-commerce applications, mobile networks, corporate Internet sites, e-pay and networked IT structures. Near one-hundred percent system availability is mandatory in view of the financial and business consequences. Not only does the absence of power have catastrophic consequences, but also an unnoticed mains disturbance can affect your expensive equipment or critical processes. Power Quality Products are designed to reduce customer risks to power issues.

**به نام خدا**

**پژوهشگاه نیرو**

**نام گزارش**: مرحله دوم فاز مطالعاتی پروژه طراحی و ساخت منبع ولتاژ بدون وقفه هوشمند ۲ کیلووات با قابلیت اصلاح ضریب توان ورودی و کنترل بار

کد گزارش-ویرایش: JEAPN۰۱\T۲

**عنوان پروژه:** طراحی و ساخت منبع ولتاژ بدون وقفه هوشمند ۲ کیلووات با قابلیت اصلاح ضریب توان ورودی و کنترل بار

مدیر پروژه: محمد اسکویی

کارفرما: پژوهشگاه نیرو

**تهیه‌کننده: شرکت توان پژوهان رائین**

**تاریخ :**

## پیشگفتار

در ادامه مرحله اول پروژه طراحی و ساخت منبع ولتاژ بدون وقفه هوشمند ۲ کیلووات با قابلیت اصلاح ضریب توان ورودی و کنترل بار، این گزارش به مرحله دوم پروژه مذکور، که مربوط به طراحی اولیه نمونه نیمه صنعتی اینورتر هوشمند سنکرون با شبکه است، می‌پردازد. هدف از این مرحله، تعیین مقادیر نامی اینورتر مورد نیاز و محدودیت‌های موجود، انتخاب ساختار مناسب و طراحی قطعات ساختی اینورتر، نقشه‌های فنی بردهای قسمت قدرت و کنترل حاصل از طراحی، استخراج وسایل و قطعات مورد نیاز و سفارش خرید و ساخت قطعات است.

کاربرد اینورتر نوع ساختار بخش قدرت و نحوه کنترل را تعیین می‌کند. معمولاً محدودیت های مربوط به قطعات نیمه‌هادی، از قبیل ولتاژ و جریان نامی استفاده از آنها را در برخی کاربردها محدود می کند. در اداوت الکترونیک قدرت شامل ادوات فکتس که اتصال خروجی اینورترها در ولتاژ ۲۰ کیلووت به بالا است، اینورترها با تعداد سطوح پایین به طور کلی قابل استفاده نمی باشند. در این موارد از ساختارهای با تعداد سطوح ولتاژ بالا (اینورترهای چند سطحی) استفاده می شود. اینورترهای با تعداد سطوح بالا قابلیت ساخت اینورترهای با ولتاژ خروجی بالاتر از ۲۰ کیلوولت را خواهند داشت. علاوه بر آن اینورترهای با تعداد سطوح بالا ولتاژ خروجی نزدیک به سینوسی خواهند داشت که باعث می شود هارمونیک ولتاژ خروجی کاهش یابد. در توان های پائین که اینورتر در ولتاژ ۲۲۰ ولت به شبکه متصل می شود افزایش تعداد سطوح ولتاژ، THD ولتاژ خروجی را کاهش می دهد و شکل موج با کیفیت بالاتری ایجاد خواهد شد. افزایش تعداد سطوح هزینه قطعات و قابلیت اطمینان سیستم را کاهش می دهد. هدف از این پروژه طراحی و ساخت اینورتر متصل به شبکه با توان ۲ کیلووات می باشد. در این اینورتر انرژی خروجی از پنلهای خورشیدی به شبکه منتقل می شود که شامل سیستم ذخیره ساز میانی نیز می باشند. سیستم ذخیره ساز این امکان را به وجود می آورد که اینورتر بتواند همانند منبع تغذیه بدون وقفه قسمتی از بار محلی را تامین کند. در این گزارش طراحی قسمتهای مختلف برای یک اینورتر دو کیلووات متصل به شبکه آورده شده است. در قسمت اولیه این گزارش با استفاده از نتایج شبیه سازی عملکرد ساختارهای مختلف با روش‌های کنترلی مناسب مورد بررسی قرار گرفته شده است. در بخش بعدی گزارش مربوط به ملاحظات اولیه طراحی اینورتر شامل نتایج شبیه سازی و پیاده سازی اولیه انجام شده است. نتایج شبیه سازی به خوبی نتایج حاصل از محاسبات اولیه جهت پیدا کردن مقادیر نامی کلیدها و ادوات مغناطیسی را تأیید میکند. نتایج شبیه سازی در نرم افزار مطلب انجام شده است. این اینورتر به دلیل کاربرد خاص آن نیاز به حلقه قفل کننده فاز دارد. حلقه قفل کننده فاز دو نوع می باشد. یک نوع نرم افزاری که با کدهای مناسب این آشکار ساز عمل می کند و دوم توسط سخت افزار می باشد که توسط IC

های خاصی امکان پذیر است. در این ساختار از مدل کد نویسی شده حلقه قفل کننده فاز استفاده می شود که در متن گزارش به تفضیل ارائه خواهد شد.

نقشه بردهای مورد نظر جهت سفارش و چاپ نیز در این گزارش آورده شده است. جزئیات اطلاعات مربوط به هر قطعه به تفضیل شرح داده شده است.

## فهرست مطالب

**عنوان** **صفحه**

**فصل اول ۱**
۱-۱) حذف هارمونیک‌های انتخابی ۳
۱-۲) نحوه کلیدزنی اینورتر چندسطحی ۵
۱-۳) شبیه سازی اینورتر حذف هارمونیک انتخابی ۱۱سطحی با تابع هدف دامنه و THD ۸
۱-۴) شبیه سازی اینورتر حذف هارمونیک انتخابی با تابع هدف پیشنهادی ۱۳
۱-۴-۱) شبیه سازی اینورتر حذف هارمونیک انتخابی ۱۱ سطحی ۱۴
۱-۴-۲) شبیه سازی اینورتر حذف هارمونیک انتخابی ۷ سطحی ۲۰
۱-۴-۳) شبیه سازی اینورتر حذف هارمونیک انتخابی ۱۳ سطحی ۲۶
۱-۵) نتایج حاصل از شبیه سازی عملکرد اینورتر با بار موتور القایی سه فاز ۳۲
۱-۶) روش کلیدزنی بهینه ۳۴
۱-۷) مقایسه روشهای مختلف کلیدزنی در این گزارش ۴۵
۱-۸) مقادیر نامی اینورتر مورد نیاز و محدودیت‌های موجود ۴۶
**فصل دوم ۴۹**
۲-۱) طراحی حلقه قفل شده فاز (PLL) ۵۰
۲-۲) ساختار مناسب جهت طراحی مدار قدرت ۷۱
۲-۳) روش اجرائی بکارگیری محصول ۸۱
**فصل سوم ۸۶**
۳-۱) نقشه مبدل DC-DC تمام پل تک‌فاز ۸۷
۳-۲) شماتیک طراحی اینورتر تمام پل تک فاز (DC-AC) ۹۰
۳-۳) شماتیک طراحی میکروکنترلر مورد استفاده در طراحی مبدل متصل به شبکه (DC-AC) ۹۲
**فصل چهارم: ۹۶**
۴-۱- قطعات مورد استفاده در مبدل DC-DC ۹۷
۴-۲- قطعات مورد استفاده در مبدل DC-AC ۱۰۵

۴-۳- طراحی میکروکنترلر ..... ۱۱۱
**فصل پنجم:** ..... **۱۲۷**
۵-۱- طبقه بندی ..... ۱۲۹
۵-۲- ارزیابی عملکرد ..... ۱۴۰
۵-۳- کاربردها ..... ۱۴۲
۵-۴- تجهیزات ذخیره‌سازی انرژی ..... ۱۴۳
**فصل ششم:** ..... **۱۴۴**
تجهیزات ذخیره‌سازی انرژی ..... ۱۴۴

# فهرست شکل‌ها

**عنوان** **صفحه**

شکل(۱-۱): اینورتر نیم‌پل تک‌فاز..... ۴
شکل(۱-۲): اینورتر تمام پل تک فاز..... ۵
شکل (۲-۱) : درایو موتور الکتریکی مبتنی بر یک مبدل چند سطحی..... ۹
شکل (۲-۲) : اینورتر با دیود کلمپ شده..... ۱۱
شکل (۲-۳) : ساختار خازن شناور..... ۱۴
شکل (۲-۴) : اینورتر پل H سری..... ۱۷
شکل (۲-۵) : توپولوژی سلول‌های چند سطحی Generalized..... ۱۹
شکل (۲-۶) : مدار کلیدزنی در ولتاژ صفر اینورتر خازن – شناور..... ۲۰
شکل (۲-۷) : اتصال سری– موازی به سیستم الکتریکی دو اینورتر پشت‌به‌پشت..... ۲۱
شکل (۲-۸): توپولوژی چندسطحی مرکب..... ۲۲
شکل (۲-۹): مقایسه اینورترهای دیودکلمپ، خازن‌شناور، P۲ و کاسکد ازنظر تعداد قطعات به‌کاررفته در ساختار فیزیکی بر اساس تعداد سطوح مختلف..... ۲۳
شکل (۳-۱): طبقه‌بندی روش‌های مدولاسیون چندسطحی..... ۲۵
شکل(۳-۲): مدولاسیون تکی عرض پالس..... ۲۷
شکل(۳-۳): شکل هارمونیک مدولاسیون عرض پالس منفرد..... ۲۸
شکل (۳-۴) : اساس روش PWM سینوسی برای اینورتر پل سه فاز..... ۲۹
شکل (۳-۵) : بلوک دیاگرام کنترل روش PWM سینوسی با کنترل جریان لحظه‌ای..... ۳۳
شکل (۳-۶) : بلوک دیاگرام کنترل PWM باند هیسترزیس..... ۳۴
شکل (۳-۷) : اساس کنترل جریان باند هیسترزیس..... ۳۵
شکل (۳-۸) : سیگنال‌های اینورتر سه‌سطحی به‌ازای Mf های فرد..... ۳۷
شکل (۳-۹) : سیگنال‌های اینورتر سه‌سطحی به‌ازای Mf های زوج..... ۳۸

شکل(۳-۱۰): شکل موج ولتاژ خط به خط با استفاده از منابع dc مستقل (۶۰ ولت) اینورتر چندسطحی کاسکد با دو تکنیک سوم PWM مبتنی بر موج حامل در شاخص مدولاسیون واحد در فرکانس ۲kHz (الف) SPWM (ب) THPWM ..... ۳۹
شکل (۳-۱۱): روش کنترلی PD با $m_a$=۰,۸ و $m_f$=۲۴..... ۴۱
شکل (۳-۱۲): روش کنترلی POD با $m_a$=۰,۸ و $m_f$=۲۴..... ۴۲
شکل (۳-۱۳): روش کنترلی APOD با $m_a$=۰,۸ و $m_f$=۲۴..... ۴۳
شکل (۳-۱۴): مجموعه موج‌های حامل و سیگنال مرجع سینوسی با شاخص مدولاسیون ۰,۸..... ۴۳
شکل (۳-۱۵): مدار آنالوگ معادل معادلات ۳-۱۶ الی ۳-۱۹..... ۴۴
شکل (۳-۱۶): نمایش موج‌های حامل و سیگنال مرجع در مدولاسیون SFO-PWM..... ۴۵
شکل (۳-۱۷): نمایش نحوه تعادل کلیدزنی در کلیدها توسط افزایش فرکانس موج‌های حامل..... ۴۵
شکل (۳-۱۸): نحوه جابجایی سیگنال مرجع در بین باندهای حامل برای شاخص مدولاسیون کمتر از ۰,۵..... ۴۷
شکل (۳-۱۹): نحوه جابجایی مطلوب سیگنال مرجع برای شاخص مدولاسیون کمتر از ۰,۳۳ و افزایش سه برابری فرکانس حامل..... ۴۷
شکل (۳-۲۰): نحوه جابجایی نامطلوب سیگنال مرجع برای شاخص مدولاسیون کمتر از ۰,۳۳ و افزایش سه برابری فرکانس حامل..... ۴۸
شکل (۳-۲۱): روند حرکت ذرات در یک گروه..... ۵۳
شکل(۳-۲۲): مقایسه پاسخ بهینه روش‌های ریاضی و بهینه‌سازی..... ۵۷
شکل(۳-۲۳) تقسیم‌بندی قسمت‌های مختلف یک کروموزوم..... ۵۸
شکل (۳-۲۴) تقسیم‌بندی قسمت‌های مختلف یک کروموزوم..... ۵۹
شکل (۳-۲۵): نحوه تولید نسل جدید..... ۶۰
شکل (۳-۲۶): محاسبه شایستگی F(I) برای عضو I..... ۶۹
شکل (۴-۱): اینورتر با ساختار منبع انشعابی..... ۷۵
شکل (۴-۲): اینورتر با توپولوژی انباره خازنی..... ۷۷
شکل (۴-۳): اینورتر نیم موج لینک DC متغیر..... ۷۸
شکل (۴-۴): اینورتر با آرایش ۶ سوئیچی..... ۷۹
شکل (۴-۵): آرایش اینورتر PWM DC-AC تمام موج ۴ سوئیچه برای موتور سه فاز..... ۷۹

شکل (۴-۶): تغذیه یک بار سه فاز از دو منبع ولتاژ با اختلاف‌فاز ۶۰ نسبت به یکدیگر ۸۰
شکل (۴-۷): دیاگرام برداری شیفت فازی ۶۰ درجه ۸۰
شکل (۴-۸): شکل موج‌های ولتاژ و جریان یک اینورتر چهار سوئیچی در درایو یک موتور القایی ۸۲
شکل (۴-۹): شکل موج‌های واقعی از قبیل، BEMF فازی، جریان و گشتاور فازی موتور BLDC سه فاز با اینورتر چهارسوئیچه ۸۳
شکل (۴-۱۰): پروفایل‌های ولتاژ و جریان موردنیاز موتور BLDC برای داشتن گشتاور ثابت ۸۴
شکل (۴-۱۱): فلوی جریان فازها در مودهای مختلف درایو موتور BLDC با اینورتر ۴ سوئیچ ۸۵
شکل (۴-۱۲): تنظیم جریان فازها و ترتیب کلیدزنی سوئیچ‌ها در درایو موتور BLDC با اینورتر ۴ سوئیچه ۸۶
شکل (۴-۱۳): استراتژی کنترل مستقیم جریان PWM برای حذف اثر ولتاژ ضد محرکه فاز C ۸۷
شکل (۴-۱۴): مدار معادل ساده‌شده درایو در مودهای کاری ۲ و ۵ ۸۸
شکل (۴-۱۵): مبدل ماتریسی سه فاز ۳×۳ ۹۰
شکل (۴-۱۶): جایگذاری یک اینورتر شش پله‌ای با یک اینورتر ماتریسی متصل شده به موتور BLDC ۹۲
شکل (۴-۱۷): مبدل ماتریسی تک‌فاز به سه‌فاز ۹۳
شکل (۴-۱۸): ساختار جدید مبدل ماتریسی با سوئیچ‌های کمتر ۹۴
شکل (۴-۱۹): اینورتر NPC سه سطحی ۹۶
شکل (۴-۲۰): حالات کلیدزنی سیگنال‌های گیت و ولتاژ پایانه اینورتر VAZ ۹۷
شکل (۴-۲۱): دیاگرام تک‌فازی اینورترهای با بست دیودی ۴ و ۵ سطحی ۹۸
شکل (۴-۲۲): اینورترهای منبع امپدانسی ۱۰۲
شکل (۴-۲۳): ترکیب سری و موازی کلیدها با دیود در اینورترهای منبع امپدانسی ۱۰۲
شکل (۵-۱): مشخصه‌های عملکردی پویای ولتاژ خروجی UPS ۱۵۰
شکل (۵-۲): مثالی برای شکل موج ولتاژ خروجی غیر سینوسی ۱۵۲

# فهرست جدول‌ها

**عنوان** **صفحه**

جدول (۲-۱) : حالات سوئیچ‌ها برای اینورتر شش سطحی دیود کلمپ..... ۱۳
جدول (۲-۲) : حالات سوئیچ‌ها برای اینورتر چهارسطحی خازن شناور..... ۱۵
جدول (۲-۳): روابط حاکم بر فاز a سلول‌های پل H..... ۱۶
جدول (۲-۴): مقایسه‌ی تعداد المان‌ها در ساختارهای مختلف اینورترهای چندسطحی..... ۱۸
جدول (۲-۵) تعداد قطعات به‌کاررفته در ساختار فیزیکی اینورترهای m سطحی با توپولوژی مختلف..... ۲۳
جدول (۳-۱) : خانواده‌ی هارمونیک‌های $I_a$ خروجی برای SPWM با$\omega_c/\omega=۱۵$ ..... ۳۱
جدول (۳-۲) امکان افزایش فرکانس کلیدزنی برای شاخص‌های مدولاسیون..... ۴۸
جدول (۳-۳) : تفاوت‌های بنیادی روش محاسباتی متداول و شبکه‌های عصبی مصنوعی..... ۶۵
جدول (۴-۱): حالت‌های مختلف کاری اینورتر منبع انشعابی..... ۷۶
جدول(۴-۲): مودهای کاری، وضعیت فازها و جریان‌ها و ترتیب کلیدزنی سوئیچ‌ها در درایو BLDC با اینورتر چهار سوئیچه.. ۸۵
جدول (۴-۳): مقایسه قیمت دو اینورتر ۴ سوئیچه و ۶ سوئیچه برای کاربردهای توان پائین..... ۸۹
جدول (۴-۴): الگوریتم سوئیچینگ جهت تغذیه به موتور BLDC ..... ۹۴
جدول (۴-۵): تعریف حالات کلیدزنی..... ۹۶
جدول (۴-۶): موقعیت کلید و ولتاژ پایانه اینورتر VAN ..... ۹۹
جدول (۴-۷): تعداد عناصر در اینورترهای چند سطحی با بست دیودی..... ۹۹

# فصل اول

# شبیه سازی اینورتر ۱۱ سطحی، مقایسه با روش پیشنهادی و تعیین مقادیر نامی اینورتر مورد نیاز و محدودیت‌های موجود

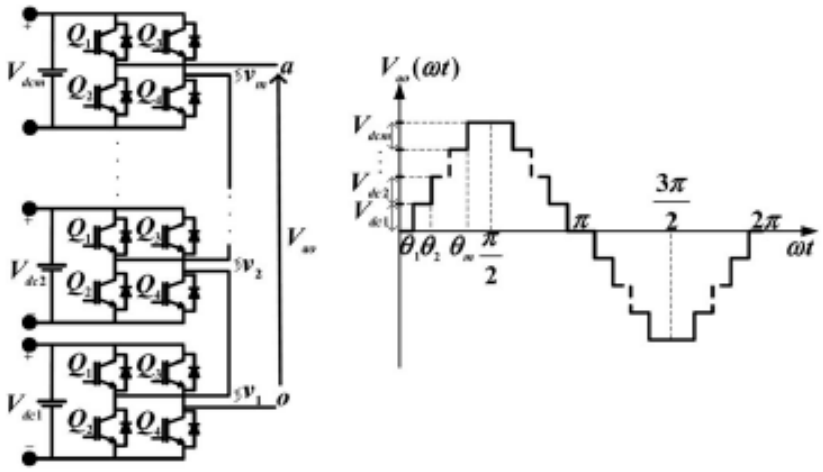
اینورترهای چندسطحی ساختاری ساده و مناسب برای رسیدن به توان و کیفیت بالای شکل موج خروجی به همراه پاسخ دینامیکی قابل اطمینان دارند. هارمونیک‌ها با تغییر شکل موج سینوسی ولتاژ شبکه که بسته به مرتبه‌ی هارمونیک دارد، آسیب‌های متفاوتی به تجهیزات الکتریکی شبکه وارد می‌کنند. در نتیجه مسئله‌ی هارمونیک زدایی در اینورترهای چند سطحی مطرح می‌باشد. مبدل‌های چند سطحی شکل‌های مداری متفاوتی دارند که شناخته شده‌ترین آنها مبدل‌های چندسطحی بر مبنای اتصالات کسکید[۱] است، به گونه‌ای که اگر s تعداد اینورترهای تمام پل چندسطحی باشد، (۲s+۱) تعداد سطوح خواهد بود. این اینورترها به علت مدولاسیون و سادگی در کنترل توجه زیادی به خود جلب کرده‌اند. برای کنترل ولتاژ خروجی و حذف هارمونیک‌های ناخواسته در مبدل‌های چند سطحی روش‌های مدولاسیون PWM سینوسی و PWM فضای حالت در [۶] بیان شده است. روش‌های دیگری برای انتخاب مناسب زمان کلیدزنی وجود دارد که بتوان هارمونیک‌های مرتبه بالایی مانند پنجم، هفتم، نهم و یازدهم را در ولتاژ خروجی اینورتر حذف کرد به این روش حذف هارمونیک انتخابی (SHE) یا روش PWM برنامه‌ریزی شده می‌گویند [۸-۷]. مرجع [۱۱] الگوریتم های PSO و GA با انتخاب زاویه‌ی کلید زنی مناسب به کاهش THD در اینورتر چند سطحی می‌پردازد. در [۱۳] هارمونیک زدایی در اینورتر چند سطحی با منبع DC معادل با استفاده از الگوریتم بهینه سازی PSO بیان شده است. همچنین در [۱۴] روش‌های هارمونیک‌زدایی با الگوریتم جستجوی تصادفی PSO در اینورترهای چندسطحی کسکید بدون منابع تغذیه DC ایزوله بیان شده است. در این فصل سعی شده با کمک الگوریتم‌های بهینه‌سازی بر مبنای جهش قورباغه هارمونیک‌های انتخابی را با انتخاب زاویه‌ی کلیدزنی مناسب حذف کرده (SHE) و THD ولتاژ خروجی را برای اینورترهای چندسطحی تمام پل کسکید مختلف کاهش دهیم. به این منظور از نرم افزار MATLAB برای نمایش نتایج و اثبات کارایی الگوریتم استفاده شده است. در این فصل علاوه بر شبیه سازی فوق الذکر مقایسه هم بین روش‌های پیشنهادی صورت گرفته است.

[۱] cascade

## ۱-۱) حذف هارمونیک‌های انتخابی

شکل (۱-۱ الف) ساختار یک اینورتر چندسطحی کسکید تمام پل را نشان می‌دهد که برای ایجاد شکل موج خروجی ۲s+۱ پله‌ای استفاده شده است و شکل (۱-۱- ب) شکل موج ولتاژ پله ای تولید شده توسط مبدل چندسطحی را نشان می‌دهد.

یک مبدل چندسطحی تمام پل کسکید که از اتصال سری چندین اینورتر تکفاز تمام پل بدست می‌آید، شامل منبع تغذیه‌ای است که از مجموع چندین منبع dc جداگانه تشکیل شده است. ویژگی این ساختار این است که مدولاسیون، حفاظت و کنترل هر پل مجزا است و به هر تعداد سطح مورد نیاز بسط داده می‌شود. همچنین هر اینورتر تمام پل تکفاز به یک منبع dc جداگانه متصل شده و شکل موج ولتاژ مربعی را در ترمینال ac اش تولید می‌کند. هر پل سه ولتاژ ۰، Vdc+ و Vdc- را با توجه به وضعیت کلیدهای $Q_1$ تا $Q_4$ تولید می‌کند. ولتاژهای ac خروجی به شکل سری به هم متصل شده‌اند و ولتاژ خروجی اینورتر ($V_o$) مجموع آنها می‌باشد. شکل موج ولتاژ خروجی در شکل (۴-۱-ب) نشان داده شده است، تعداد سطح‌های ولتاژ فاز خروجی یک اینورتر چندسطحی تمام پل (۲s+۱) است که s تعداد منابع dc جداگانه می‌باشد. برای دستیابی به ساختار سه فاز، خروجی اینورترهای تکفاز کسکید را می‌توان به صورت Y یا Δ اتصال داد.




(ب) (الف)

شکل۱-۱: الف: ساختار اینورتر چند سطحی تمام پل cascade، ب: شکل موج ولتاژ فاز خروجی پلکانی

برای تولید شکل موج پلکانی در اینورتر چند سطحی کلیدزنی المان‌های اکتیو در فرکانس اصلی انجام می‌شود و شکل موج خروجی هر یک از پل ها بصورت مربعی می‌باشد. تعداد هارمونیک‌های قابل حذف برای شکل موج پلکانی برابر S-۱ است که S تعداد منابع تغذیه جداگانه در اینورتر می‌باشد.

با بسط سری فوریه‌ی شکل موج ولتاژ خروجی اینورتر با منبع dc جداگانه را در رابطه (۱-۱) داریم:

$$V_o(\mathrm{wt}) = \sum_{n=1,3,5...}^{\infty} \frac{4V_{dc}}{n}[\cos(\mathrm{n}\,\theta_1) + \cos(\mathrm{n}\,\theta_2) + \cos(\mathrm{n}\,\theta_3) + \cos(\mathrm{n}\,\theta_5)]\sin(wt) \qquad (۱-۱)$$

برای اینورتر ۱۱ سطحی، S=۵ است و می‌توان S-۱ هارمونیک را حذف کرد. در نتیجه هارمونیک های ۳، ۵، ۷ و ۹ام در حالت تکفاز حذف می‌شوند. و برای اینورتر ۷ سطحی S=۳ و در نتیجه ۲ هارمونیک را می‌توان حذف کرد.

Vdc ولتاژ نامی و زوایای آتش (کلید زنی) $\theta_s,...\theta_3,\theta_2,\theta_1$ باید در محدوده‌ی (۱-۲) تعریف شوند:

$$0 < \theta_1 < \theta_2 < ... < \theta_s < \frac{\pi}{2} \qquad (۱-۲)$$

مجموعه معادلاتی که باید برای یک اینورتر ۱۱ سطحی با هارمونیک‌های مرتبه ی سوم، پنجم، هفتم و نهم در نظر گرفته شود از رابطه (۱-۳) بدست می‌آید:

$$\begin{aligned}
&\cos(\theta_1)+\cos(\theta_2)+\cos(\theta_3)+\cos(\theta_4)+\cos(\theta_5) = S(m) \\
&\cos(3\theta_1)+\cos(3\theta_2)+\cos(3\theta_3)+\cos(3\theta_4)+\cos(3\theta_5) = 0 \\
&\cos(5\theta_1)+\cos(5\theta_2)+\cos(5\theta_3)+\cos(5\theta_4)+\cos(5\theta_5) = 0 \\
&\cos(n\theta_1)+\cos(n\theta_2)+\cos(n\theta_3)+\cos(n\theta_4)+\cos(n\theta_5) = 0
\end{aligned} \qquad (۱-۳)$$

و برای مثال، جهت حذف هارمونیک‌های پنجم و هفتم یک اینورتر ۷ سطحی، مجموعه معادلات به صورت رابطه (۱-۴) خواهد شد:

$$\begin{aligned}
&\cos(\theta_1)+\cos(\theta_2)+\cos(\theta_3) = S(m) \\
&\cos(5\theta_1)+\cos(5\theta_2)+\cos(5\theta_3) = 0 \\
&\cos(7\theta_1)+\cos(7\theta_2)+\cos(7\theta_3) = 0
\end{aligned} \qquad (۱-۴)$$

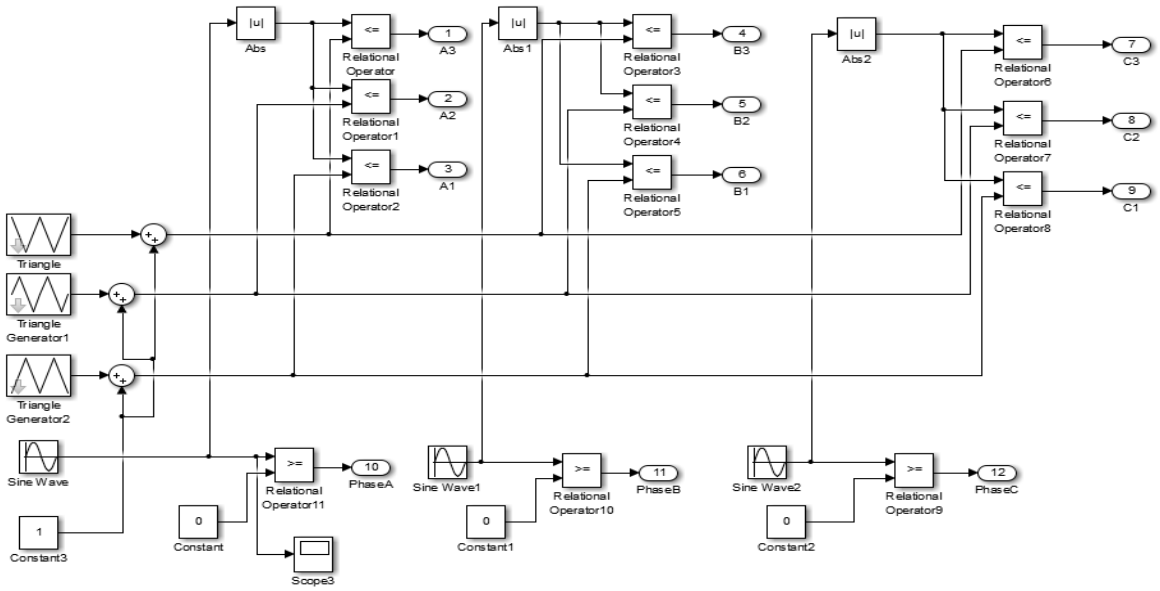
که $m = \frac{v_1}{(4v_{dc}/\pi)}$ شاخص مدولاسیون، و ضریب مدولاسیون $m_a = \frac{m}{s}$ می‌باشد. هدف اصلی بهینه

کردن مقدار THD می‌باشد، تابع هدف برای بهینه کردن THD از رابطه‌ی (۱-۵) بدست می‌آید:

$$F(t) = \sqrt{\sum_{n=3,5,7,\ldots}^{63} (v_1)^2} / v_1 \qquad (۵-۱)$$

## ۱-۲) نحوه کلیدزنی اینورتر چندسطحی

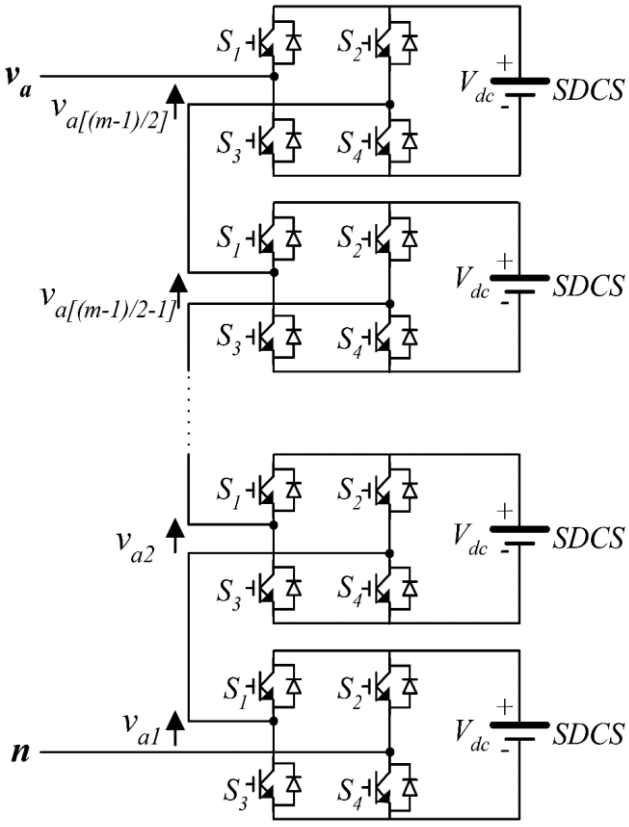
در شکل ۱-۲ مدار کنترلی برای ایجاد زوایای کلیدزنی مورد نظر آورده شده است. همان‌طور که مشاهده می‌شود از سه‌سینوسی با اختلاف فاز ۱۲۰ درجه برای ایجاد مرجع ولتاژ خروجی استفاده شده است و با توجه به مقایسه‌ای که بین زوایای کلیدزنی و شکل موج دندانه اره‌ای ایجاد شده است سیگنالهای کلیدزنی به وجود می‌آیند. از سه مقدار کسینوس مشخص شده به عنوان یک مقدار ثابت استفاده می‌شود. از مقایسه این مقدار ثابت با مقدار لحظه ای Cos(wt)، لحظه کلیدزنی بدست می‌آید.




شکل(۱-۲): مدار طراحی شده برای انتخاب بردار مورد نظر و اعمال به اینورتر

اولین سطح کلید زنی را پل H نشان داده شده در شکل (۱-۲) ایجاد می‌کند. به همین ترتیب سطوح بالاتر را پلهای H بالاتر ایجاد می‌کنند.

در شکل ۱-۳ مدار قدرت برای یک اینورتر تمام پل آبشاری که دارای چند سلول است که بصورت سری قرار گرفته اند، نشان داده شده است. همانطور که در این شکل نشان داده شده است هر پل از ۴ ماسفت تشکیل شده است و می تواند سه سطح ولتاژ ایجاد کند.




شکل(۴-۳) نمای تکفاز اینورتر تمام پل چند سطحی استفاده شده در شبیه سازی متلب

الگوریتم SFLA را در تابع هدف کمینه کردن THD با شرط دامنه هارمونیک اصلی پیاده کردیم، نتایج شبیه‌سازی در نرم افزار متلب بیانگر کارایی این الگوریتم‌ها می‌باشد. در این قسمت $\theta_1,\theta_2,\theta_3,\ldots,\theta_s$ را برای ضریب مدولاسیون ۰,۹ برای الگوریتم‌های مختلف برای اینورترهای ۱۱ سطحی تمام پل تکفاز آبشاری بدست آورده شده و THD های متناظر تا هارمونیک شصت و سوم بدست آمده است. جداول مقایسه‌ای مختلف بین مقادیر $\theta_1,\theta_2,\theta_3,\ldots,\theta_s$ بهینه شده در ضریب مدولاسیون ۰,۹ ارائه شده‌اند، که با

وجود اینکه الگوریتم های مختلف در کاهش THD ولتاژ خروجی مؤثر بودند ولی نتایج SFLA در مقایسه با الگوریتم‌های دیگر رضایت بخش‌تر است. برای نشان دادن صحت عملکرد الگوریتم فوق، روش‌های مختلف قدیمی‌تر برای پیدا کردن زوایای کلیدزنی مورد مقایسه قرار گرفته‌اند. در ادامه روش بهینه‌سازی SFLA با الگوریتم بهینه‌سازی PSO نیز مورد بررسی قرار گرفته است. توضیح مختصری از روش‌های موجود برای پیدا کردن زاویه بهینه در ادامه آورده می‌شود:

الف) روش فاز مساوی[۱]:

در این روش طبق رابطه (۴-۵) یک سیکل کلیدزنی به فواصل مساوی برای کلیدزنی تقسیم می‌شود.

$$\alpha_i = i\frac{180^\circ}{m} \qquad where \qquad i = 1,2,...,\frac{m-1}{2} \tag{۵-۱}$$

که در آن m تعداد سطوح اینورتر می‌باشد.

ب) روش فاز مساوی برای یک نیم سیکل[۲] :

از آنجایی که اینورترهای چند سطحی دارای تقارن نیم سیکل می باشند میتوانند از تقسیم فاز در یک نیم سیکل برای تعیین زوایای کلیدزنی ا ستفاده کنند. در این روش یک نیم سیکل کلید زنی به فواصل مساوی برای کلیدزنی تقسیم می‌شود، که طبق رابطه (۱-۶) می‌باشد.

$$\alpha_i = i\frac{90^\circ}{\frac{m+1}{2}} = \frac{180^\circ}{m+1} \qquad where \qquad i = 1,2,...,\frac{m-1}{2} \tag{۶-۴}$$

همانطور که پیشتر نیز بیان شد برای پیدا کردن زوایای بهینه می توان از توابع هدف مختلفی استفاده کرد. تابع هدف مورد بررسی در این قسمت کاهش مقدار THD شکل موج خروجی برای

[۱] Equal Phase Method (EP)

[۲] Half Equal Phase Method (HEP)

روش‌های مختلف بهینه‌ســـازی می‌باشـــد. در این پایان نامه دو تابع هدف برای کاهش THD در نظر گرفته شده ا ست. تابع هدف اول کاهش دامنه چند هارمونیک به همراه کنترل دامنه ا صلی می‌با شد ولی در برخی مراجع روش دوم یعنی تنها بهبود THD در نظر گرفته شده است.

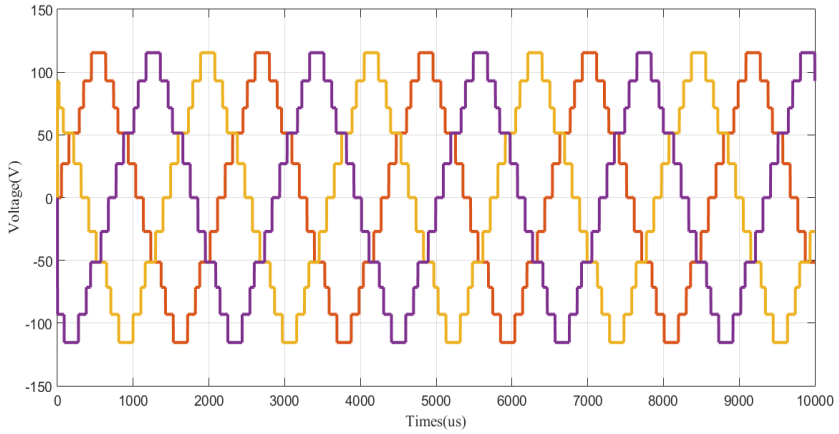
## ۱-۳) شبیه سازی اینورتر حذف هارمونیک انتخابی ۱۱سطحی با تابع هدف دامنه و THD

در این بخش یک روش جدید برای کنترل دامنه هارمونیک اصلی با استفاده حذف هارمونیک انتخابی ارائه شده است. در این روش از یک تابع هدف که شامل در نظر گرفتن دامنه اصلی و کنترل دامنه هارمونیک‌های ۵ و ۷ و ۱۱ و ۱۳ و ۱۷ می‌باشد. تفاوت اصلی این تابع تبدیل با تابع تبدیلی که در ادامه اشاره می‌شود، اضافه شدن دامنه هارمونیک اصلی برای انتخاب زوایای بهینه می‌باشد. مسلماً THD به دست آمده از تابع هدف فعلی در مقایسه با تابع هدفی که در ادامه به آن پرداخته خواهد شد بیشتر است ولی دامنه هارمونیک اصلی بهینه‌تر خواهد بود. برای کارایی این روش تابع هدف فوق توسط الگوریتم SFLA شبیه‌سازی شده است که با دو روش دیگر مقایسه می‌شود.

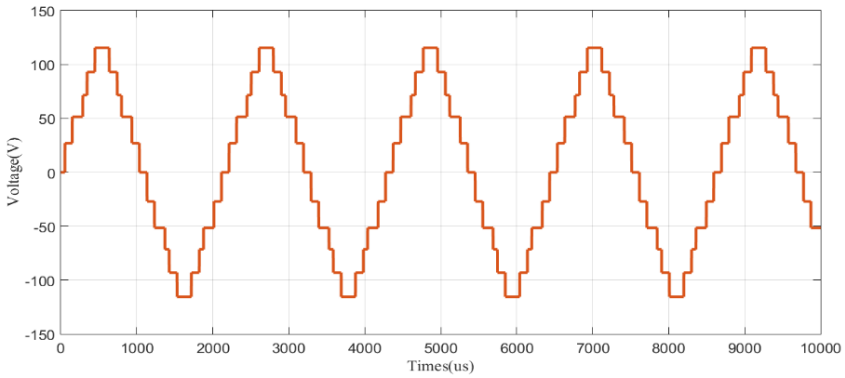
شکل موج خروجی اینورتر ۱۱ سطحی قبل از فیلتر به همراه طیف هارمونیکی آن برای تابع هدف دامنه و هارمونیک‌های انتخابی در شکل ۱-۴ نشان داده شده است. (فیلتر، یک سلف سری به همراه خازن موازی می باشد که در خروجی قرار می گیرد) همانطور که مشخص است برای یک اینورتر آبشاری ۱۱ سطحی ۵ زاویه کلیدزنی مورد نیاز است. این ۵ زاویه کلید زنی توسط روش EP مشخص شده‌اند. که مقادیر این زوایا در جدول ۱-۱ آورده شده است. THD حاصل از این روش برابر ۲۲/۶۲ می‌باشد که در این شکل با استفاده FFT[۱] متلب بدست آمده است. در این روش نگاهی به دامنه هارمونیک‌ها نخواهد

[۱] fast Fourier transform

شد، این موضوع را می‌توان از طیف فرکانسی شکل موج خروجی اینورتر مشاهده کرد. همان‌طور که مشاهده می‌شود همه انواع هارمونیک‌ها در شکل موج خروجی اینورتر وجود دارد.

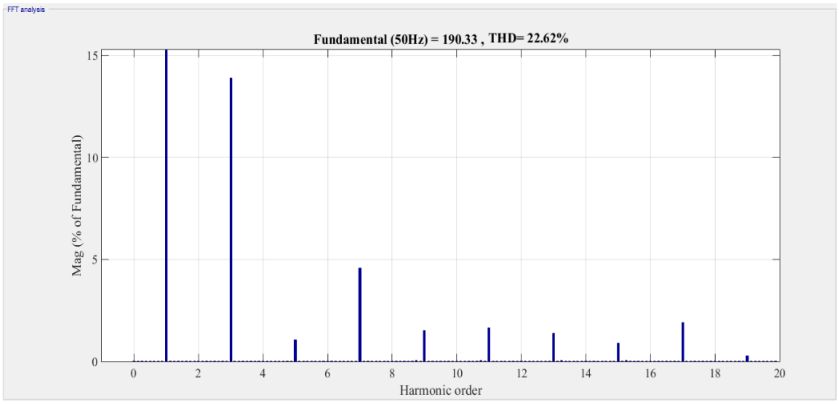



(الف)




(ب)

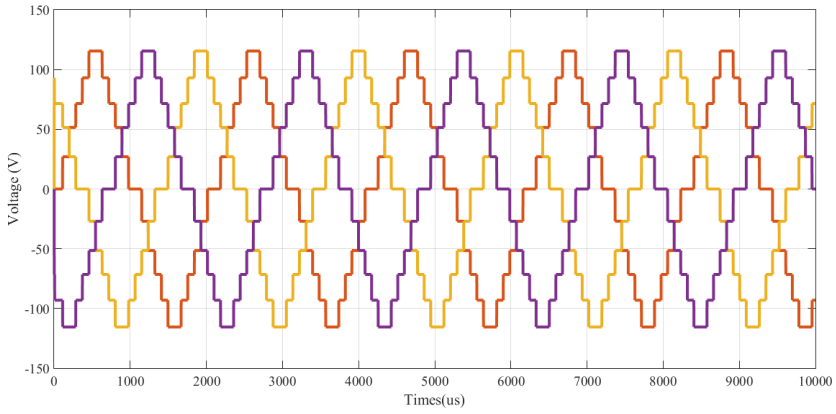
یک روش دیگر که در این پایان نامه برای مقایسه با عملکرد SFLA در نظر گرفته شده است و از روش‌های مرسوم انتخاب زوایای کلیدزنی می باشد HEP است. ۵ زاویه محاسبه شده از این روش برای اینورتر آبشاری در محیط سیمولینک پیاده‌سازی شده است. شکل موج خروجی اینورتر بدون فیلتر به همراه طیف فرکانسی در شکل ۱-۵ نشان داده شده است. در این اینورتر ۵ زاویه کلیدزنی توسط روش HEP مشخص شده‌اند. که مقادیر این زوایا در جدول ۱-۱ آورده شده است. THD حاصل از این روش برابر ۲۰/۱۶ می باشد که در این شکل با استفاده FFT متلب بدست آمده است. از آنجایی که در این



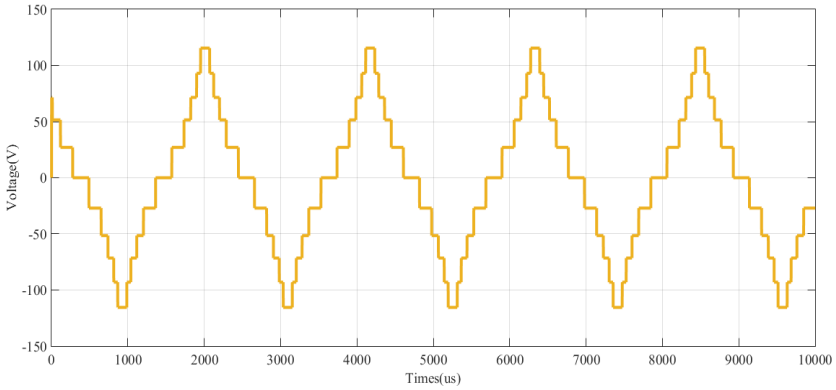

(ج)

شکل(۱-۴): شکل موج خروجی اینورتر برای روش حذف هارمونیک انتخابی در اینورتر ۱۱ سطح و انتخاب زوایا به روش EP

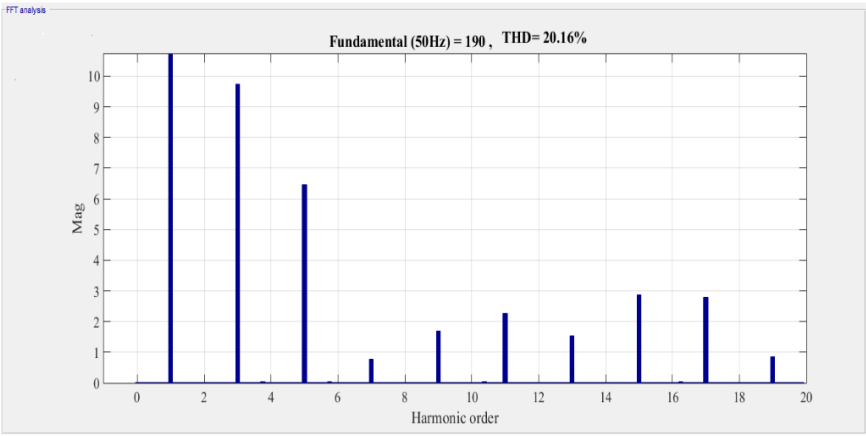
روش حذف هارمونیک خاصی مورد نظر طراح نبوده است، طیف وسیعی از هارمونیک‌های گوناگون در آنالیز فرکانسی شکل موج وجود دارد. ولی به دلیل ماهیت زوج بودن این نحوه انتخاب زوایا هارمونیک-های زوج در این روش کلیدزنی حذف می‌شوند. ولی در مقایسه با الگوریتمهایی که از روش‌های بهینه-سازی استفاده می کنند برای پیدا کردن زوایا همچنان دارای ضعف هستند.




(الف)




(ب)

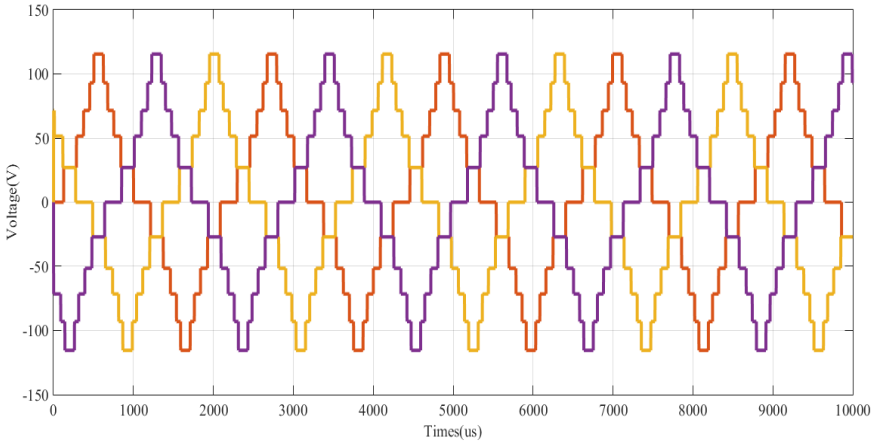



(ج)

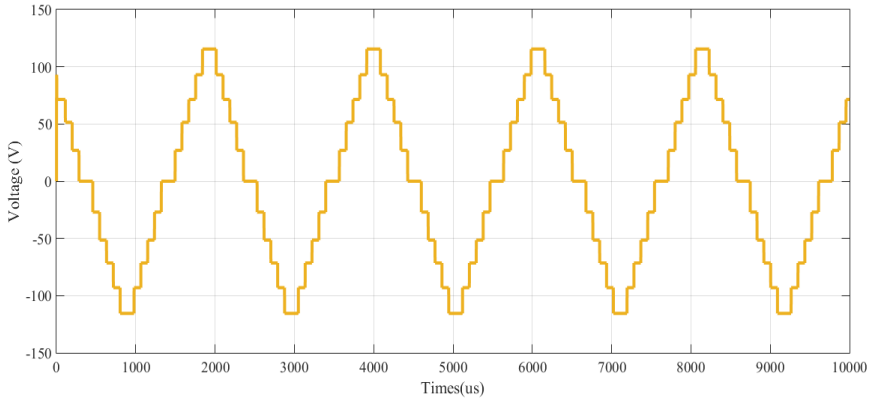
شکل(۱-۵): شکل موج خروجی اینورتر برای روش حذف هارمونیک انتخابی در اینورتر ۱۱ سطح و انتخاب زوایا به روش HEP

شکل موج خروجی اینورتر بدون فیلتر به همراه طیف فرکانس در شکل ۴-۶ نشان داده شده است. در این اینورتر ۵ زاویه کلیدزنی توسط روش SFLA مشخص شده‌اند. که مقادیر این زوایا در جدول ۱-۱ آورده شده است. THD حاصل از این روش برابر ۹/۹ می‌باشد که در این شکل با استفاده FFT متلب بدست آمده است. همانطور که در این شکل نشان داده شده است کیفیت شکل موج خروجی به مراتب بهتر از سایر روشها است و دامنه هارمونیک اصلی نسبت به سایر هارمونیک‌ها از مقدار بیشتری برخوردار است. این روش بهینه‌سازی دامنه هارمونیک اصلی و برخی هارمونیک‌ها از

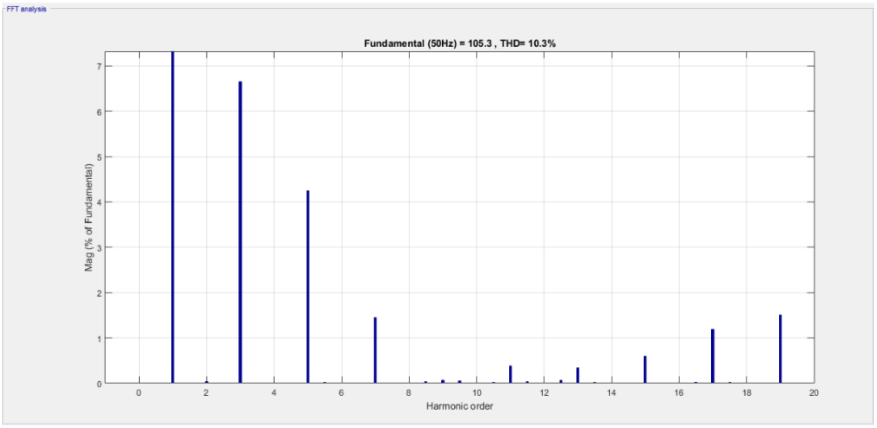
دامنه اصلی مقدار کمتری را کاهش می‌دهد ولی THD آن نسبت به تابع هدفی که تنها THD را در حالت مینیمم قرار می‌دهد به مراتب بهتر است.




(الف)




(ب)




(ج)

شکل(۱-۶) :شکل موج خروجی اینورتر برای روش حذف هارمونیک انتخابی با تابع هدف دامنه و هارمونیک انتخابی در اینورتر ۱۱ سطح با استفاده از روش SFLA

جدول ۱-۱: مقایسه بین زوایای کلید زنی و THD الگوریتم SFLA ، با سایر روش ها برای اینورتر ۱۱ سطحی

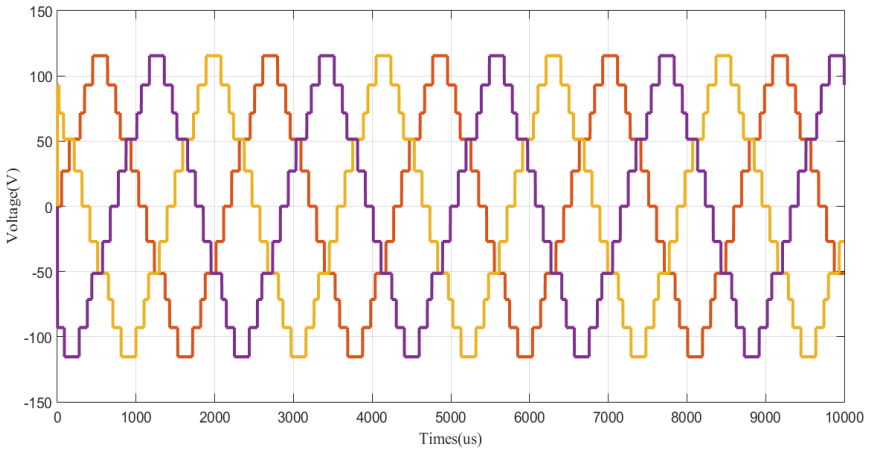
| | $\theta_1$ | $\theta_2$ | $\theta_3$ | $\theta_4$ | $\theta_5$ | THD |
|---|---|---|---|---|---|---|
| EP | ۱۶,۳۶ | ۳۲,۷۲ | ۴۹,۰۹ | ۶۵,۴۵ | ۸۱,۸۱ | ۲۲,۶۲ |
| HEP | ۱۵ | ۳۰ | ۴۵ | ۶۰ | ۷۵ | ۲۰,۱۶ |
| SFLA | ۱۰,۵ | ۱۸,۵۱ | ۳۱ | ۴۵,۹۳ | ۷۲,۷۴ | ۱۰,۳ |

## ۱-۴) شبیه سازی اینورتر حذف هارمونیک انتخابی با تابع هدف پیشنهادی

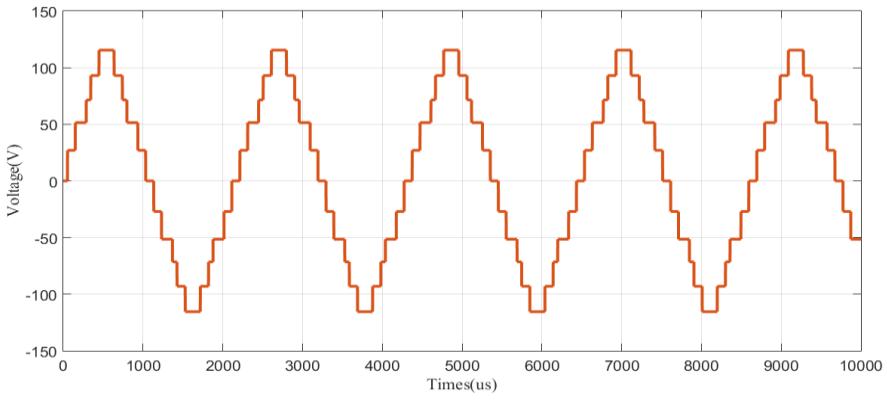
در این بخش تابع هدف THD مورد شبیه سازی قرار گرفته است. هدف از این تابع هدف تنها کم کردن مقدار THD کل است.

### ۱-۴-۱) شبیه سازی اینورتر حذف هارمونیک انتخابی ۱۱ سطحی

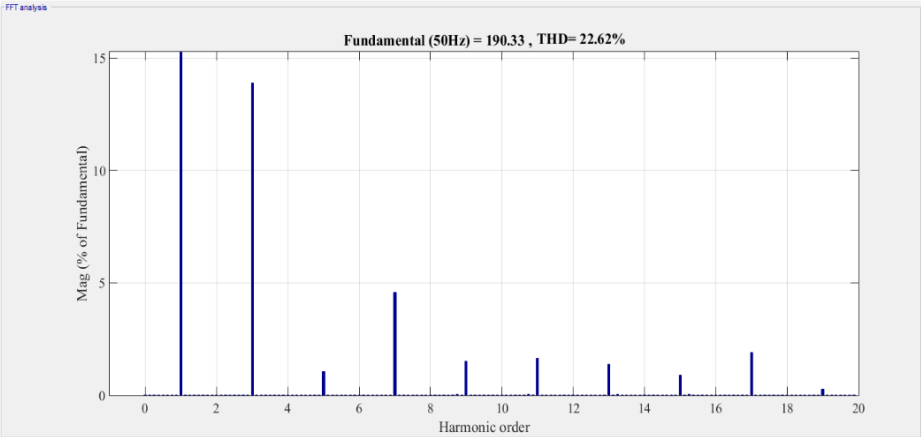
شکل موج خروجی اینورتر بدون فیلتر به همراه طیف فرکانسی در شکل ۱-۷ نشان داده شده است. در این اینورتر به ۵ زاویه کلید زنی نیاز است که توسط روش EP مشخص شده اند. مقادیر این زوایا در جدول ۱-۲ آورده شده است. THD حاصل از این روش برابر ۲۲/۶۲ می‌باشد که در این شکل با استفاده FFT متلب بدست آمده است. اصول انتخاب زاویه در این روش به محاسبات کمتری نیاز دارد ولی کیفیت شکل موج خروجی در مقایسه با روش‌هایی که بر اساس اصول بهینه‌سازی به انتخاب زوایا می‌پردازند کمتر است.




(الف)



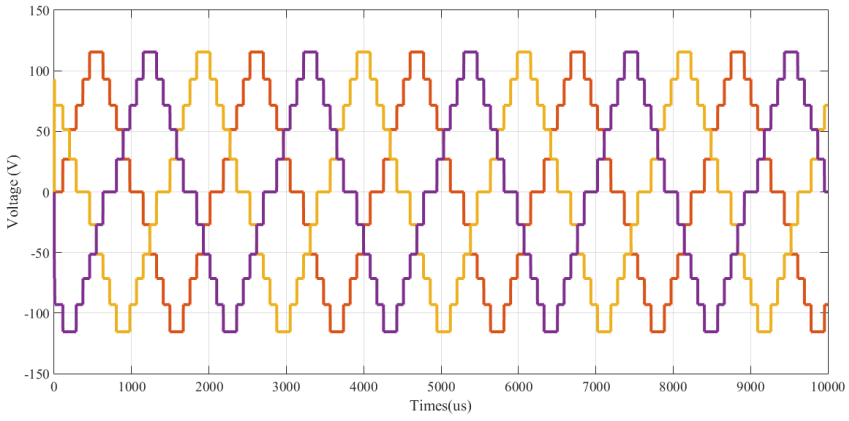

(ب)



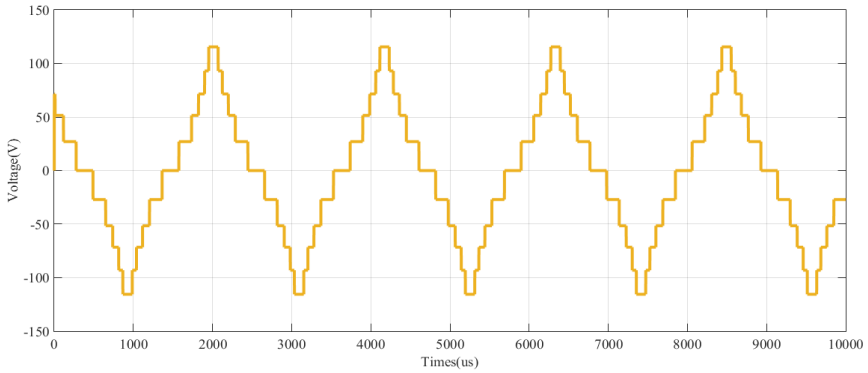

(ج)

شکل(۱-۷): شکل موج خروجی اینورتر برای روش حذف هارمونیک انتخابی در اینورتر ۱۱ سطح و انتخاب زوایا به روش EP

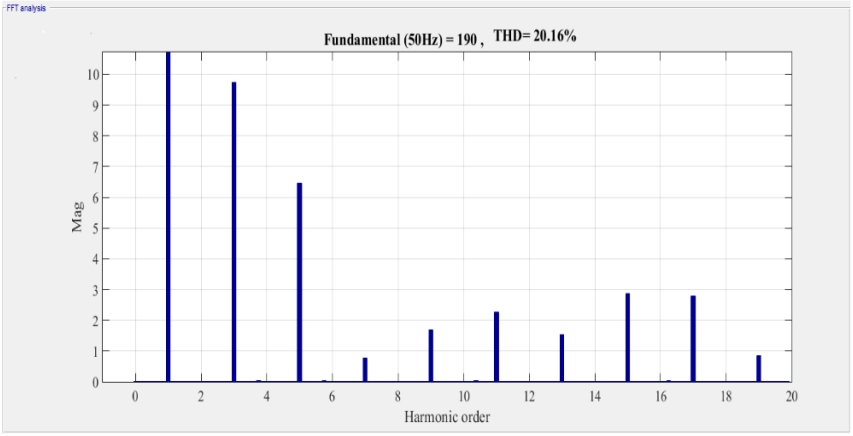
شکل موج خروجی اینورتر بدون فیلتر به همراه طیف فرکانس در شکل ۱-۸ نشان داده شده است. در این اینورتر ۵ زاویه کلید زنی توسط روش HEP مشخص شده اند. که مقادیر این زوایا در جدول ۱-۲ آورده شده است. THD حاصل از این روش برابر ۲۰/۱۶ می باشد که در این شکل با استفاده FFT متلب بدست آمده است. به دلیل خاصیت متقارن بودن این روش نسبت به روش قبل، برخی هارمونیکها از طیف هارمونیکی شکل موج حذف می‌شوند و باعث می‌شوند شکل موج با کیفیت بهتری بدست آید.




(الف)




(ب)

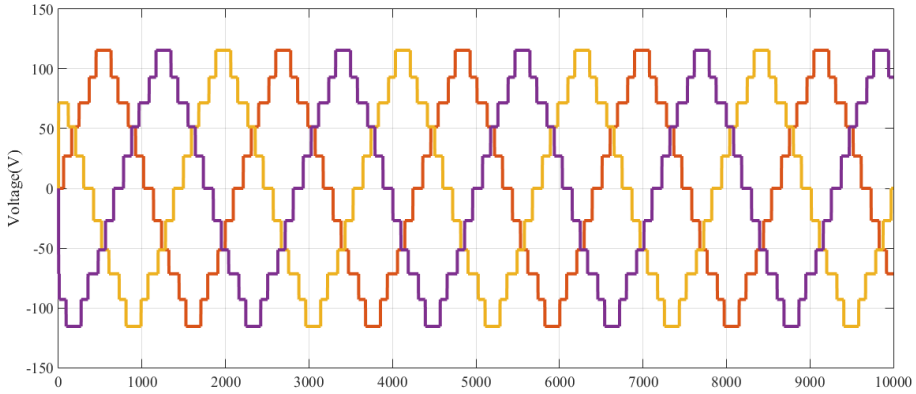



(ج)

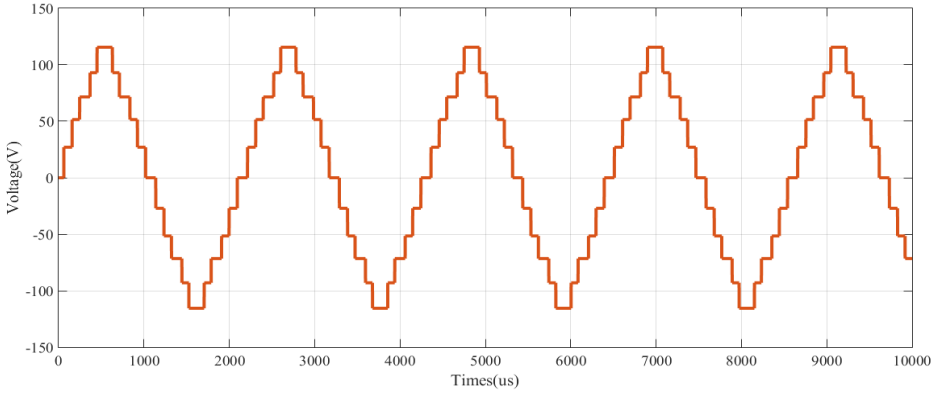
شکل(۱-۸): شکل موج خروجی اینورتر برای روش حذف هارمونیک انتخابی در اینورتر ۱۱ سطح و انتخاب زوایا به روش HEP

شکل موج خروجی اینورتر بدون فیلتر به همراه طیف فرکانس در شکل ۱-۹ نشان داده شده است. در این اینورتر ۵ زاویه کلیدزنی توسط روش PSO مشخص شده‌اند. که مقادیر این زوایا در جدول ۱-۲ آورده شده است. THD حاصل از این روش برابر ۱۰/۸ می‌باشد که در این شکل با استفاده FFT متلب بدست آمده است. روش بهینه‌سازی با استفاده از تجمع ذرات به نتایج بهتری در مقایسه با روش‌های متداول قدیمی منجر می‌شود. این بهبود ناشی از آن است که این روش‌ها معمولا زوایای بهینه را با

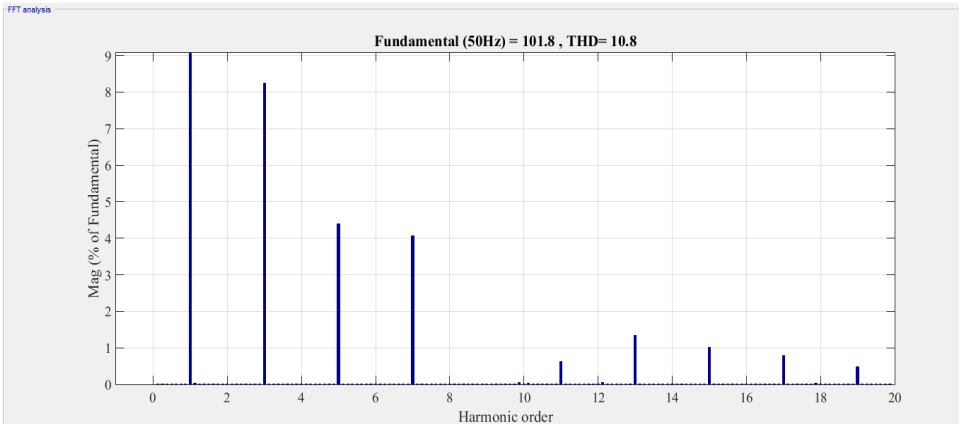
استفاده روش‌های جستجو پیدا می‌کنند و زوایا را به گونه‌ای انتخاب می‌کنند که کمترین THD حاصل شود.




(الف)



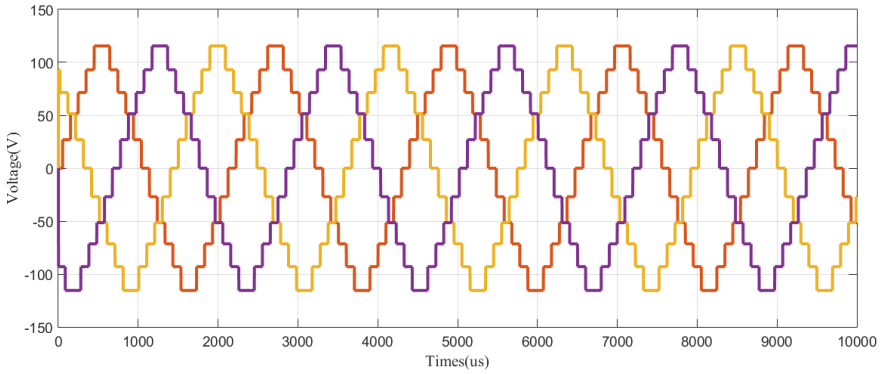

(ب)



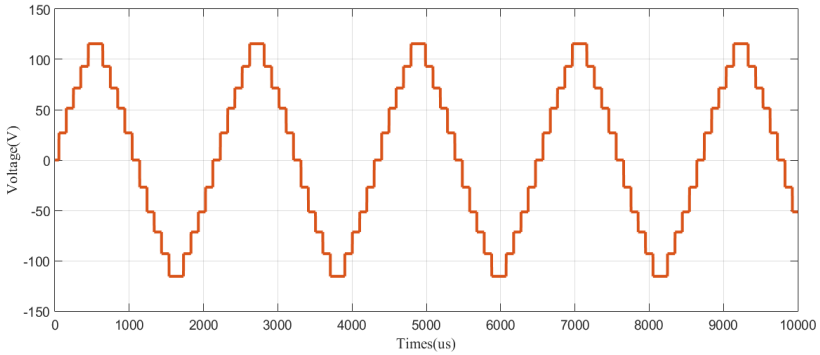
(ج)

شکل(۱-۹): شکل موج خروجی اینورتر برای روش حذف هارمونیک انتخابی در اینورتر ۱۱ سطح و انتخاب زوایا به روش PSO

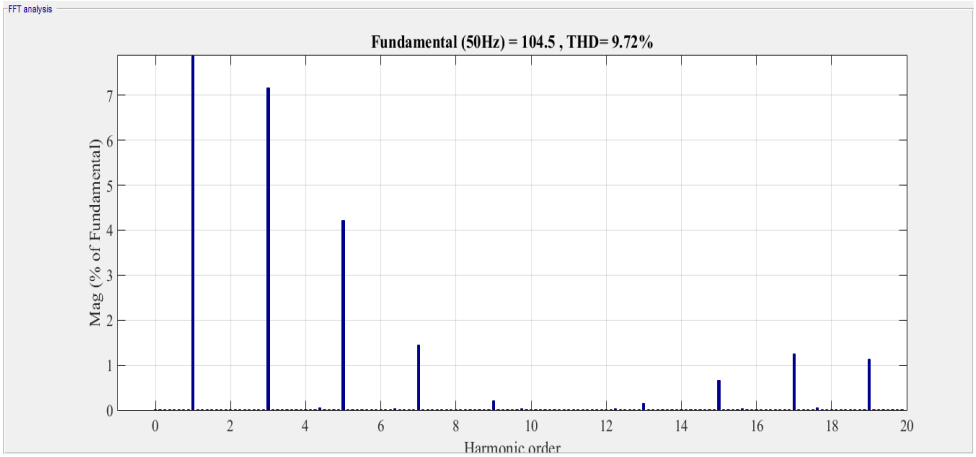
شکل موج خروجی اینورتر بدون فیلتر به همراه طیف فرکانس در شکل ۱-۱۰ نشان داده شده است. در این اینورتر ۵ زاویه کلیدزنی توسط روش SFLA مشخص شده‌اند. که مقادیر این زوایا در جدول ۱-۲ آورده شده است. THD حاصل از این روش برابر ۹/۷ می‌باشد که در این شکل با استفاده FFT متلب بدست آمده است. زوایای بدست آمده از روش بهینه‌سازی به روش SFLA به زاویه‌های بهتری نسبت به روش‌های متداول قدیمی و حتی روش بهینه‌سازی PSO منجر شده است. این ناشی از آن است که این الگوریتم از روش جستجوی تصادفی پیچیده برای انتخاب زوایای بهینه استفاده می‌کند. بدلیل تولید جمعیت‌های اولیه موازی و ترتیب‌بندی زیر مجموعه‌هایی که توسط الگوریتم ایجاد می‌شود این روش به زوایای دقیق‌تری نسبت به سایر الگوریتم‌ها منجر شده است.




(الف)




(ب)




(ج)

شکل ۱-۱۰: شکل موج خروجی اینورتر برای روش حذف هارمونیک انتخابی در اینورتر ۱۱ سطح با استفاده از روش SFLA

جدول ۱-۲: محاسبه زوایای بهینه کلیدزنی با استفاده از تابع هدف جدید برای اینورتر ۱۱ سطحی

| | $\theta_1$ | $\theta_2$ | $\theta_3$ | $\theta_4$ | $\theta_5$ | THD |
|---|---|---|---|---|---|---|
| EP | ۱۶,۳۶ | ۳۲,۷۲ | ۴۹,۰۹ | ۶۵,۴۵ | ۸۱,۸۱ | ۲۲,۶۲ |
| HEP | ۱۵ | ۳۰ | ۴۵ | ۶۰ | ۷۵ | ۲۰,۱۶ |
| PSO | ۵,۷۴ | ۱۷,۴۶ | ۳۰,۰۰ | ۴۴,۴۳ | ۶۴,۱۶ | ۱۰,۸ |
| SFLA | ۱۱,۵ | ۱۹,۵۱ | ۳۲ | ۴۷,۹۳ | ۷۳,۷۴ | ۹,۷ |

### ۱-۴-۲) شبیه سازی اینورتر حذف هارمونیک انتخابی ۷ سطحی

مدولاسیون حذف هارمونیکهای انتخابی برای اینورترهای CHB[۱] هفت سطحی قابل اجرا می‌باشد که در این بخش نتایج حاصل از شبیه‌سازی آن با روش مدولاسیون برداری مقایسه شده است. در این روش مدولاسیون هفت سطح ولتاژ در لحظات مختلف در خروجی اینورتر ایجاد می‌شود. این اعمال ولتاژ به گونه‌ای است که بعضی از هارمونیک‌های انتخابی از خروجی اینورتر قابل حذف است. ولتاژ فازی اینورتر VAN به‌صورت یک موج پلکانی هفت سطحی شکل گرفته است. شکل موج VAN را می‌توان با استفاده از سری فوریه به‌صورت رابطه ۱-۶ کرد:

برای (۴-۶)

$$0 \le \theta_3 \le \theta_2 \le \theta_1 \le \frac{\pi}{2}$$

$$V_{an} = \frac{4E}{\pi} \sum_{i=1,3,5...}^{\infty} \frac{1}{n} \{\cos(n\theta_1) + \cos(n\theta_2) + \cos(n\theta_3)\} \sin(nwt)$$

برای حذف هارمونیک‌های هفت و پنج کافی است زاویه‌های مطابق روابط ۴-۷ تنظیم شود [۱۹]:

$$\theta_3 = 11.504 \quad , \quad \theta_2 = 28.717 \quad , \quad \theta_1 = 57.106 \qquad (۴-۷)$$

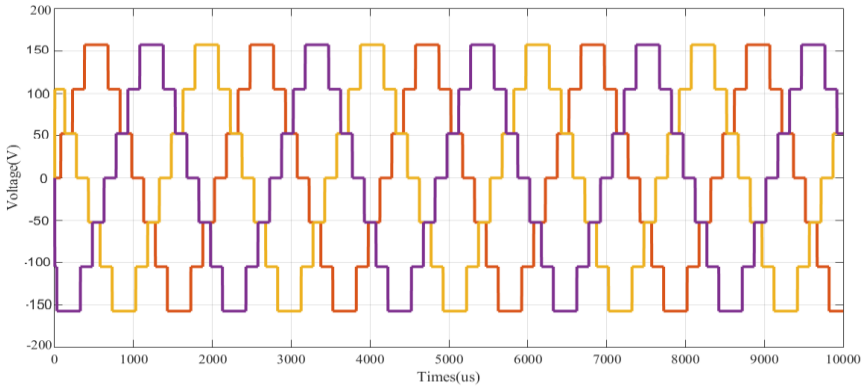
فیلتر خروجی استفاده در این نوع اینورتر متصل به شبکه دارای با مقادیر مناسب انتخاب شده است تا شکل موج خروجی مطابق استانداردهای شبکه برق از قبیل THD کمتر از ۵ درصد باشد.

همانطور که انتظار می‌رود دامنه هارمونیک هفت و پنج بسیار ناچیز می‌باشد. ولی همچنان THD شکل خروجی بسیار زیاد است.

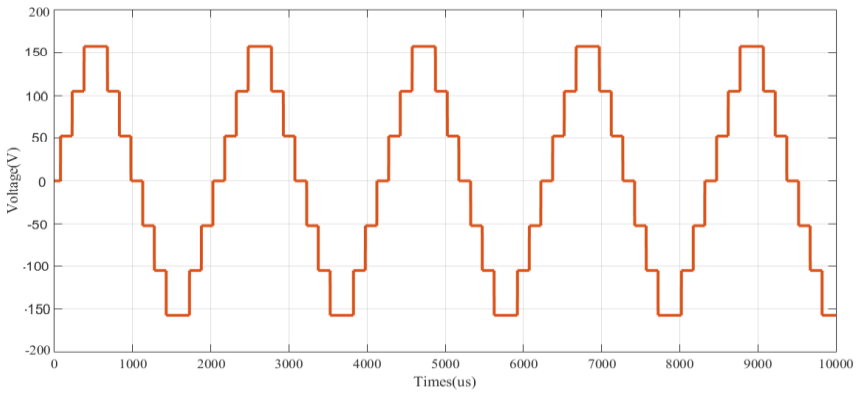
شکل موج خروجی اینورتر بدون فیلتر به همراه طیف فرکانس برای اینورتر ۷ سطحی در شکل ۱-۱۱ نشان داده شده است. در این اینورتر ۴ زاویه کلیدزنی نیاز است، زیرا تنها ۴ درجه آزادی برای انتخاب زوایای مناسب وجود دارد تا بتوان اینورتر ۴ سطحی را کنترل کرد. این زوایا توسط روش EP

[۱] Cascaded H-Bridge

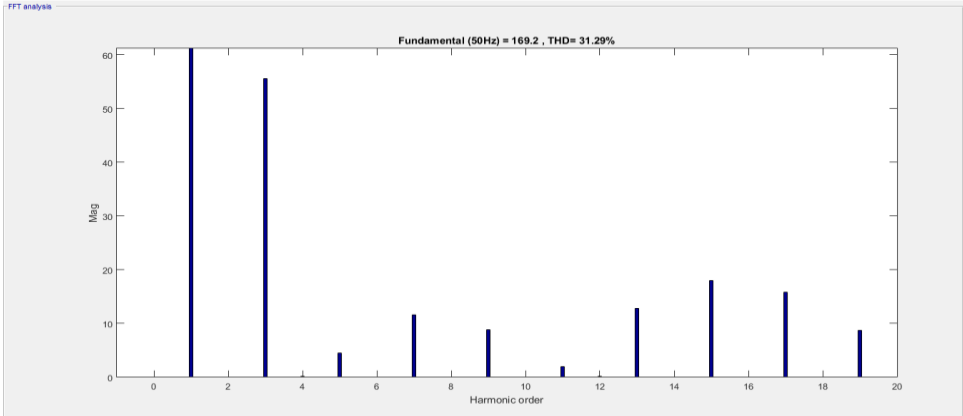
مشخص شده‌اند. که مقادیر این زوایا در جدول ۱-۳ آورده شده است. THD حاصل از این روش برابر ۳۱/۲۹ می‌باشد که در این شکل با استفاده FFT متلب بدست آمده است. همانطور که مشاهده می‌شود و انتظار می‌رود THD در این حالت نسبت به اینورتر ۱۱ سطحی مقدار بیشتری دارد. تعداد سطوح اینورتر هرچه بیشتر باشد، شکل موج خروجی آن به یک شکل موج سینوسی نزدیکتر است و THD آن کمتر است. با یک اینورتر با سطوح کمتر با همان روشی که برای اینورتر با سطوح بالاتر به کارگرفته شده زوایایی بدست آمد که THD آن بیشتر است. همانطور که انتظار می‌رود دامنه هارمونیک هفت و پنج بسیار ناچیز می‌باشد. ولی همچنان THD شکل خروجی بسیار زیاد است.




(الف)



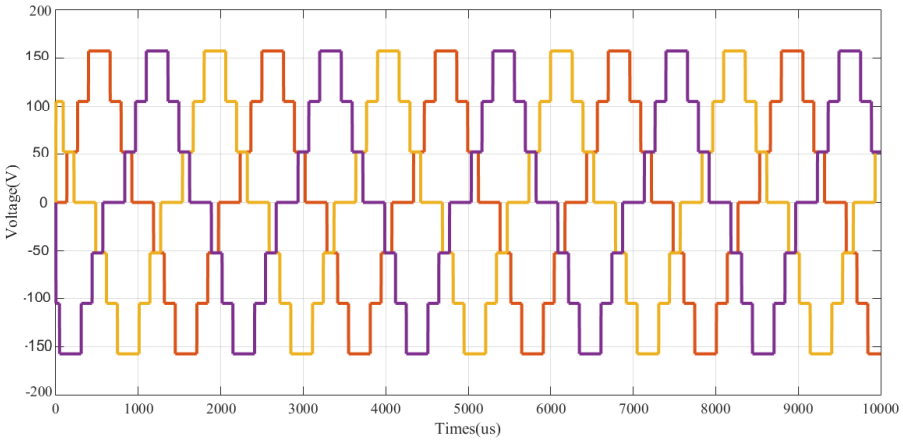

(ب)



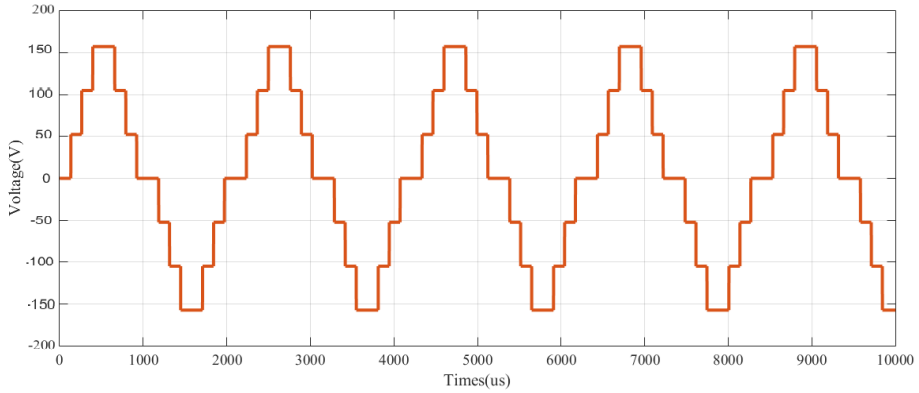

(ج)

شکل(۱-۱۱): شکل موج خروجی اینورتر برای روش حذف هارمونیک انتخابی در اینورتر ۷ سطح و انتخاب زوایای بهینه به روش EP

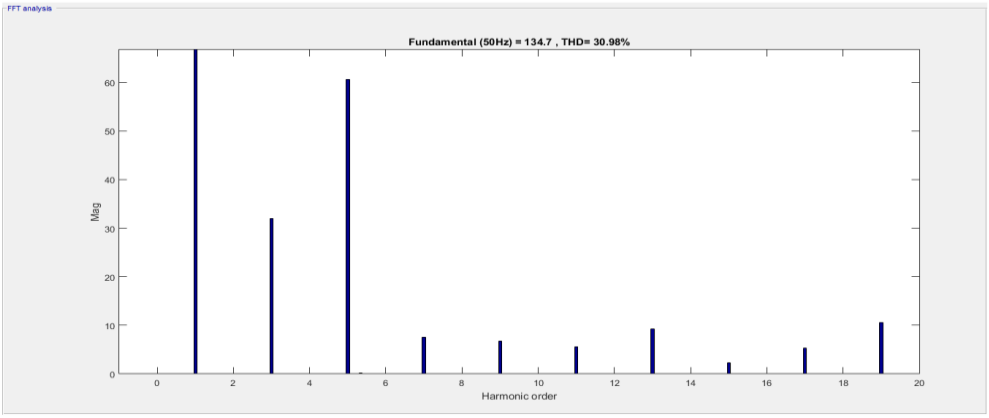
برای نشان دادن عملکرد اینورتر ۷ سطحی با روش HEP ، شکل موج خروجی اینورتر بدون فیلتر به همراه طیف فرکانس برای اینورتر ۷ سطحی در شکل ۱-۱۲ نشان داده شده است. در این اینورتر ۴ زاویه کلیدزنی تو سط روش HEP مشخص شده‌اند. که مقادیر این زوایا در جدول ۴-۳ آورده شده است. THD حاصل از این روش برابر ۳۰/۹۸ می باشد که در این شکل با استفاده FFT متلب بدست آمد اســـت. طیف هارمونیکی و مقادیر THD نشـــان می‌دهند که دامنه هارمونیک‌ها در این اینورتر نسبت به اینورتر ۱۱ و ۱۳ سطحی افزایش داشته است ولی نسبت به روش انتخاب زوایای EP مقادیر THD کاهش یافته است.



(الف)



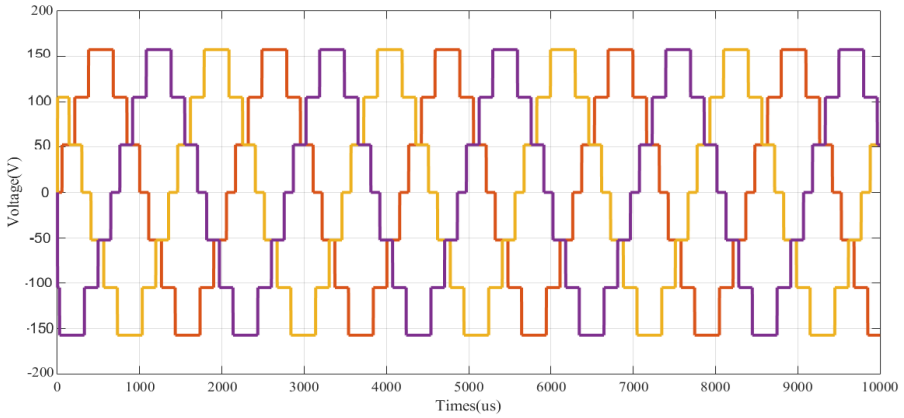

(ب)



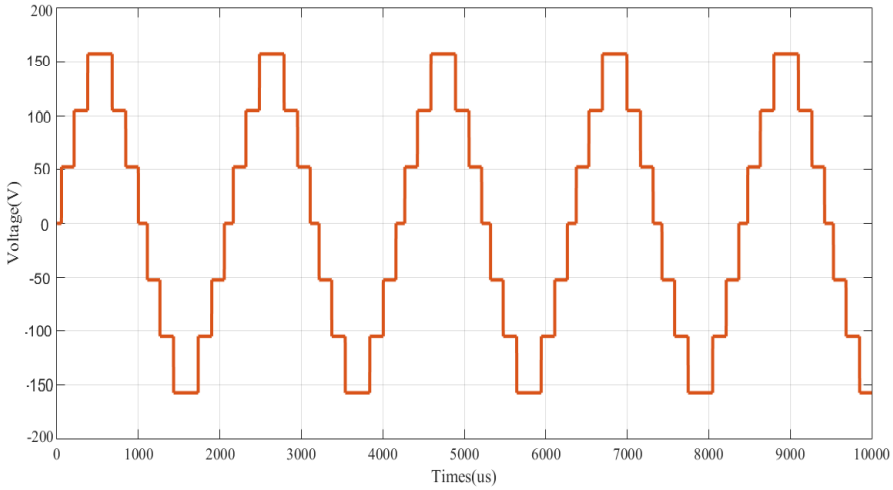

(ج)

شکل(۴-۱۲): شکل موج خروجی اینورتر برای روش حذف هارمونیک انتخابی در اینورتر ۷ سطح و انتخاب زوایای بهینه به روش HEP

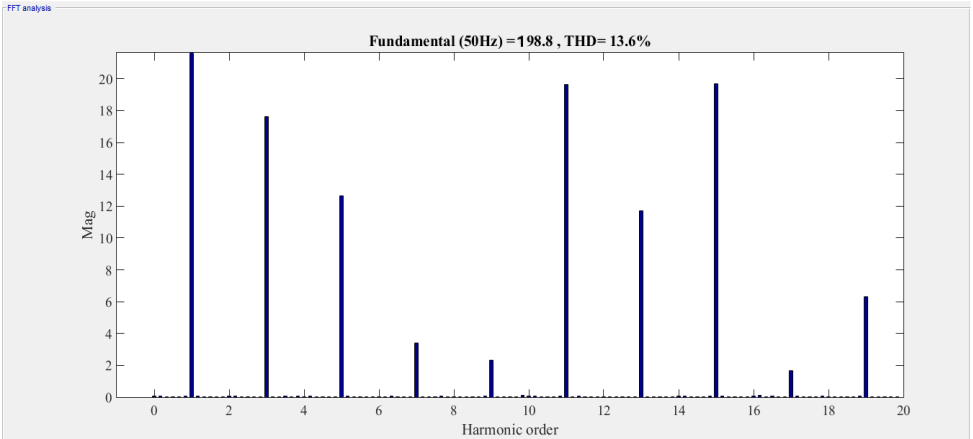
برای بررسی عملکرد اینورتر ۷ سطحی با استفاده یک روش بهینه سازی، در این قسمت ۴ زاویه مورد نیاز با استفاده از الگوریتم PSO بدست آمده‌اند. شکل موج خروجی اینورتر بدون فیلتر به همراه طیف فرکانس برای اینورتر ۷ سطحی در شکل ۱-۱۳ نشان داده شده است. در این اینورتر ۴ زاویه کلیدزنی توسط روش PSO مشخص شده‌اند. که مقادیر این زوایا در جدول ۱-۳ آورده شده است. THD حاصل از این روش برابر ۱۳/۹ می‌باشد که در این شکل با استفاده FFT متلب بدست آمده است. طیف هارمونیکی شکل موج خروجی اینورتر نشان می‌دهد دامنه هارمونیک‌های آن نسبت به حالت‌های متداول و ساده برای انتخاب زوایا کاهش چشمگیری داشته است. البته در مقایسه با اینورتر ۱۱




(الف)




(ب)

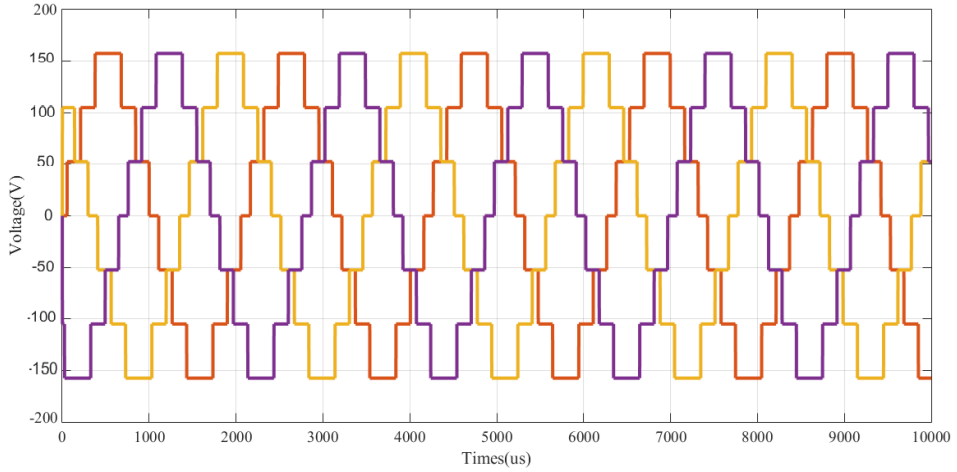



(ج)

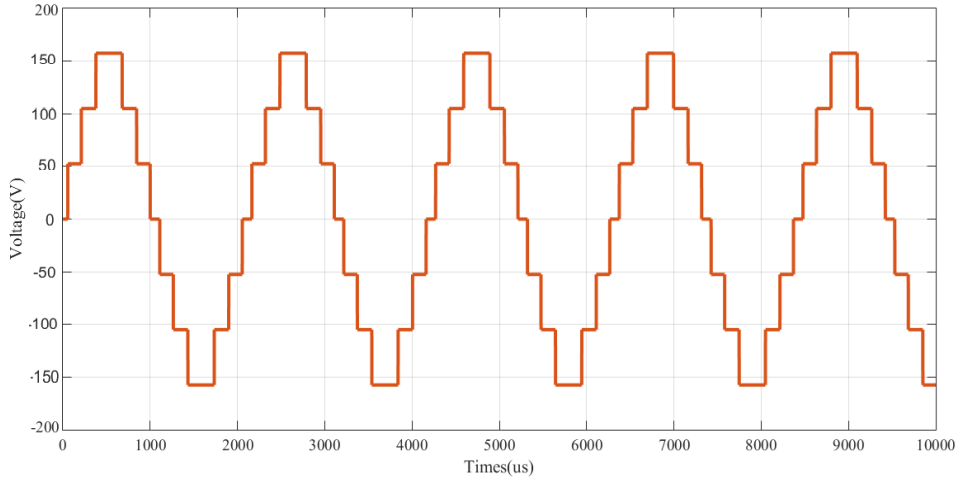
شکل(۴-۱۳): شکل موج خروجی اینورتر برای روش حذف هارمونیک انتخابی در اینورتر ۷ سطح و انتخاب زوایای بهینه به روش PSO

سطحی مقادیر هارمونیک‌ها افزایش یافته است که این امر ناشی از ذات اینورتر ۷ سطحی است. هارمونیک‌های ۵ و ۷ و ۱۱ بصورت قابل توجهی در این روش کاهش یافته‌اند.

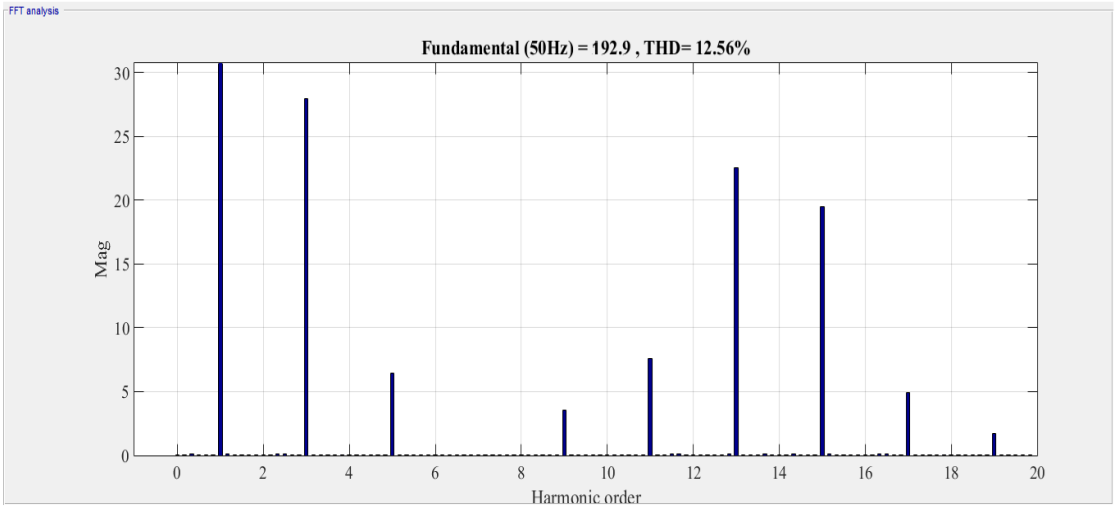
شکل موج خروجی اینورتر بدون فیلتر به همراه طیف فرکانس برای اینورتر ۷ سطحی در شکل ۱-۱۴ نشان داده شده است. در این اینورتر ۴ زاویه کلیدزنی توسط روش SFLA مشخص شده‌اند. که مقادیر این زوایا در جدول ۱-۳ آورده شده است. THD حاصل از این روش برابر ۱۲/۵۵ می‌باشد که در این شکل با استفاده FFT متلب بدست آمده است. طیف هارمونیکی برای این اینورتر نیز نشان می‌دهد روش SFLA به خوبی اینورتر ۷ سطحی را در مقایسه با روش تجمع ذرات طراحی کرده است.




(الف)




(ب)




(ج)

شکل(۴-۱۴) :شکل موج خروجی اینورتر برای روش حذف هارمونیک انتخابی در اینورتر ۷ سطحی به روش SFLA

جدول ۴-۳: مقایسه بین زوایای کلید زنی و THD الگوریتم SFLA با سایر روش ها برای اینورتر ۷ سطحی

| | $\theta_1$ | $\theta_2$ | $\theta_3$ | THD |
|---|---|---|---|---|
| EP | ۲۵,۷۱ | ۵۱,۴۳ | ۷۷,۱۴ | ۳۱,۲۹ |
| HEP | ۲۲,۵۰ | ۴۵ | ۶۷,۵۰ | ۳۰,۹۸ |
| PSO | ۱۰,۴ | ۲۸,۹ | ۸۰,۶ | ۱۳,۶ |
| SFLA | ۱۴,۳ | ۳۰,۹ | ۸۴,۶ | ۱۲,۵۵ |

### ۱-۴-۳) شبیه سازی اینورتر حذف هارمونیک انتخابی ۱۳ سطحی

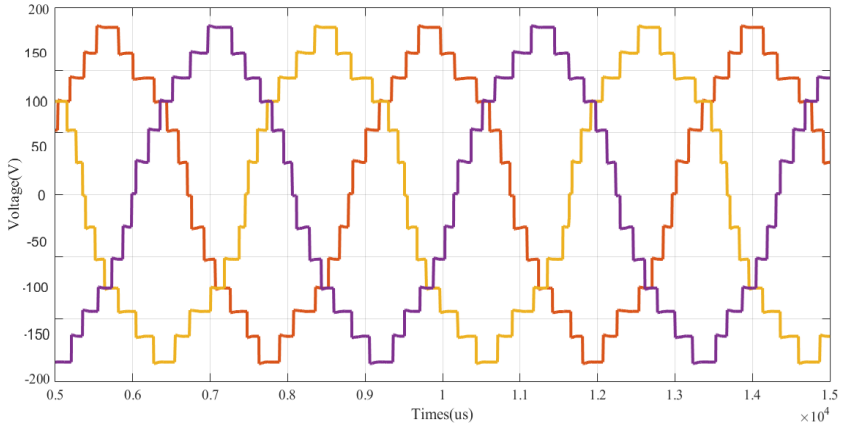
مدولاسیون حذف هارمونیک‌های انتخابی برای اینورترهای CHB با ۱۳ سطحی قابل اجرا می‌باشد که در این بخش نتایج حاصل از شبیه‌سازی آن برای مقایسه با عملکرد اینورتر هفت و یازده سطحی مقایسه شده است. در این روش مدولاسیون سیزده سطح ولتاژ در لحظات مختلف در خروجی اینورتر ایجاد می‌شود. این اعمال ولتاژ به گونه‌ای است که بعضی از هارمونیک‌های انتخابی از خروجی اینورتر قابل حذف است. ولتاژ فازی اینورتر VAN به صورت یک موج پلکانی سیزده‌سطحی مطابق رابطه (۱-۸) شکل گرفته است.

$$0 < \theta_1 < \theta_2 < \ldots < \theta_6 < \pi/2 \qquad (۸-۱)$$

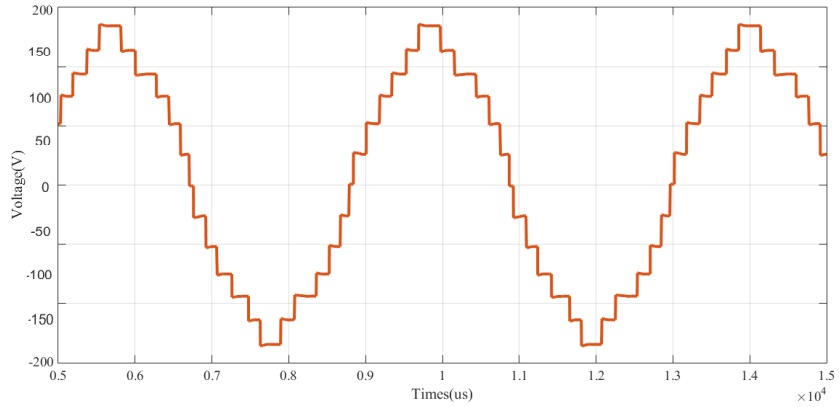
$$V_{inv}(\omega t) = \frac{2V_{DC}}{n\pi} \sum_{n=1,3,5..}^{\infty} [\cos(n\theta_1) + \ldots + \cos(n\theta_6)] \sin(n\omega t)$$

برای حذف هارمونیک‌های هفت و پنج کافی است زاویه‌ها مطابق روابط ۱-۹ تنظیم شود [۱۹]:

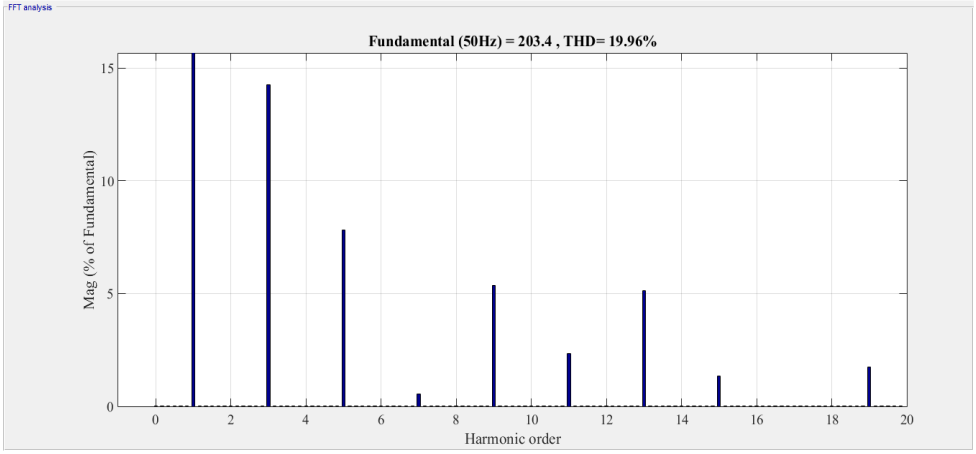
$$\begin{aligned}
&\cos(\theta_1) + \cos(\theta_2) + \ldots \cos(\theta_5) + \cos(\theta_6) = 6M \\
&\cos(3\theta_1) + \cos(3\theta_2) + \ldots \cos(3\theta_5) + \cos(3\theta_6) = 0 \\
&\cos(5\theta_1) + \cos(5\theta_2) + \ldots \cos(5\theta_5) + \cos(5\theta_6) = 0 \\
&\cos(7\theta_1) + \cos(7\theta_2) + \ldots \cos(7\theta_5) + \cos(7\theta_6) = 0 \\
&\cos(9\theta_1) + \cos(9\theta_2) + \ldots \cos(9\theta_5) + \cos(9\theta_6) = 0 \\
&\cos(11\theta_1) + \cos(11\theta_2) + \ldots \cos(11\theta_5) + \cos(11\theta_6) = 0
\end{aligned} \qquad (۹-۱)$$




(الف)




(ب)

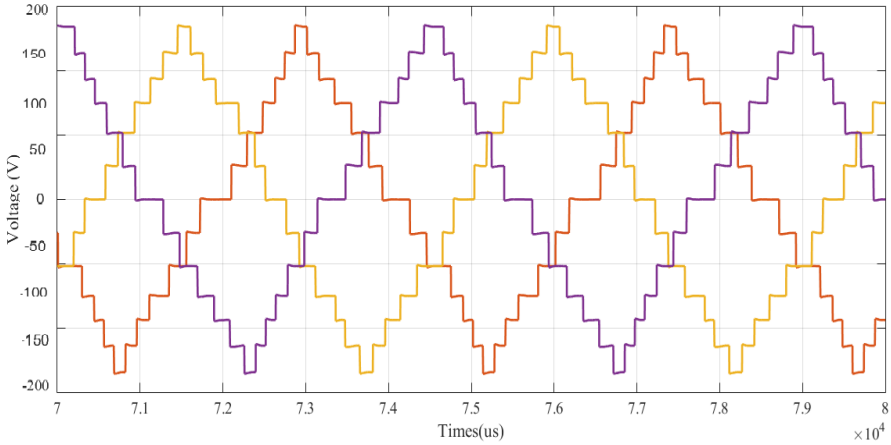



(ج)

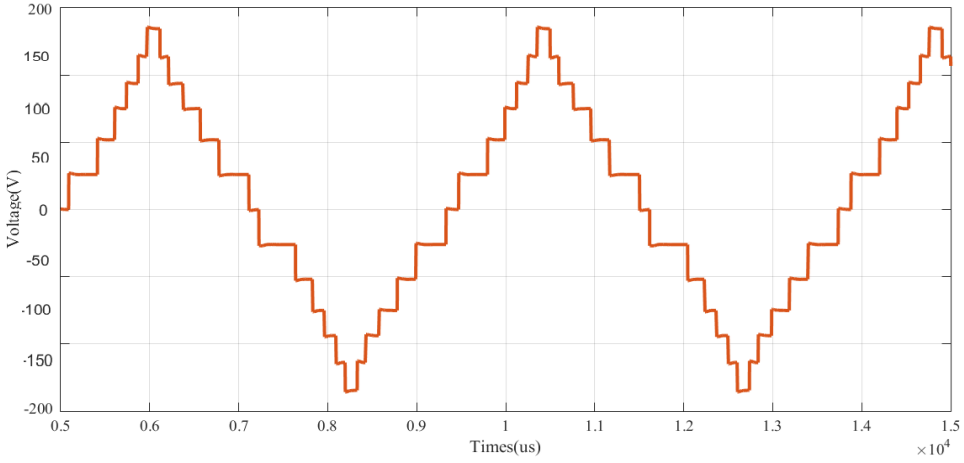
شکل ۱-۱۵ شکل موج خروجی سه فاز اینورتر ۱۳ سطحی بدون فیلتر با انتخاب زوایای بهینه توسط EP

در این بخش سه روش مقایسه ای که در این پایان نامه به کارگرفته شده است را برای اینورتر آبشاری ۱۳ سطحی استفاده میکنیم. شکل موج خروجی اینورتر بدون فیلتر به همراه طیف فرکانس برای اینورتر ۱۳ سطحی در شکل ۱-۱۵ نشان داده شده است. در این اینورتر ۵ زاویه کلید زنی توسط روش EP مشخص شده اند. که مقادیر این زوایا در جدول ۱-۴ آورده شده است. THD حاصل از این روش برابر ۱۹/۷ می باشد که در این شکل با استفاده FFT متلب بدست آمد است. طیف هارمونیکی این روش در مقایسه با EP به کار گرفته شده در اینورترهای ۱۱ و ۷ سطحی نشان دهنده هارمونیهای کمتری می باشند.

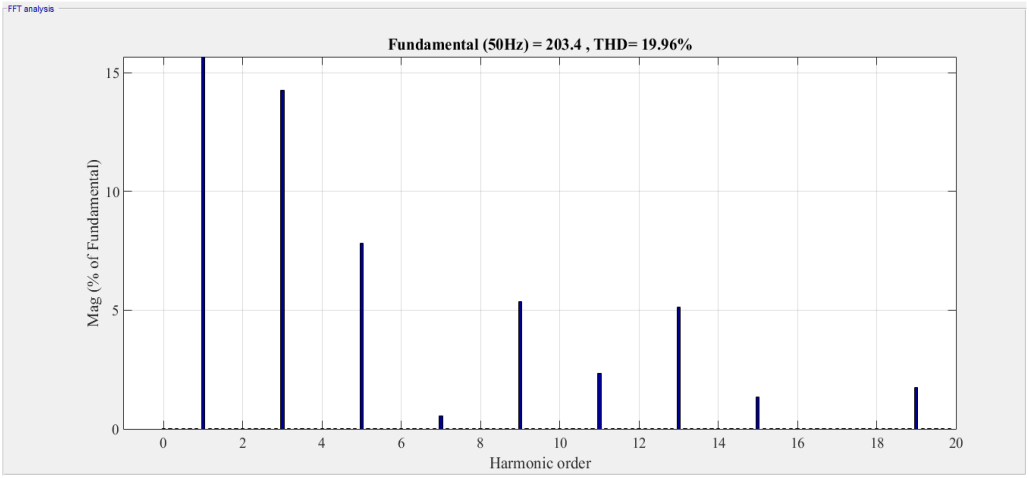
روش دوم برای انتخاب شش زاویه کلیدزنی استفاده از HEP می‌باشد. شکل موج خروجی اینورتر بدون فیلتر به همراه طیف فرکانس برای اینورتر ۱۳ سطحی در شکل ۱-۱۶ نشان داده شده است. در این اینورتر ۶ زاویه کلیدزنی توسط روش HEP مشخص شده‌اند. که مقادیر این زوایا در جدول ۱-۴ آورده شده است. THD حاصل از این روش برابر ۱۷/۷ می‌باشد که در این شکل با استفاده FFT متلب بدست آمده است. همانطور که مشاهده می‌شود در اینورتر ۱۳ سطحی نیز تمامی هارمونیک‌ها حضور دارند، روش EP هیچ هارمونیک خاصی را حذف نکرده است.


Voltage (V)
Times(us)
×10^4

(الف)

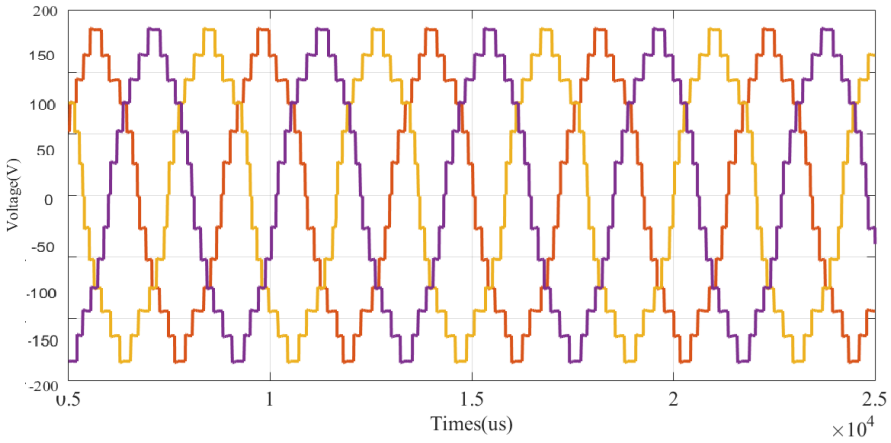

Voltage(V)
Times(us)
×10^4

(ب)

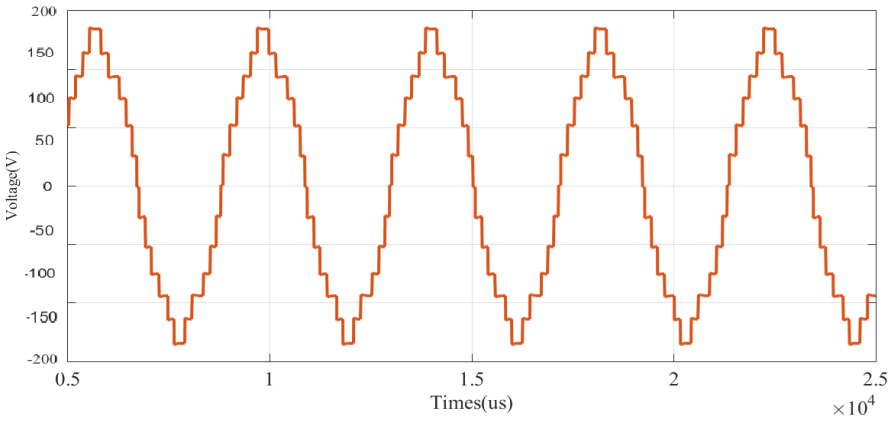

FFT analysis
Fundamental (50Hz) = 203.4 , THD= 19.96%
Mag (% of Fundamental)
Harmonic order

(ج)

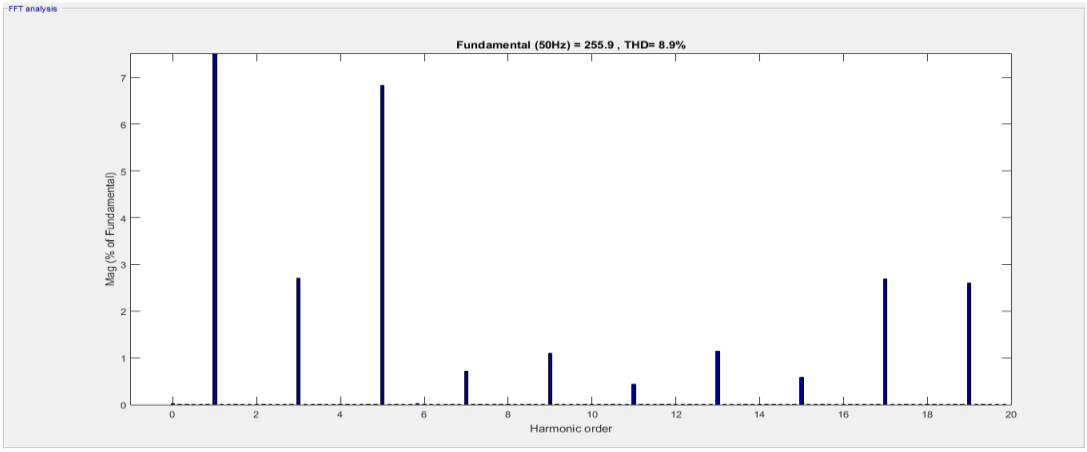
شکل(۱-۱۶): شکل موج خروجی سه فاز اینورتر ۱۳ سطحی بدون فیلتر با انتخاب زوایای بهینه توسط HEP




(الف)

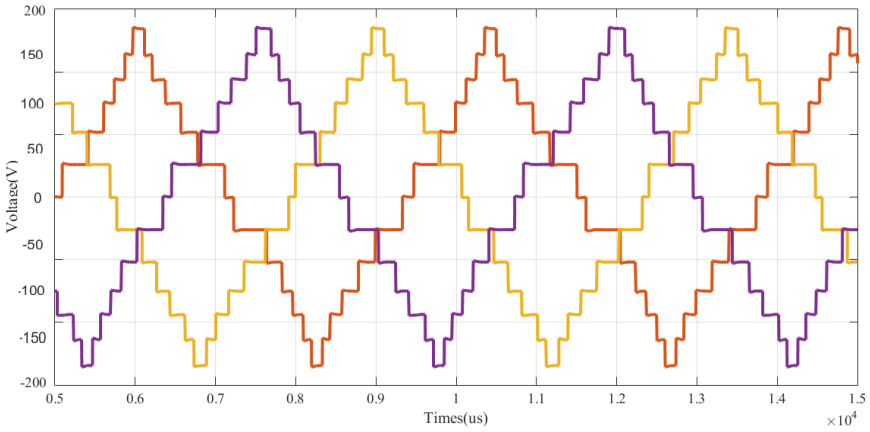



(ب)

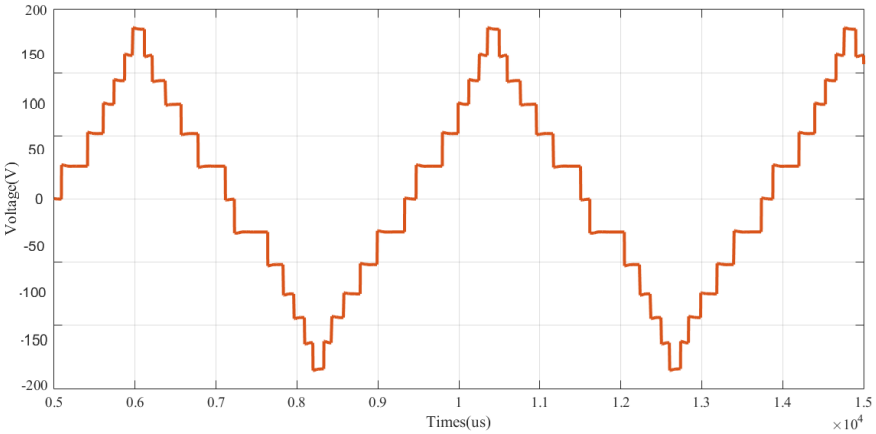


(ج)

شکل(۱-۱۷): شکل موج خروجی سه فاز اینورتر ۱۳ سطحی بدون فیلتر با انتخاب زوایای بهینه توسط PSO

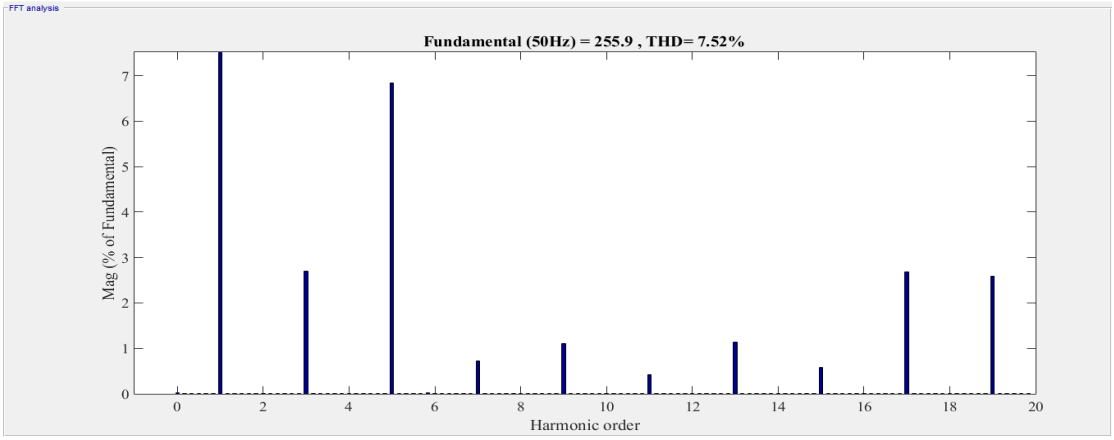



(الف)




(ب)

شکل موج خروجی اینورتر بدون فیلتر به همراه طیف فرکانس برای اینورتر ۱۳ سطحی در شکل ۱-۱۷ نشان داده شده است. در این اینورتر ۶ زاویه کلید زنی توسط روش PSO مشخص شده اند. که مقادیر این زوایا در جدول ۱-۳ آورده شده است. THD حاصل از این روش برابر ۸/۹ می باشد که در این شکل با استفاده FFT متلب بدست آمده است.




(ج)

شکل ۱-۱۸ شکل موج خروجی سه فاز اینورتر ۱۳ سطحی بدون فیلتر با انتخاب زوایای بهینه توسط SFLA

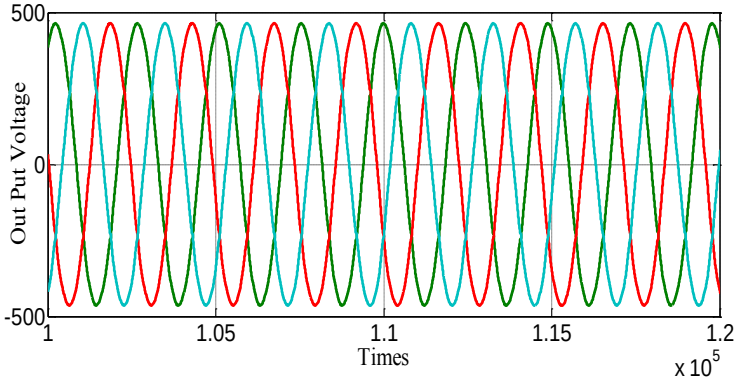
شکل موج خروجی اینورتر بدون فیلتر به همراه طیف فرکانس برای اینورتر ۱۳ سطحی در شکل ۱-۱۸ نشان داده شده است. در این اینورتر ۶ زاویه کلید زنی توسط روش SFLA مشخص شده اند. که مقادیر این زوایا در جدول ۱-۳ آورده شده است. THD حاصل از این روش برابر ۷/۵۲ می باشد که در این شکل با استفاده FFT متلب بدست آمد است. در جدول زیر مقادیر مناسب برای زوایای کلیدزنی اینورتر ۱۳ سطحی آورده شده است:

جدول ۱-۴: مقادیر زوایای مناسب برای اینورتر ۱۳ سطحی

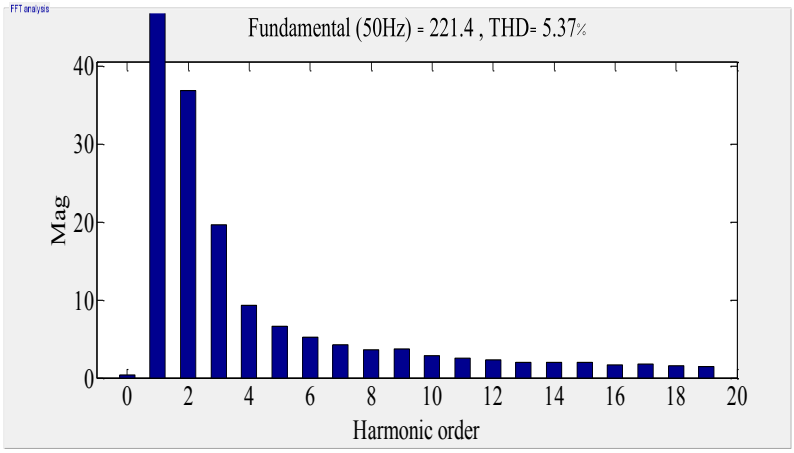
| | $\theta_1$ | $\theta_2$ | $\theta_3$ | $\theta_4$ | $\theta_3$ | $\theta_6$ | THD |
|---|---|---|---|---|---|---|---|
| EP | 12.36 | 29.72 | 48.09 | 65.45 | 75.81 | 89.6 | 19.7 |
| HEP | 15 | 30 | 45 | 60 | 75 | 90 | 17.7 |
| PSO | 4.74 | 17.46 | 30 | 44.43 | 64.16 | 8.6 | 8.9 |
| SFLA | 4.9 | 16.51 | 28.27 | 41.18 | 58.95 | 87.19 | 7.75 |

## ۱-۵) نتایج حاصل از شبیه سازی عملکرد اینورتر با بار موتور القایی سه فاز

برای نشان دادن صحت عملکرد این ساختار، اینورتر برای بارهای موتوری، خروجی ولتاژ و جریان با زوایای بدست آمده از الگوریتم جهش قورباغه شبیه‌سازی شده‌اند. در این بخش در خروجی اینورتر ۱۱ سطحی فوق، به همراه فیلتر، یک موتور القایی سه فاز نیز قرار می‌دهیم. رتور موتور القایی فوق از نوع سیم بندی شده و اتصال کوتاه می باشد. گشتاور مکانیکی اعمال شده به شفت موتور ۱۱,۹ نیوتن متر است که با ولتاژ ۲۲۰ ولت تغذیه می شود. شکل موج ولتاژ خروجی اینورتر به همراه طیف هارمونیکی آن در شکل ۱-۱۹ نشان داده شده است. همانطور که مشاهده میشود قرار دادن یک فیلتر در خروجی اینورتر باعث می شود بسیاری از هارمونیکهای آن کاهش یافته و THD ولتاژ خروجی بهبود یابد. از آنجایی که موتور القایی خود نیز یک فیلتر پایین گذر است این موضوع باعث می شود THD ولتاژ خروجی باز هم بهبود پیدا کند. شکل موج سه فاز خروجی دو سر موتور در شکل ۱-۲۰ نشان داده شده است. همان‌طور که در این شکل مشاهده می‌شود ولتاژ خروجی اینورتر در لحظه راه اندازی موتور به خوبی عمل کرده است.

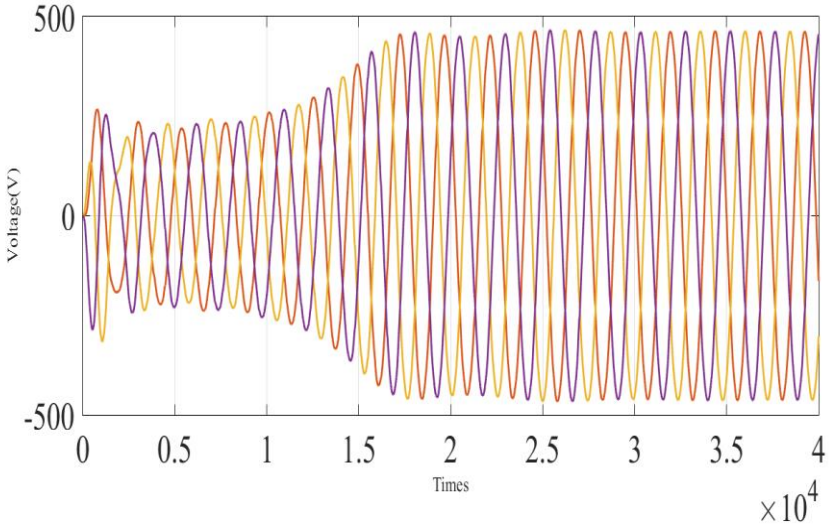



(الف)




(ب)

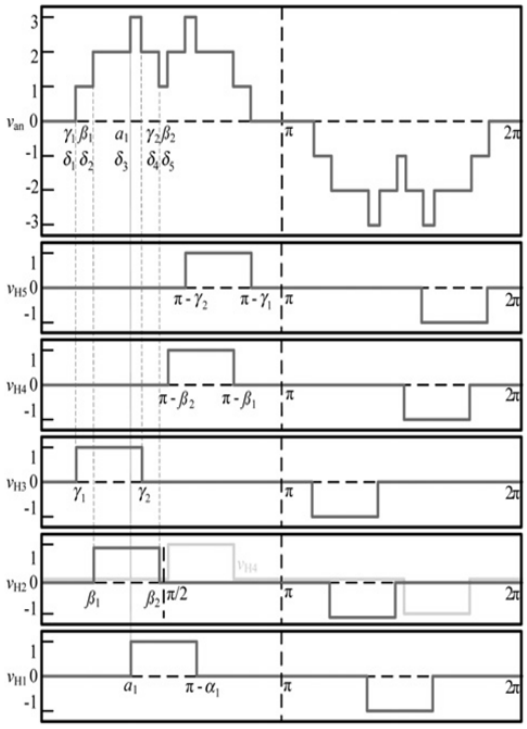
شکل ۱-۱۹ شکل موج خروجی اینورتر به همراه فیلتر جهت بار موتور القایی سه فاز




شکل ۴-۲۰ شکل موج سه فاز خروجی دو سر موتور در حالت گذرا

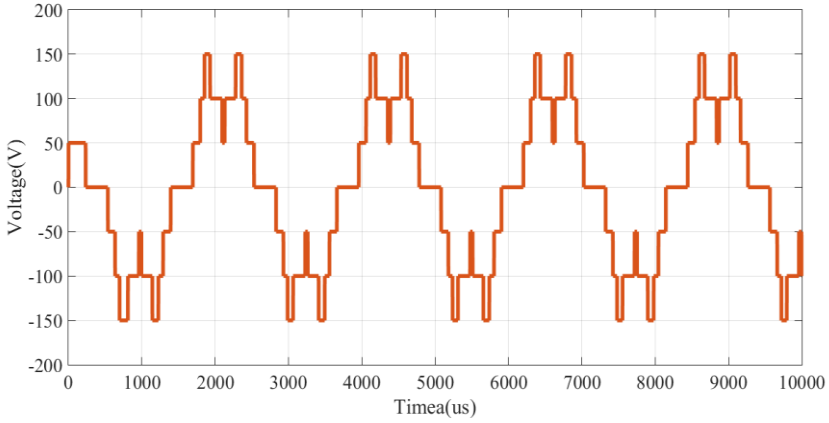
## ۱-۶) روش کلیدزنی بهینه

در این بخش یک روش جدید برای کنترل دامنه هارمونیک اصلی با استفاده حذف هارمونیک انتخابی ارائه شده است. در مقایسه با روشهای متداول برای حذف هارمونیک انتخابی از تعداد سطوح بیشتری برای ساخت ولتاژ خروجی استفاده می شود که تا حدودی مشکل روش کنترلی حذف هارمونیک انتخابی به ویژه برای شاخص مدولاسیون کوچک را هموار می‌کند.

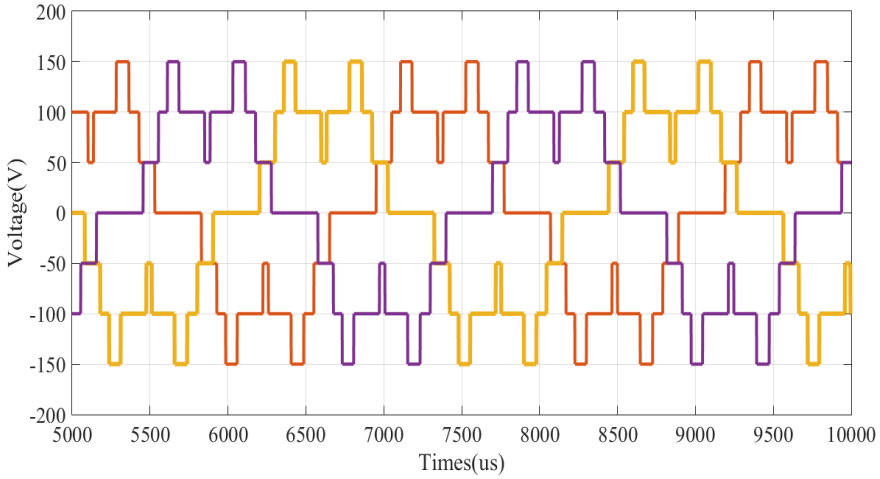



شکل(۱-۲۱ ): شکل موج خروجی اینورتر با استفاده از کلید زنی به روش جدید

در این روش، حذف هارمونیک انتخابی برای کنترل هارمونیک اصلی ولتاژ خروجی یک اینورتر ۱۱ سطحی مورد تحلیل ریاضی قرار می گرفته است که درنهایت یک مسئله چند پارامتری بدست خواهد آمد. برای بد ست آوردن بهترین پا سخ و عملکرد از روش بهینه سازی الگوریتم جهش قورباقه ا ستفاده می شود. در این بخش به جای ا ستفاده از رو شهای قدیمی برای تولید زاویه آتش از یک روش جدید ا ستفاده می شود که باعث می شود هارمونیک‌های فرکانس پایین حذف گردند. شکل موج هریک از ماژول‌های موجود در هر فاز به همراه ولتاژ خروجی اینورتر در فاز اول در شـــکل (۱-۲۱) نشـــان داده شده است.




(الف)




(ب)

شکل(۱-۲۲ ): شبیه‌سازی شکل موج خروجی اینورتر با استفاده از کلید زنی به روش جدید

دامنه هارمونیک اول خروجی اینورتر برابر اســـت با رابطه (۱-۱۰) و دامنه دیگر هارمونیک‌های خروجی اینورتر برابر است با رابطه (۱-۱۱):

$$V_{H1} = \frac{4E}{\pi} \sum_{i=1,3,5...}^{\infty} \frac{1}{n} [\cos(n\alpha_1)] \sin(nwt)$$

(۱۰-۱)

$$V_{Hi} = \frac{4E}{\pi} \sum_{i=1,3,5...}^{\infty} C_n \sin(nwt + \theta_n)$$

(۱۱-۱)

بر این اساس ولتاژ خروجی ماژول های زوج بصورت روابط ۱-۱۲ و ۱-۱۳ خواهد بود:

$$V_{H1}+V_{H4}=\frac{4E}{\pi}\sum_{i=1,3,5...}^{\infty}\frac{1}{n}[\cos(n\beta_1)-\cos(n\beta_2)]\sin(nwt) \quad (۱۲-۱)$$

$$V_{H3}+V_{H5}=\frac{4E}{\pi}\sum_{i=1,3,5...}^{\infty}\frac{1}{n}[\cos(n\gamma_1)-\cos(n\gamma_2)]\sin(nwt) \quad (۱۳-۱)$$

بنابراین ولتاژ خروجی فاز a برابر است با رابطه ۱-۱۴:

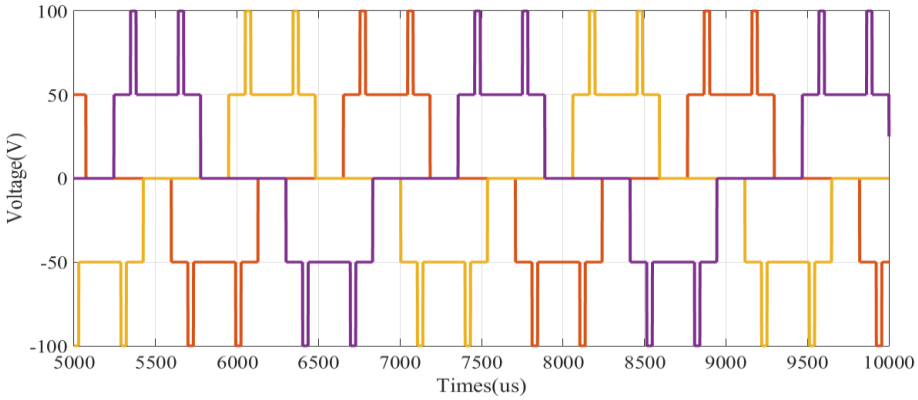
$$V_{an}=\frac{4E}{\pi}\sum_{i=1,3,5...}^{\infty}\frac{1}{n}\sum_{i=1}^{n}[p\cos(n\delta_i)]\sin(nwt) \quad (۱۴-۱)$$

برای نشـان دادن صـحت روابط ریاضـی بیان شـده و تابع هدف حذف چند هارمونیک انتخابی به همراه حفظ دامنه هارمونیک ا صلی زوایای بهینه مطابق جدول (۱-۵) برای شاخص مدولا سیون های مختلف بد ست آمده ا ست، و از الگوریتم بهینه سازی جهش قورباغه برای یافتن زوایای بهینه ا ستفاده شده است.

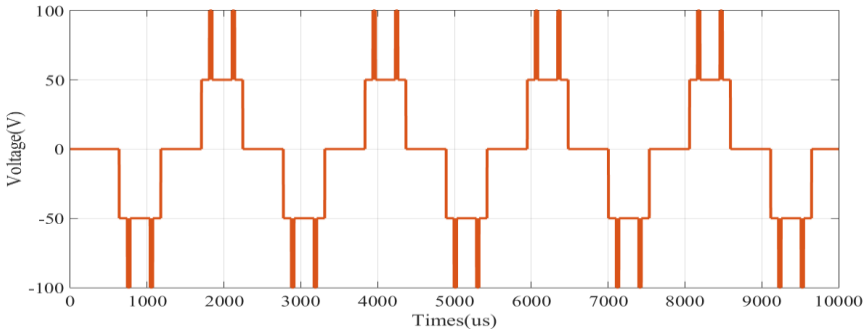
جدول ۴-۵: مقادیر مناسب زوایا برای اینورتر ۱۱ سطحی به روش کلیدزنی جدید برای شاخص مدولاسیون‌های مختلف

| M | $\gamma_1$ | $\beta_1$ | $\alpha$ | $\gamma_2$ | $\beta_2$ |
|---|---|---|---|---|---|
| 0.25 | 45 | 62.72 | 90.09 | 67.45 | 90 |
| 0.5 | 35 | 50.9 | 62.2 | 89.4 | 100 |
| 0.8 | 24.72 | 40.46 | 50.00 | 114.43 | 121.16 |
| 0.9 | 15.3 | 29.1 | 46.6 | 117.9 | 120.9 |
| 1.05 | 7.9 | 15.51 | 27.27 | 120.18 | 140.95 |

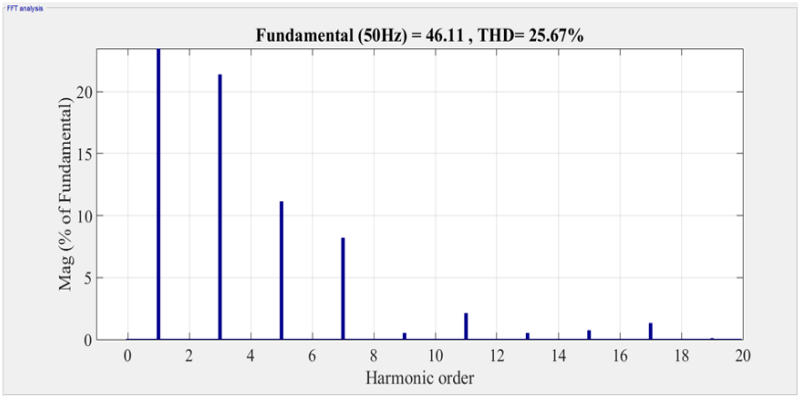
شکلهای (۱-۲۳) تا (۱-۲۵) شکل موج خروجی اینورتر ۱۱ سطحی با شاخص مدولاسیونهای ۰/۲۵، ۰/۵، ۰/۸ را نشان می دهد. در این روش کلیدزنی نیز با کاهش شاخص مدولاسیون، THD ولتاژ خروجی افزایش پیدا می‌کند که این مسئله در روش‌های کلیدزنی متداول نیز اتفاق می‌افتد ولی استفاده از روش کلیدزنی جدید مقادیر THD قابل قبول‌تری نسبت به روش‌های متداول، برای کلیدزنی اینورتر حذف هارمونیک انتخابی خواهند داشت. همچنین در مقایسه با روش‌های کلیدزنی متداول، در این طرح کلیدزنی انواع بیشتری از شکل موج‌های پله‌ای می‌توانند بطور تطبیقی سنتز (ساخته) شوند و امکان دست‌یابی به راه‌حل‌های بهینه برای مشکل حذف هارمونیک انتخابی بیشتر خواهد بود. جدول (۱-۶) دامنه هارمونیک های مختلف برای شاخص مدولاسیون‌های مختلف در روش کلیدزنی جدید را نشان می دهد.




(الف)

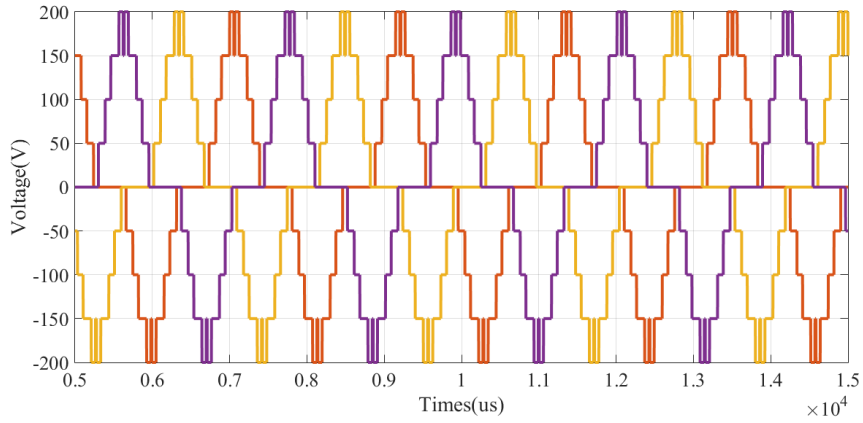



(ب)

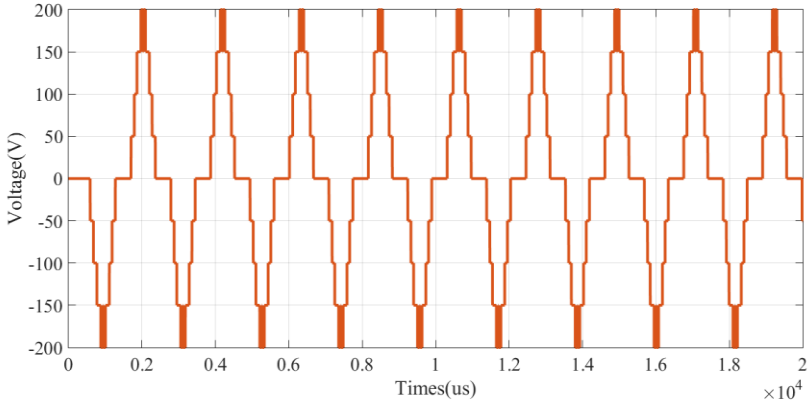



(ج)

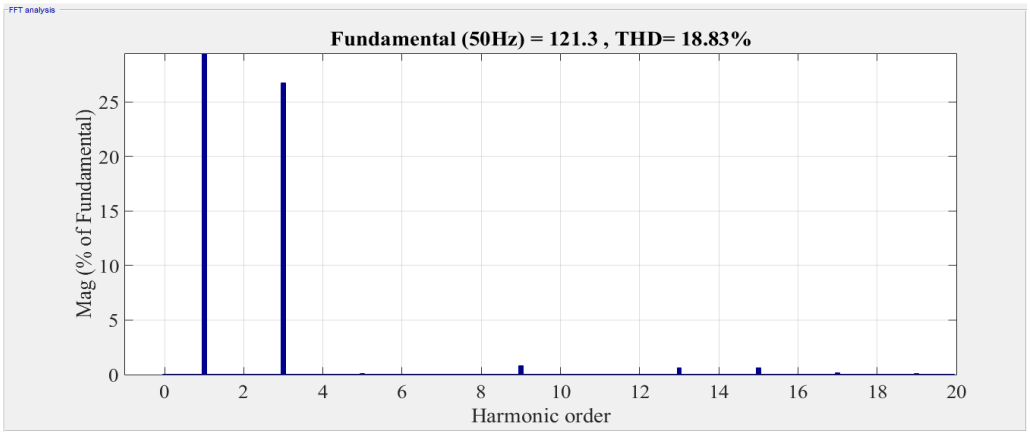
شکل ۱-۲۳: شکل موج خروجی اینورتر ۱۱ سطحی با شاخص مدولاسیون ۰/۲۵




(الف)

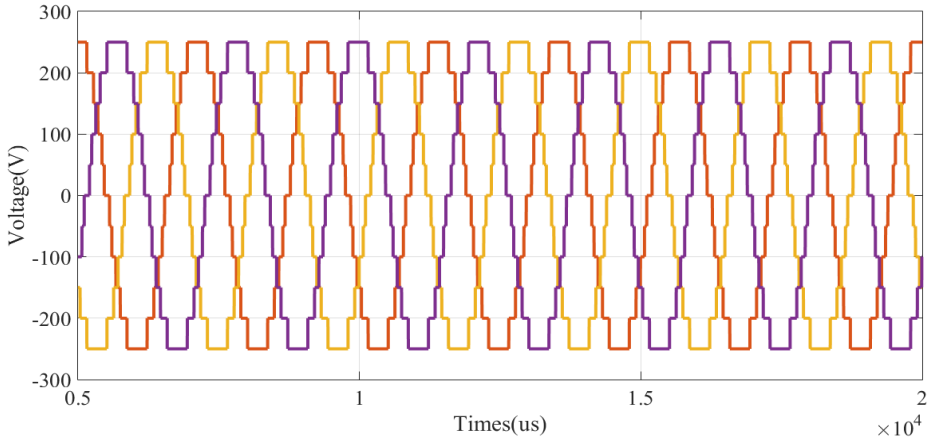



(ب)

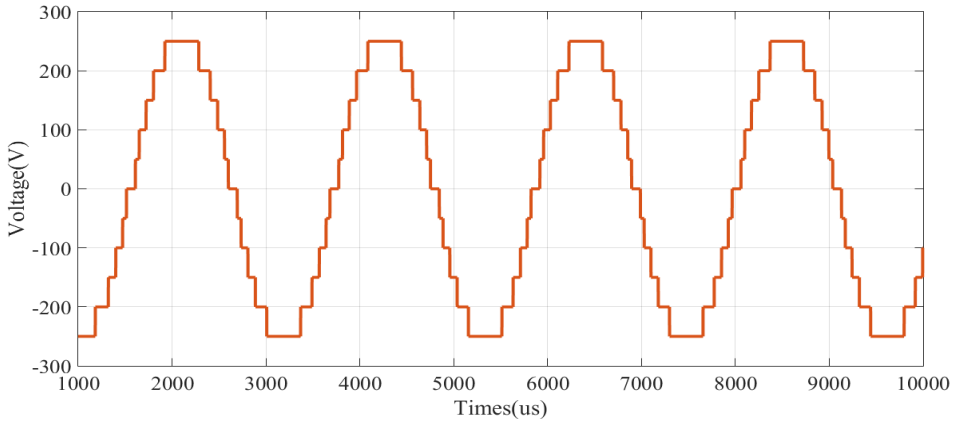



(ج)

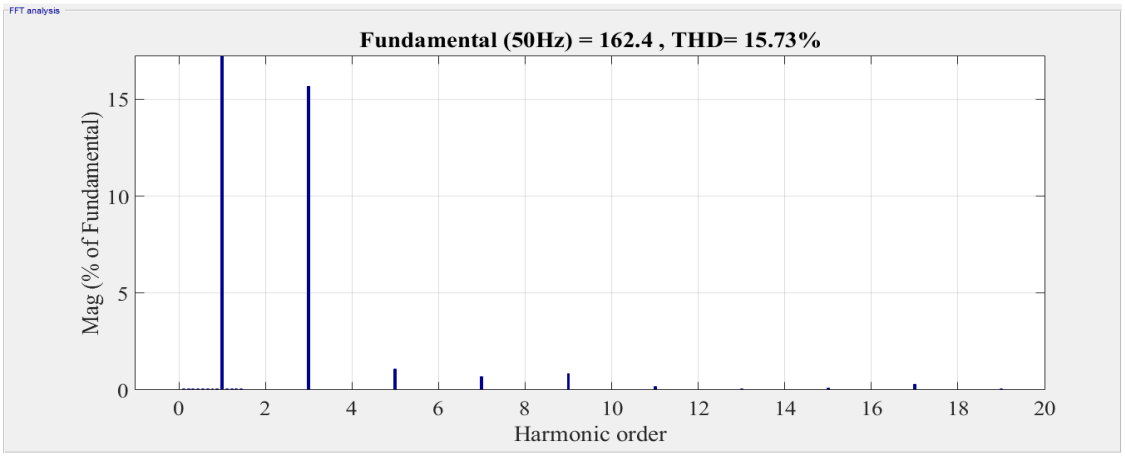
شکل ۱-۲۴: شکل موج خروجی اینورتر ۱۱ سطحی با شاخص مدولاسیون ۰/۵




(الف)

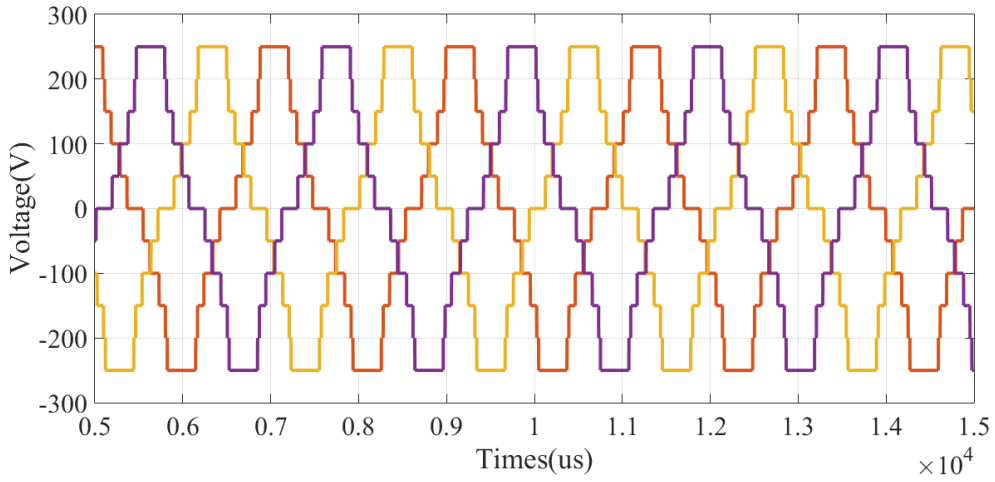



(ب)

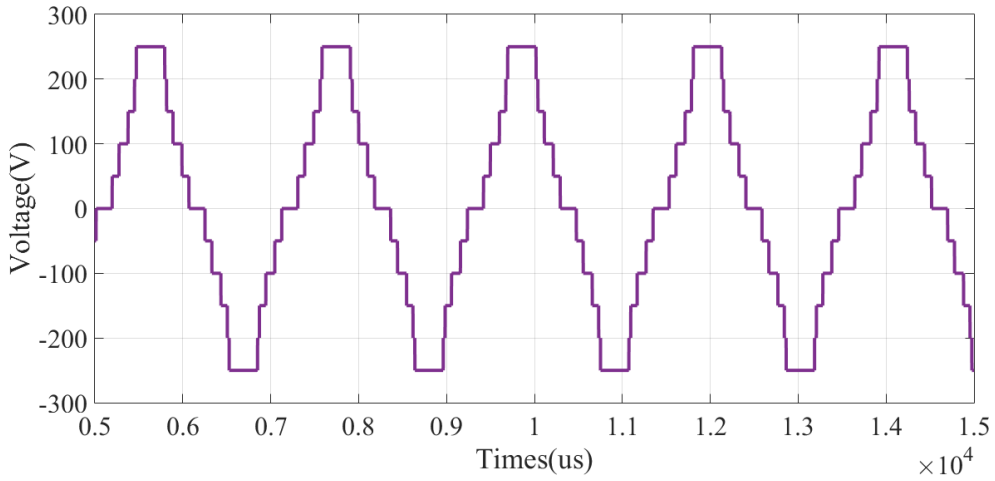



(ج)

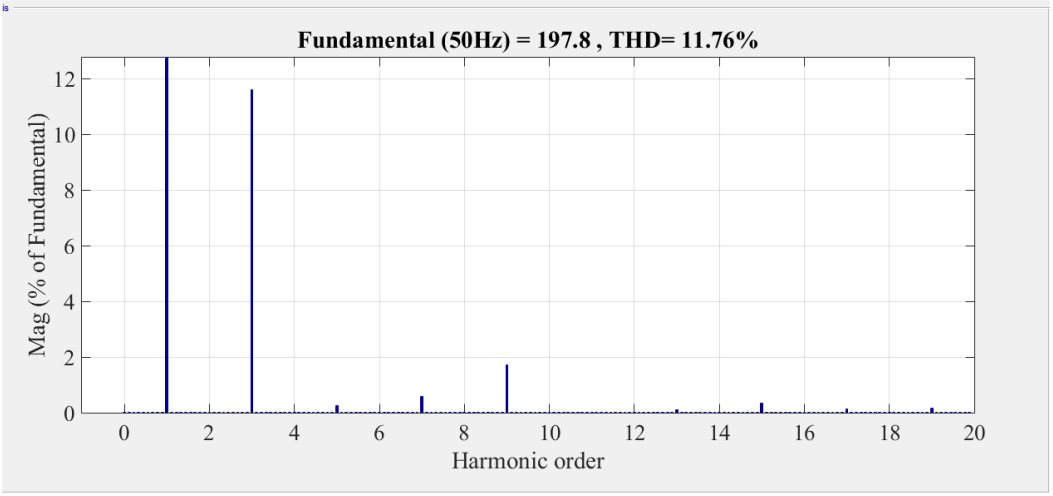
شکل (۱-۲۵): شکل موج خروجی اینورتر ۱۱ سطحی با شاخص مدولاسیون ۰/۸


300
200
100
0
-100
-200
-300
Voltage(V)
0.5
0.6
0.7
0.8
0.9
1
1.1
1.2
1.3
1.4
1.5
Times(us)
×10^4

(الف)

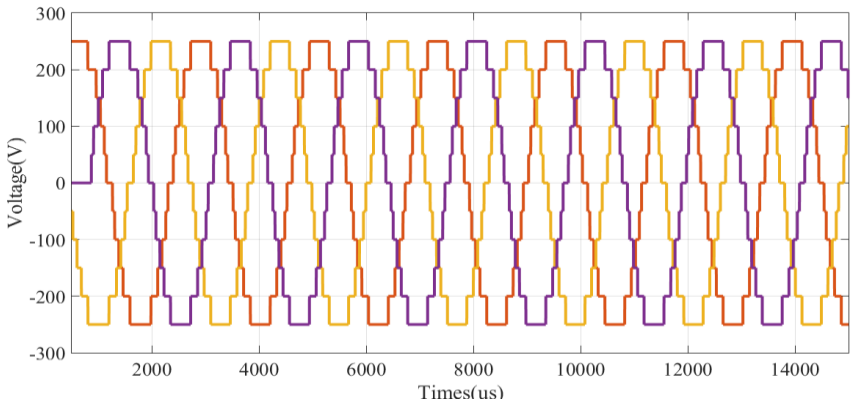

300
200
100
0
-100
-200
-300
Voltage(V)
0.5
0.6
0.7
0.8
0.9
1
1.1
1.2
1.3
1.4
1.5
Times(us)
×10^4

(ب)

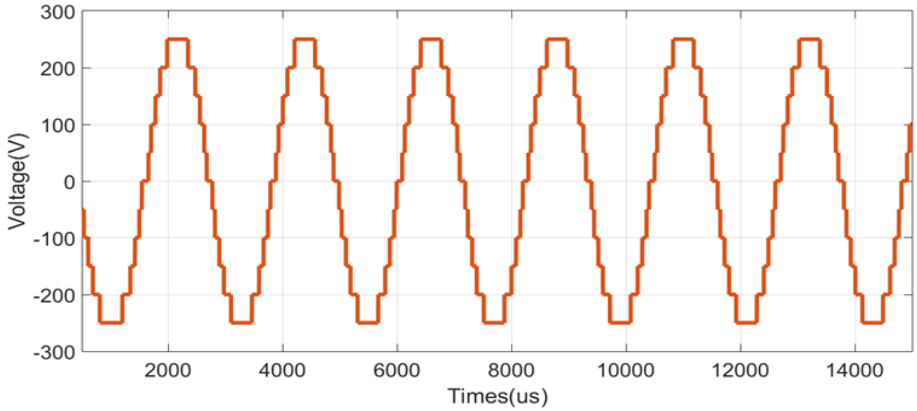



(ج)

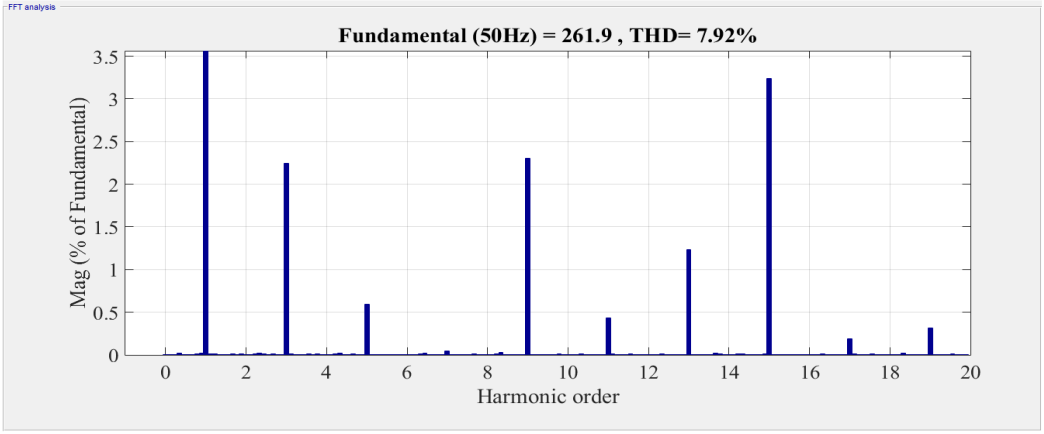
شکل (۱-۲۶): شکل موج خروجی اینورتر ۱۱ سطحی با شاخص مدولاسیون ۰/۹




(الف)



(ب)




(ج)

شکل (۱-۲۷): شکل موج خروجی اینورتر ۱۱ سطحی با شاخص مدولاسیون ۱/۰۵

جدول (۱-۶): مقادیر دامنه هارمونیک های مختلف برای اینورتر ۱۱ سطحی به روش کلیدزنی جدید

| M | $V_{an1}$ | $V_{an5}$ | $V_{an7}$ | $V_{an11}$ | $V_{an13}$ |
|---|---|---|---|---|---|
| 0.25 | 0.2401 | 0.000235 | 0.0000432 | 0.000565 | 0.000645 |
| 0.5 | 0.499979 | 0.000189 | 0.000052 | 0.000165 | 0.00065 |
| 0.8 | 0.799987 | 0.000205 | 0.0000149 | 0.00086 | 0.000376 |
| 1.05 | 1.05211 | 0.000189 | 0.000018 | 0.000565 | 0.000945 |

## ۱-۷) مقایسه روشهای مختلف کلیدزنی در این گزارش

برای مقایسه کلی روش‌های کلید زنی ا ستفاده شده در این گزارش که با دو تابع هدف THD و دامنه به همراه THD انجام گرفت، در جدول ۱-۷ روشـهای مختلف بهینه سـازی و سـطوح مختلف اینورتر مقایسه شده‌اند. همانطور که در این جدول مشاهده می گردد با افزایش تعداد سطوح THD شکل موج خروجی کاهش یافته اسـت و اسـتفاده از روشـهای بهینه سـازی برای پیدا کردن زوایای بهینه تحول عظیمی در کاهش اعوجاج هارمونیکی کل داشته است.

از یک روش کلیدزنی جدید در این پایان نامه استفاده شده است که در مقابل روشهای متداول برای کلیدزنی مقایسه شده است. این روش کلیدزنی از پیچیدگی بیشتری نسبت به روشهای متداول برای کلیدزنی برخوردار است. همان‌طور که در بخش قبل توضیح داده شده است این روش کلیدزنی در نیم موج بصورت تقارن زوج است. یکی از مهمترین خواص این روش کلیدزنی آن است که در یک نقطه کار مشخص نسبت به روش های متداول برای کلیدزنی دارای عملکرد مشابهی است ولی در نقاطی که اینورتر خارج از نقطه کار طراحی شده عمل می کند (به‌طور مثال در شاخص مدولاسیون‌های خارج از مقادیر نامی) نیز دارای عملکرد مطلوبی می باشد. این روش کلیدزنی مناسب برای زمانی است که از دامنه ولتاژ برای کنترل یک متغییر کنترلی از اینورتر تمام پل آبشاری استفاده می‌شود. دامنه هارمونیک ایجاد شده در ضریب مدولاسیون ۰/۹ در این پایان نامه برای کلید زنی جدید برابر ۰/۸۷ می باشد در حالی در روش کلید زنی جدید این مقدار برابر ۰/۸۹ می‌باشد. این نشان می‌دهد در روش کلیدزنی جدید دامنه هارمونیک ایجاد شده تا حدی نسبت به روشهای متداول کمتر است که یکی از معایب این روش کلیدزنی می‌باشد.

کلیدزنی متداول برای شاخص مدولاسیون ۰/۲ در شکل ۱-۲۷ نشان داده شده است. همان‌طور که در این شکل ملاحظه می شود THD شکل موج خروجی با کاهش شاخص مدولاسیون با مقدار قابل توجهی در مقایسه با کلیدزنی جدید برای اینورتر ۱۱ سطحی افزایش یافته است.

جدول ۱-۷ : مقایسه روشهای مختلف بهینه سازی و تعداد سطوح با تابع هدف دامنه و THD در کاهش اعوجاج هارمونیکی کل

| تابع هدف | تعداد سطوح | THD | روش ا ستفاده شده در پیدا کردن زوایا |
|---|---|---|---|
| دامنه و THD | ۱۱ | ۲۲,۶۲ | EP |
| دامنه و THD | ۱۱ | ۲۰,۱۶ | HEP |
| دامنه و THD | ۱۱ | ۱۰,۳ | SFLA |
| THD | ۷ | ۳۱,۲۹ | EP |
| THD | ۷ | ۳۰,۹۸ | HEP |
| THD | ۷ | ۱۳,۶ | PSO |
| THD | ۷ | ۱۲,۵۵ | SFLA |
| THD | ۱۱ | ۲۲,۶۲ | EP |
| THD | ۱۱ | ۲۰,۱۶ | HEP |
| THD | ۱۱ | ۱۰,۸ | PSO |
| THD | ۱۱ | ۹,۷ | SFLA |
| THD | ۱۳ | ۱۹,۷ | EP |
| THD | ۱۳ | ۱۷,۷ | HEP |
| THD | ۱۳ | ۸,۹ | PSO |
| THD | ۱۳ | ۷,۷۵ | SFLA |
| THD | ۱۱ | ۱۱,۷۶ | روش کلیدزنی جدید با SFLA |

## ۱-۸) مقادیر نامی اینورتر مورد نیاز و محدودیت‌های موجود

اینورتر مورد نیاز، اینورتری با قابلیت تنظیم ولتاژ ورودی برای مقادیر ۲۰، ۴۰ و ۶۰ ولت ا ست. از آنجایی که منابع تولید انرژی تجدیدپذیر دارای ولتاژ ورودی متغییر می‌باشند، این نوع اینورترها می تواند جایگزین اینورترهای متداول برای این نوع تولید کننده‌ها باشند. مهمترین نکته در مورد

تولید کننده‌های انرژی پراکنده متغیر بودن دامنه ولتاژ آنها می‌باشد که اینورترهایی که انرژی آنها را به شبکه منتقل می‌کنند را نیازمند سیستم ذخیره ساز انرژی می کنند. مبدل ساخته شده در این طرح در بازه وسیعی از تغییرات ولتاژ بصورت سنکرون با شبکه به عملکرد خود ادامه می‌دهد و نیازی به لینک ثابت با ولتاژ بدون تغییر ندارد.

این اینورترها برای تخلیه انرژی بانکهای ذخیره ساز انرژی در خودروهای الکتریکی مورد ا ستفاده قرار می گیرند. از آنجایی که خوردروهای برقی قیمت تمام شده نسبتا بالایی نسبت به خودروهای بنزینی دارند، برای جبران قسمتی از هزینه های آن می توانند در زمانهای پیک مصرف توان موجود در باتری را به شبکه تزریق کنند. اینورتر پیشنهادی می تواند بر روی این خوردروها نصب شوند و یا بصورت جداگانه توسط مصرف کننده تهیه شود و برای مصرف چندین خودرو به کار گرفته شود. یکی از اهداف تو سعه طرح فوق ن صب شارژر بر روی آن ا ست که می‌توانند ب صورت دو طرفه کار کنند. این کار باعث می‌شود از هزینه‌های خرید دو ماژول شارژر و تزریق کننده توان کاهش یافته و به جای آن یک مبدل دوطرفه در بازار عرضه شود.

مبدل پیشنهادی در این طرح برای استفاده در تزریق توان ناشی از دستگاههای ورزشی ثابت قابل ا ستفاده ا ست. به این ترتیب که انرژی تولید شده نا شی از حرکت ثابت ورز شکار به شبکه تزریق می‌شود. در برخی از شرکت های سازنده دوچرخه‌های ثابت و تردمیل با استفاده از سیستم موتورالکتریکی امکان ذخیره انرژی را فراهم کرده‌اند که با ا ستفاده از سیستم اینورتر فوق می‌توان انرژی ذخیره شده را به شبکه منتقل کرد. علاوه بر آن این دستگاه قابلیت آن را خواهد داشت تا با ا ستفاده از ورودی که از ورز شکار می‌گیرد توان تزریق شد به شبکه متنا سب با حرکت ورز شکار را افزایش دهد. این کار باعث می شود برای ورز شکار یک شییب شبیه سازی شود و دیگر نیازی به ایجاد سیستم مکانیکی برای ایجاد شیب وجود ندارد.

از کاربردهای دیگر موجود پیش روی این نوع مبدل انرژی به انضمام یک مجموعه باطری جهت ا ستفاده در منازل م سکونی و م صارف خانگی برای کنترل توان م صرفی منازل می با شد. با ا ستفاده از این روش یک سیستم جامع کنترل و پخش بار می تواند بصورت لحظه‌ای میزان و جهت انتقال توان از شبکه به م صرف کننده را کنترل کند. این اینورتر می‌تواند در محدوده توان‌های بالا با شد، بصورتی که برای یک ساختمان یک واحد آن کافی با شد یا در ابعاد کوچکتر برای م صرف کننده‌های مختلف یک واحد از آن ن صب شود. بطور مثال برای کولر یا یخچال یک اینورتر جهت کنترل جهت توان م صرفی

آن و حتی اصلاح ضریب توان آن به کار گرفته شود. مشخصات فنی و عملکردی اینورتر مورد استفاده و محدودیت‌ها و قابلیت‌های آن در جدول ۱-۸ ارائه شده‌اند.

جدول ۱-۸ : مشخصات فنی و عملکردی اینورتر مورد استفاده و محدودیت‌ها و قابلیت‌های آن

| پارامتر | مقادیر |
|---|---|
| ولتاژ ورودی | ۲۰±۴۰ ولت |
| ولتاژ خروجی | ۲۳۰ ولت موثر |
| توان خروجی | ۲-۱۰ کیلو وات |
| وزن | ۱/۸-۵ کیلوگرم |
| ابعاد | ۳۰*۲۰*۸۰ بیشینه |
| ایزولاسیون ورودی از خروجی | استفاده از ترانسفورماتور فرکانس بالا |
| محافظ جریان خروجی | دارد |
| قابل برنامه ریزی برای اهداف خاص | دارد |

# فصل دوم

# انتخاب ساختار مناسب و طراحی قطعات ساختی اینورتر

تحقیقات اولیه در زمینه آنچه که به عنوان حلقه با فاز قفل شونده می‌شناسیم به سال ۱۹۳۲ بر می‌گردد، یعنی زمانی که محققان بریتانیایی برای گیرنده سوپر هترودین Edwin Armstrong، روش دیگری، یعنی هوموداین را توسعه دادند در سیستم هوموداین یا سینکروداین یک اسیلاتور محلی به فرکانس مطلوب توان ورودی تنظیم شده و با سیگنال ورودی چند برابر می‌گردد. سیگنال خروجی حاصله شامل اطلاعات اصلی مدولاسیون صوتی می‌باشد. قصد ما این بود تا یک مدار گیرنده متناوبی را توسعه دهیم که به مدارهای میزان شده کمتری نسبت به گیرنده سوپر هترودین نیاز دارد. چون اسیلاتور محلی سریعاً از فرکانس خود خارج می‌شود برای اسیلاتور یک سیگنال (پیام) تصحیح خودکار تا آن را به مانند سیگنال مطلوب، در فاز و فرکانس یکسان، نگه دارد. این تکنیک در سال ۱۹۳۲ در مقاله‌ای توسط H.de Bellescise در مجله فرانسوی Onde Electriqu توصیف شد. این فصل به طراحی قطعات ساختی اینورتر می‌پردازد.

## ۲-۱) طراحی حلقه قفل شده فاز (PLL)

یک حلقه قفل فاز یا حلقه قفل شده در فاز[۱] (PLL) یک سیستم کنترلی الکترونیکی است، که یک سیگنال قفل شده فاز متناسب با ورودی یا مرجع می سازد. PLL در یک فیدبک منفی مشترک توسط مقایسه خروجی «اسیلاتور کنترل شونده با ولتاژ (VCO)» و ورودی فرکانس مرجع، با آشکارساز فاز ، انجام می‌پذیرد. آشکارساز فاز برای هدایت فاز اسیلاتور، به سیگنال مرجع ورودی، استفاده می شود. این نوع از مدارات بطور گسترده در رادیو، ارتباطات مخابراتی، کامپیوترها و دیگر کاربردهای الکترونیکی استفاده می‌شود، که به این ترتیب است:

- ساخت یک یا چند فرکانس ،که از لحاظ پایداری و ثبات به فرکانس مرجع برسد.
- آشکارسازی یک فرکانس خاص
- باز گرداندن یک کلاک یا کریر به حالت اول خود

این مدار که یکی از مهمترین مدارات مخابراتی و الکترونیکی است و استفاده زیادی در دستگاه های الکترونیکی دارد.

[۱] Phase Locked Loop

## ۲-۱-۱) ساختـــار و عـــملـــکرد:

در مورد نحوه عملکرد مدار PLL می توان گفت که وقتی حلقه بر روی سیگنال ورودی قفل باشد فرکانس نوســـان‌ســـاز کنترل شـــده با ولتاژ ( VCO ) دقیقا با فرکانس ســـیگنال ورودی برابر اســـت. آشکار ساز فاز یک سیگنال dc یا فرکانس پایین، متناسب با اختلاف فاز بین سیگنال ورودی و سیگنال خروجی VCO به وجود می‌آورد ( اختلاف فاز فاصله بین نقطه شروع در سیگنال سینوسی است). این ســیگنال حســاس به فاز، از یک فیلتر گذشــته و پس از تقویت به ورودی VCO اعمال می‌شــود و این روند تا آنجا ادامه می یابد که فرکانس سیگنال ورودی با فرکانس VCO برابر شود که سیگنال خروجی روی ســـیگنال ورودی قفل شـــود . مدار PLL یکی از مدارات پر کاربرد در مدارهای الکترونیکی و مخابراتی و به‌خصوص گوشی‌های تلفن همراه است که به صورت یک آی سی جداگانه یا قسمتی از RFSP به کار می‌رود. به این دلیل اســـت که گوشـــی روی فرکانس کانال خالی BTS قفل شـــود. مکانیزم‌های حلقه با فاز قفل شونده می‌تواند به عنوان مدارهای آنالوگ یا دیجیتالی اجرا شود. هر دو از این اجراها، ساختار پایه‌ای یکسانی را به‌کار می‌برند.

هر دو مدار PLL آنالوگ و دیجیتال سه قسمت اصلی دارند:

- یک آشکارساز فاز
- یک اسیلاتور الکترونیکی متغیر
- یک مسیر فیدبک (اغلب شامل یک تقسیم کننده فرکانس است)

- قیاس مکانیکی:

میزان کردن یک سیم پیانو را می‌توان با عملکرد حلقه با فاز قفل شونده مقایسه کرد با استفاده از یک دیاپازول یا Pitch pipe برای بدست آوردن فرکانس مرجع، کشش سیم بالا یا پایین تنظیم می‌شود تا اینکه فرکانس ضربه‌ای نارسا شده و شنیده نمی‌شود (اصطلاحاً این یک مثالی از «حلقه با فاز قفل شونده» فرکانس است زیرا فاز مرجع و سیم تنظیم کننده، برای تنظیم پیانو جزئی و بی‌اهمیت هستند).

قیاسی دیگر، هم‌زمان سازی بخش‌های چرخشی است. مثال رایج، گیر افتادن هم‌زمان چرخ دنده‌ها در انتقال دستی یک اتومبیل است. زمانی که دنده‌ها به هنگام حرکت اتومبیل تغییر می‌کند، چرخ دنده‌ها با سرعت‌های متفاوتی در چرخش هستند. این سرعت‌ها باید با هم منطبق باشند و دندانه‌های حلقه سنکروزاسیون، قبل از اینکه تغییر کامل شود باید همراستا شوند (یا صدای سابیده شدن به گوش خواهد رسید).

- حلقه با فاز قفل شونده دیجیتال:

مدارهای PLL دیجیتال اغلب به عنوان سینتی سایزهای کلاک اصلی برای میکروپروسسور ومؤلفه‌های کلیدی گیرنده/ فرستنده‌های ناهم‌زمان جامع (UARTs) بکار می‌رود. ساختار یک PLL دیجیتال، شبیه PLL آنالوگ (و در بعضی موارد ساده از آن) است. مکانیزم کنترل در یک PLL دیجیتالی بصورت یک «ماشین حالت محدود» بکار می‌رود. آشکارساز فاز می‌تواند یک دستگاه سیستم سنجش و مقیاس ساده باشد. مؤلفه اسیلاتور متغیر PLL، ممکن است با استفاده از یک منبع زمانی (همانند یک اسیلاتور کریستالی)، دو کانتر (بالا و پایین رونده) و یک سیستم مقایسه کننده دیجیتالی، کار کند میزان زیادی از یک PLL دیجیتالی با به کار بردن سیستم‌های منطقی قابل برنامه ریزی خیلی کوچکی اجرا می‌شوند.

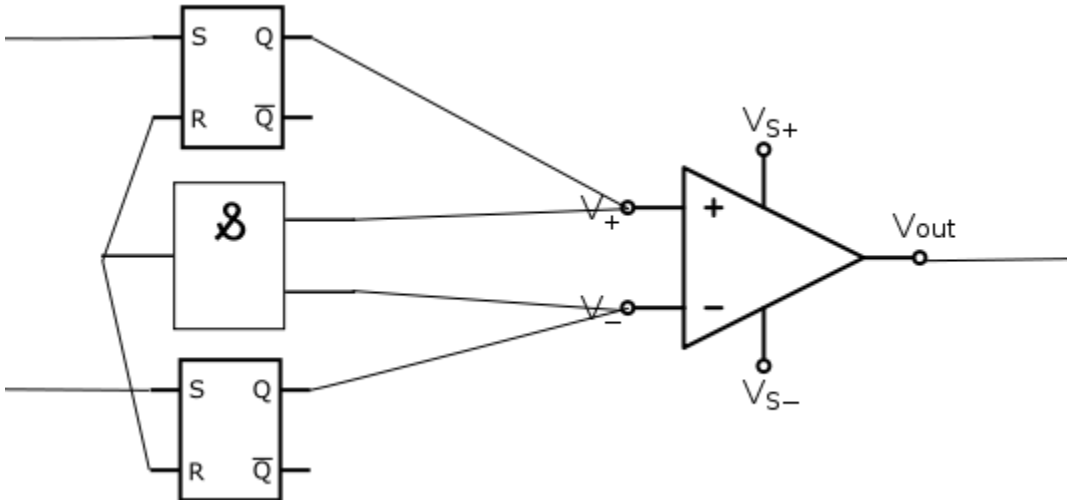
- حلقه با فاز قفل شونده آنالوگ:

PLLهای آنالوگ بطور کلی از یک آشکارساز فاز، فیلتر پایین گذر و اسیلاتور کنترل شده با ولتاژ (VCO) ساخته شده‌اند که در یک وضعیت فیدبک منفی قرار دارند. ممکن است در مسیر فیدبک یا در مسیر مرجع یا هردو مسیر یک تقسیم کننده فرکانس وجود داشته باشد، تا کلاک خروجی PLL را به عدد صحیح چند مبنایی تبدیل کند. یک عدد مضرب غیر صحیح از فرکانس مرجع می‌تواند با

جایگزینی تقسیم بر کانتر N در مسیر فیدبک با یک کانتر شالوینگ ضربه قابل برنامه‌ریزی، بوجود آید. این تکنیک معمولاً به ترکیب کننده کسری N یا PLL کسری (fractional-NPLL) N اشاره می‌کند. اسیلاتور یک سیگنال متناوب در خروجی تولید می‌کند. تصور کنید که اسیلاتور، در ابتدا بمانند سیگنال مرجع، تقریباً در فرکانس خود ثابت است. پس اگر فاز اسیلاتور نسبت به فاز مرجع، افت کند، آشکار ساز فاز باعث می شود که شارژ پمپ، ولتاژ کنترلی را تغییر دهد، بطوری که سرعت اسیلاتور افزایش پیدا می‌کند. به همین صورت، اگر فاز اسیلاتور جلوتر از فاز مرجع باشد آشکار ساز فاز باعث می‌شود که شارژ پمپ با تغییر تنظیم ولتاژ، سرعت اسیلاتور را پایین آورد. فیلتر پایین گذر، سراشیبی ورودی کنترل را از شارژ پمپ صاف می‌کند. چون در ابتدا ممکن است اسیلاتور دورتر از فرکانس مرجع باشد، آشکار سازهای فاز عملی می‌توانند به اختلاف فازها پاسخ داده، و به این ترتیب، محدوده قفل ورودی مجاز را افزایش دهند. بسته به کاربرد و استعمال، خروجی اسیلاتور کنترل‌شونده یا سیگنال کنترل اسیلاتور، خروجی مفیدی از PLL، فراهم می‌کند.

- آشکارساز فاز:

یک بخش مهم حلقه کنترل شونده فاز، آشکارساز فاز است. آشکارساز فاز، فاز دو سیگنال ورودی آشکارساز مقایسه و یک خروجی تصحیح کننده می‌دهد و این خروجی به اسیلاتور کنترل‌شده با ولتاژ (VCO) متصل می‌باشد تا همیشه فاز بین دو ورودی را صفر نگه دارد. دو سیگنال ورودی معمولاً فرکانس مرجع و خروجی تقسیم شده اسیلاتور محلی است. چندین نوع آشکار ساز فاز وجود دارد، ساده‌ترین آن گیت XOR است که اختلاف فاز ۹۰ درجه را حفظ می‌کند اما نمی‌تواند سیگنال را قفل کند مگر اینکه قبلاً به فرکانس نزدیک شده باشد. آشکار ساز پیچیده‌تر، یک State machine ساده به کار می‌برد تا تعیین کند که کدام دو سیگنال زودتر و اغلب موارد، تقاطع صفر دارد. این راه، PLL را به داخل قفل می‌آورد حتی زمانی که فرکانس وجود ندارد. این نوع به عنوان یک آشکارساز فرکانس فاز شناخته شده که در شکل ۲-۱ نشان داده شده است.




شکل (۲-۱): دیاگرام مداری آشکارساز فاز

تقویت کننده تربیعی، نیز به عنوان میکسر می‌تواند به مانند یک آشکارساز فاز بکار رود. با تقویت اسیلاتور و سیگنال‌های مرجع، این آشکارساز یک خروجی تولید می‌کند که از سیگنال فرکانس پایین تشکیل شده و دامنه آن مربوط به اختلاف فاز یا خطای فاز بین اسیلاتور و مرجع (Reference) می‌باشد و یک سیگنال ناخواسته دوم را از فرکانس اسیلاتور دارد که توسط یک فیلتر پایین گذر، حذف می‌شود.

یک PLL با یک آشکارساز پمپ شارژ Bang – bang، پالس‌هایی با بار ثابت، مثبت منفی، به خازن وارد می‌کند تا این خازن به عنوان یک مدار انتگرال‌گیر خازنی عمل کند. آشکارساز فاز برای یک پمپ شارژ Bang – bang باید همیشه یک Dead band داشته باشد که در آنجا فازهای مرجع و کلاک‌های فیدبک آنقدر نزدیک هستند که آشکارساز هر دو یا هیچکدام از پمپ‌های شارژها بدون هیچ تأثیر کلی، fine می‌کند. آشکارسازهای فاز Bang – bang ساده هستند، ولی در ارتباط با کوچک‌ترین پیک تو پیک تعریف‌شده جیتر قرار دارند، زیرا در حلقه با فاز قفل شونده آفست دو ارزش نهایی band dead را بدون تحریک، تحمیل می‌کند.

آشکارساز فاز متناسب، پمپ شارژ را هدایت کرده تا مقدار شارژ را در خطای آشکارساز فاز، بدست آورد. گرچه بعضی آشکارسازهای فاز متناسب، dead bandهایی دارند، اما بعضی هم از آن محرومند. به طور ویژه، بعضی طرح‌ها هر دو کنترل پالس «بالا و پایین» را حتی هنگامی که فاز آفست صفر است، تولید می‌کنند. این پالس‌ها مدت کوتاه یکسانی داشته و باعث می‌شود که پمپ شارژ در زمانی که فاز کاملاً انطباق دارد، پالس‌های جریان مثبت و منفی بار برابر را تولید کند. اگر ورودی‌ها به طور ناچیزی

با هم عدم تطبیق داشته باشند، هم پالس بالا یا پایین کمی بار بیشتری از دیگری خواهد داشت و PLL قادر خواهد بود تا آفست را تصحیح کند. نظارت، یک dead band را نمایش نمی‌دهد. در حقیقت آشکارساز فاز یک میکسر فرکانس یا ضرب کننده آنالوگ است که سیگنالی متناسب با تفاوت در فاز دو ورودی می‌سازد. آشکارساز فاز یکی از اساسی‌ترین عناصر حلقه قفل شده فاز است. آشکارسازی فاز در بسیاری از موارد، همچون کنترل موتور، مکانیزم فرمانیار و دمدولاسیون، امری بسیار مهم است. انواع مختلفی از آشکارساز فاز بسته به نوع رنج کاری وجود دارد. یک گیت XOR می‌تواند به عنوان یک آشکارساز فاز بکار رود زمانی که دو سیگنال ورودی XOR از لحاظ فرکانس یا فاز کاملاً مساوی باشد، خروجی آشکارساز فاز صفر خواهد بود، حتی با یک درجه اختلاف فاز خروجی گیت XOR یک می شود که سیکل کاری خروجی برابر ۱/۳۶۰ در سیکل است. زمانی که اختلاف فاز ۱۸۰ درجه باشد خروجی از حالت متناوب خارج شده و بصورت ممتد یک می‌شود.

**۲-۱-۲) انواع اسیلاتورها:**

- **اسیلاتورهای LC:**

اسیلاتور القایی (اوسیلاتور LC) از یک مدار تانک LC ساخته شده‌اند که با شارژ و دشارژ کردن یک خازن از طریق یک سلف، نوسان می‌کند. این اسیلاتورها، در زمانی که یک منبع فرکانس قابل کنترل لازم باشد (مثل فرستنده گیرنده‌های رادیویی) نوعاً کاربرد دارند. بیشتر اسیلاتورهای LC، القاگرهای off-chip را بکار می‌برند. القاگرهای on-chip از اتلاف زیاد توان ورودی آزار می یابند، به گونه‌ای که Q ناشی از مدار تانک، کمتر از ۱۰ است. هر چه فرایندها، شمار بیشتری از ورقه‌های فلزی را تولید کند، القاگرهای on-chip، مفیدتر و سودمند می‌شوند. یک خازن کنترل شونده با ولتاژ، روشی است که یک اسیلاتور LC را وادار می‌کند که فرکانسش را در پاسخ به یک ولتاژ کنترلی، تغییر دهد. هر دیود نیمه‌هادی با بایاس معکوس، میزانی از ظرفیت الکتریکی خازن وابسته به ولتاژ را نشان می‌دهد و می‌تواند بکار رود تا فرکانس یک اسیلاتور را با تغییر یک ولتاژ کنترلی بکار رفته برای دیود، تغییر دهد. دیودهای با ظرفیت الکتریکی متغیر varactor با دامنه وسیعی از مقدار الکتریکی خازنی وجود دارند. چنین دستگاهایی در تولید اسیلاتورهای کنترل شونده با ولتاژ، بسیار مناسب هستند.

- **اسیلاتورهای کریستالی:**

ا سیلاتورهای کریستالی، بلورهای کوارتز پیزو الکتریک هستند که بطور مکانیکی بین دو شکل با تفاوت جزئی، نوسان می‌کنند. بلورها ضریب مرغوبیت (Q) خیلی بالایی دارند و فقط می‌توانند در دامنه کوتاهی از فرکانس‌ها، کنترل شوند. اسیلاتورهای کریستالی به عنوان مرجع فرکانس در PLL های دیگر بکار می‌روند و تقریباً در هر دستگاه الکترونیک مصرف کننده، یافت می‌شوند. چون این کریستال یک مؤلفه off-chip به شمار می‌رود، که بعضی هزینه‌ها و پیچیدگی را به طرح سیستم اضافه می‌کند، اما کریستال به خودی خود، کم خرج و ارزان است.

- **قطعات موج صوتی سطحی (SAWs):**

قطعات موج صوتی سطحی (SAWs)، یک نوع ا سیلاتور کریستالی هستند، اما با برقراری موج ایستاده بر سطح بلور کوارتز، نوسان‌های بیشتری پیدا می‌کنند. این قطعات، گران‌تر از اسیلاتور کریستالی هستند، و در بیشتر کاربردهای خاص که نیاز به مرجع فرکانس خیلی دقیق و مستقیم دارند، همانند تلفن‌های موبایل، بکار می‌روند.

برای اینکه یک PLL در داخل یک تراشه میکروپروسسور ساخته شود، اسیلاتورهای حلقه می‌توانند به عنوان اسیلاتور کنترل شونده با ولتاژ یک مولتی ویبراتور آزاد (VCO) بکار روند. آنها از یک حلقه حالت‌های تاخیر فعال ساخته شده‌اند. در کل این حلقه، دارای تعداد تکی حالت‌های معکوس ا ست، به گونه‌ای که و ضعیت ثابتی برای ولتاژهای حلقه داخلی وجود ندارد. در عوض، یک انتقال تکی نامحدود در اطراف این حلقه انتشار می‌یابد. این فرکانس با تغییر ولتاژ ورودی یا بار خازنی در هر مرحله، کنترل و تنظیم می شود. مجموعاً VCO، پایین ترین ضریب مرغوبیت را از ا سیلاتورهای بکار رفته، نشان می‌دهند و بنابراین از جیتر Jitter بیشتری نسبت به انواع دیگر، رنج می‌برد. این Jitter به نسبت پایینی می‌تواند برای بسیاری از کاربردها ایجاد شود، که در این طور موارد VCO از مزایای نداشتن مؤلفه‌های off-chip (گرانی) یا القاگرهای on-chip (بازده کم در فرآیند CMOS) بهره‌مند می‌شود. همچنین این اسیلاتورها نسبت به انواع دیگر از دامنه گسترده‌ای از کنترل و تنظیم برخوردارند، که بازده را افزایش می‌دهد و گاهی صورتی از تولید نهایی محسوب می‌شود.

- **مسیر فیدبک و مقسم اختیاری:**

بیشتر PLLهـا دارای یک تقسیم کننده بین اسیلاتور و ورودی فیدبک آشکارساز فاز بوده که یک سینتی سایزر فرکانس تولید کند. یک تقسیم‌کننده قابل برنامه‌ریزی در کاربرد فرستنده‌های رادیویی مفید اسـت، زیرا شـمار زیادی از فرکانس‌های فرسـتنده می‌تواند از اسـیلاتور پایدار منفرد و دقیق اما گران تولید گردند.

همچنین بعضی PLLها شامل یک تقسیم کننده بین کلاک مرجع و ورودی مرجع برای آشکار ساز فاز هستند. اگر این تقسیم کننده با M تقسیم شود، به VCO این امکان را می‌دهد که توسط N / M فرکانس مرجع را چند برابر کند. به نظر سـاده‌تر اسـت تا تنها PLL را با یک فرکانس پایین تغذیه کنیم، اما در بعضی موارد، موضوعات دیگر فرکانس مرجع را تحمیل می‌کنند و بنابراین تقسیم کننده مرجع ارجعیت دارد. ضـرب فرکانس در یک مورد می‌تواند با قفل PLL بر روی `n`امین هارمونیک سیگنال، بدست آید.

**۲-۱-۳) کاربردها:**

حلقه‌های قفل‌شـونده فاز به طور گسـترده برای اهداف هم‌زمان سـازی بکار می‌روند؛ در ارتباط پیرامونی برای ردگیری موج حامل و گسـترش آسـتانه، هم‌زمان‌سـازی بیتی و هم‌زمان‌سـازی نشـانه، همچنین حلقه قفل شونده فاز می‌تواند برای دمدولاسیون کردن سیگنال‌های مدوله شده فرکانسی بکار روند. در فرسـتنده‌های رادیویی، یک PLL فرکانس‌های جدیدی را که مضـربی از فرکانس مرجع هستند، با همان ثبات به عنوان فرکانس مرجع، هم‌زمان (synthesize) می‌کند.

- ✓ **بازیابی کلاک:**

بعضـی از رشـته‌های اطلاعاتی، مخصـوصـاً رشـته‌های اطلاعاتی سـریال با سـرعت بالا (همانند رشـته‌های خام اطلاعات در مـد مغناطیسـی در دیسـک درایو)، بدون یک کلاک همراه، فرسـتاده می‌شـوند. این گیرنده از یک مرجع فرکانس تقریبی، کلاکی را ایجاد می‌کند و سـپس فاز را در انتقال رشـته اطلاعاتی با یک PLL در یک ردیف قرار می‌دهد. این فرآیند بازیابی کلاک نامیده می‌شـود. به منظور اجرای این طرح، رشته اطلاعاتی باید یک انتقال داشته باشد تا هر انحرافی را در اسیلاتور PLL تصحیح کند. چند نوع از انکدر به کار رفته‌است که B۱۰B۸ خیلی رایج است.

### ✓ اُریب زدایی:

اگر کلاک به صورت موازی با اطلاعات فرستاده شود، آن کلاک می‌تواند از اطلاعات نمونه برداری کند. چون کلاک قبل از اینکه بتواند فلیپ فلاپ را تحریک کرده تا از اطلاعات نمونه برداری کند، باید دریافت و تقویت شود، پس یک محدودیت و تأخیر وابسته به فرآیند دما و ولتاژ بین لبه کلاک آشکار شده و پنجره اطلاعات دریافت شده وجود خواهد داشت. یک راه حذف این تاخیر این است که PLL اُریب زدا را بر روی طرف گیرنده قرار دهیم به طوری‌که کلاک در هر فلیپ فلاپ اطلاعاتی با کلاک دریافتی، از نظر فاز با هم منطبق شوند. در این نوع کاربرد، صورت خاصی از یک PLL که اغلب مورد استفاده قرار می‌گیرد، حلقه قفل شده تاخیر (DLL[۱]) نامیده می‌شود.

### ✓ تولید پـالس:

بیشتر سیستم‌های الکترونیک شامل انواع مختلفی از پرداز شگرها هستند که با سرعت صدها مگاهرتز کار می‌کنند. منابع پالسی که به نوعی برای این پرداز شگرها تهیه می شوند از PLLهای مولد پالس نشأت می‌گیرند که مرجع پالسی با فرکانس پایین‌تر (معمولاً ۵۰ یا ۱۰۰ مگاهرتز) را تا فرکانس عملیاتی آن پردازشـــگر، افزایش می‌دهد. فاکتور ضـــرب می‌تواند در مواردی که فرکانس کار، چند گیگاهرتز و کریستال مرجع ده‌ها یا صدها مگاهرتز است واقعاً بزرگ باشد

### ✓ وسعت طیف:

تمام سیستم‌های الکترونیکی، بعضی انرژی‌های فرکانس رادیویی ناخواسته را انتشار می‌دهند. آژانس‌های تنظیمی مختلفی (همانند کمیسیون ارتباطات فدرال، FCC در ایالات متحده) محدودیت‌هایی را در زمینه این انرژی انتشار یافته و تداخلات صورت گرفته توسط آن وضع کردند. نویز انتشار یافته به طور کلی در پیک طیفی تیز ظاهر می‌شود. یک طراح سیستم می‌تواند از یک PLL طیف گسترده استفاده کند تا تداخلات گیرنده‌های با ضریب مرغوبیت بالا را با استفاده از گسترش انرژی در سراسر بخش بزرگ‌تر طیف، کاهش دهد. برای مثال، با تغییر فرکانس کار به بالا و پایین به مقدار کوتاهی (تقریباً ۱٪) عملکرد یک سیستم با صدها مگاهرتز می‌تواند تداخلش را حتی بالاتر از چند مگاهرتز طیف

[۱] Delay - Locked Loop

گسترش دهد که شدیداً میزان نویزی که با گیرنده‌های FM دارای ده‌ها کیلوهرتز گستره باند دیده شده، کاهش می‌دهد.

✓ **توزیع کلاک:**

کلاک مرجع به چیپ وارد شـده و PLL را تحریک می‌کند. توزیع کلاک معمولاً متوازن اسـت به گونه‌ای که کلاک در هر نقطه پایانی به طور هم‌زمان می‌رسد. یکی از نقاط پایانی، ورودی فیدبک PLL اسـت. تابع PLL باید کلاک توزیع شـده را با کلاک مرجع آمده، مقایسـه کند و فاز و فرکانس خروجی‌اش را تغییر دهد تا اینکه کلاک مرجع و کلاک فیدبک، فاز و فرکانس منطبق با هم شـده با شند. از دیدگاه نظریه کنترل، PLL یک مورد خاص از «فیلتر کالمن» (Kalman) ا ست. PLLها در همه جا ه ستند؛ آنها کلاک‌ها را به خوبی کلاکی که در ق سمت‌های کوچکی از چیپ‌های منفرد توزیع می‌شوند، در سیستم‌ها پخش می‌کنند. گاهی اوقات کلاک مرجع، اصلاً نمی‌تواند یک کلاک الگو باشد، بلکه یک ر شته اطلاعاتی با انتقال کافی ا ست که PLL را قادر می سازد تا یک کلاک منظمی را از آن رشته بازیابی کند. گاهی کلاک مرجع همان فرکانسی است که آن کلاک از طریق توزیع کلاک بدست آورده، کلاک‌های دیگر ناشی از کلاک توزیعی ممکن است کلاک مرجع چندگانه باشند.

✓ **کاهش اختلال و نویز:**

یک خاصیت مطلوب تمام PLL این است که لبه‌های کلاک فیدبک و کلاک مرجع، در یک ردیف خیلی نزدیک قرار می‌گیرند. اختلاف متوسط کلاک بین فازهای دو سیگنال در زمانی که PLL کلاک را بدست آورده static phase offset نامیده می‌شود. واریانس بین این دو فاز را tracking jitter می‌نامند. فاز آفست ایستا (static phase offset) باید صفر باشد و tracking jitter نیز باید تا حد ممکن پایین باشد.

نویز فاز (Phase noise) نوعی دیگر از اختلال است که در PLLها مشاهده می‌شود و بیشتر توسط سازه‌های تقویت کننده به کار رفته در مدار، به وجود می‌آید. بعضی تکنولوژی‌ها شناخته شده‌اند تا بهتر از دیگران در این زمینه، کار انجام دهیم. بهترین PLLهای دیجیتالی با سازه‌های منطقی امیتر کوپل شده (ECL) با هزینه مصرف بالا، ایجاد می‌شوند. برای پایین نگه داشتن نویز در مدارهای PLL، بهتر است تا از اشباع مدارهای منطقی مثل TTL یا CMOS اجتناب کنیم.

خاصیت مطلوب دیگر تمام PLLها این است که فاز و فرکانس ناشی از کلاک تولید شده، با تغییرات سریع ولتاژ تغذیه و خطوط زمین، تأثیری نخواهد داشت و ولتاژ سابستریت که از روی آن مدارهای PLL ساخته شده‌اند نیز با این تغییرات، تأثیر نمی‌گیرند. این خاصیت را دفع نویز ورودی و سابستریت می‌نامند. هرچه میزان دفع نویز بیشتر باشد، بهتر است.

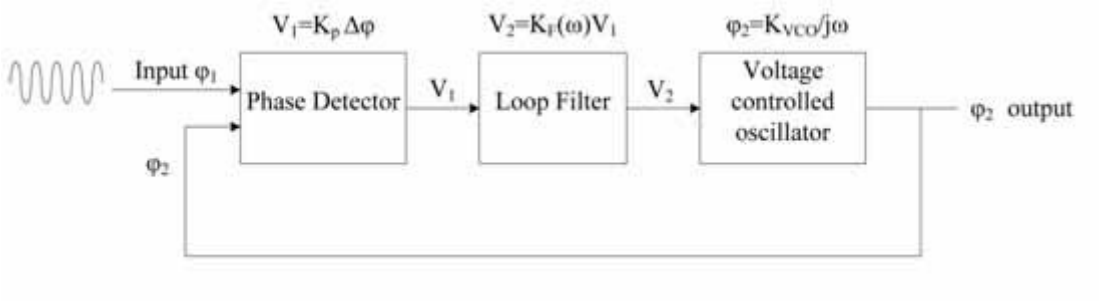
### ۲-۱-۴) دیگر کاربردها

موارد دیگر استفاده PLL :

- سینتی سایزر فرکانس برای تنظیم دیجیتالی فرستنده گیرنده‌های رادیویی
- دمدولاسیون سیگنال‌های AM و FM
- بهبود سیگنال‌های کوچکی که بدون PLL در نویز، کم می‌شود .
- بازیابی اطلاعات منبع کلاک از رشته اطلاعاتی مثل اطلاعات حاصله دیسک درایو
- ضرب کلاک در میکروپروسسورهایی که به سازه پردازشگر داخلی اجازه می‌دهد تا سریعتر ازارتباطات خارجی حرکت کند، در حالی که ارتباطات کلاکی دقیق را حفظ می‌کند.
- دکودرهای DTMF، مودم‌ها و دیگر دکودرهای تُن، برای کنترل و ارتباطات از راه دور

عموماً از PLL برای پیدا کردن دنباله فرکانسی و زاویه فاز منبع ولتاژ استفاده می‌شود. و بدین وسیله هرگونه تغییری در وضعیت سیستم، آشکارسازی می‌شود. PLL سیستم کنترلی حلقه بسته‌ای است که سیگنالی با فرکانس و زاویه‌فاز سیگنال ورودی تولید می‌کند. قسمت‌های داخلی PLL را می‌توان به آشکارساز فاز، نوسان‌ساز متغیر و مسیر فیدبک تقسیم کرد. PLL فرکانس و زاویه فاز نوسانساز داخلی خود را تا زمانی که با فرکانس و زاویه فاز سیگنال ورودی یکی نشده تغییر می‌دهد و از این طریق به تغییرات سیگنال ورودی پاسخ می‌دهد.

نمونه‌ای PLL در شکل ۲-۲ نمایش داده شده است. زاویه فاز سیگنال ورودی با فیدبک خروجی نوسانساز مقایسه می‌شود و متناسب با اختلاف بین زاویه فاز ورودی و خروجی سیگنال خطا تولید می‌شود. خروجی آشکارساز فاز شامل مولفه‌های هارمونیکی است که توسط فیلتر پایین گذر عبور داده می‌شوند.

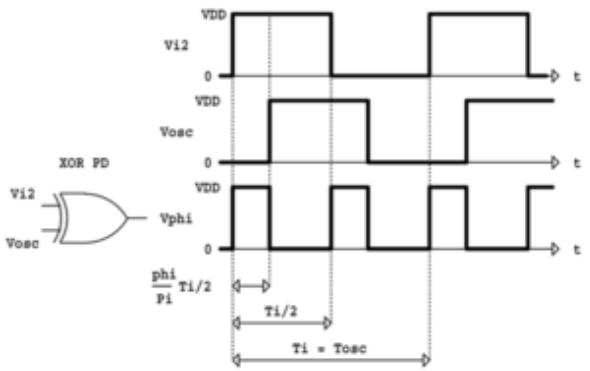



شکل (۲-۲): حلقه قفل شده فاز (PLL)

ولتاژ کنترل شده خروجی حلقه فیلتر (که تابعی از فرکانس می باشد) وارد نوسانساز شده و یک فاز خروجی تولید می‌کند. این سیگنال خروجی (که به شکل زاویه فاز می باشد) با یک فیدبک منفی به آشکار ساز فاز برمی‌گردد. خروجی اسلاتور با ورودی مقایسه می شود، اگر فرکانس آنها متفاوت بود فرکانس اسیلاتور تغییر می‌کند تا با فرکانس ورودی برابر شود.

PLLهای آنالوگ بطور کلی از یک آشکار ساز فاز، فیلتر پایین گذر و اسیلاتور کنترل شده با ولتاژ (VCO) ساخته شده اندکه در یک وضعیت فیدبک منفی قرار دارند. ممکن است در مسیر فیدبک یا در مسیر مرجع یا هردو مسیر یک تقسیم کننده فرکانس وجود داشته باشد، تا کلاک خروجی PLL را به عدد صحیح چند مبنایی تبدیل کند. یک عدد مضرب غیر صحیح از فرکانس مرجع می‌تواند با جایگزینی تقسیم بر کانتر N در مسیر فیدبک با یک کانتر شالوینگ ضربه قابل برنامه ریزی، بوجود آید. این تکنیک معمولاً به ترکیب کننده کسری N یا PLL کسری (fractional-NPLL) اشاره می‌کند.

گیت XOR در استفاده آشکارساز فاز اسیلاتور یک سیگنال متناوب در خروجی تولید می‌کند. تصور کنید که اسیلاتور، در ابتدا بمانند سیگنال مرجع، تقریباً در فرکانس خود ثابت است. پس اگر فاز اسیلاتور نسبت به فاز مرجع افت کند، آشکار ساز فاز باعث می شود که شارژ پمپ، ولتاژ کنترلی را تغییر دهد، بطوری که سرعت اسیلاتور افزایش پیدا می‌کند. به همین صورت، اگر فاز اسیلاتور جلوتر از فاز مرجع باشد آشکارساز فاز باعث می‌شود که شارژ پمپ با تغییر تنظیم ولتاژ، سرعت اسیلاتور را پایین آورد. فیلتر پایین گذر، سراشیبی ورودی کنترل را از شارژ پمپ صاف می‌کند. چون در ابتدا ممکن است اسیلاتور دورتر از فرکانس مرجع باشد، آشکارسازهای فاز عملی می‌توانند به اختلاف فازها پاسخ داده، و به این ترتیب، محدوده قفل ورودی مجاز را افزایش دهند. بسته به کاربرد و استعمال، خروجی اسیلاتور کنترل شونده یا سیگنال کنترل اسیلاتور، خروجی مفیدی از PLL فراهم می‌کند.




شکل (۲-۳): گیت XOR و خروجی آن

سینتی سایزر به سیستم الکترونیکی گفته می‌شود که نوسانات الکترومغناطیسی با فرکانس انتخابی را به صورت دقیق تولید می‌کند. سینتی سایزر برای تولید نو سان دلخواه از یک نو سان ساز (ا سیلاتور) دقیق (معمولا کریستالی) و یا یک سیگنال زمان‌بندی مرجع به عنوان ورودی استفاده می‌کند و در یک بازه فرکانسی می‌تواند نوسان‌هایی با فرکانس مطلوب را بر اساس سیگنال مرجع به صورت دقیق و قفل شده تولید کند. سینتی سایزرها برای تولید نو سانات تک فرکانس قابل تنظیم (در سیستم‌های رادیویی) یا مجموعه‌ای از نوسانات ترکیب شده (سینتی سایزهای چندکاناله در سیستم‌های صوتی) به کار می‌روند. این مدارات امروزه در وسایل الکترونیکی زیادی از قبیل انواع گیرنده‌ها و فرستنده‌های رادیویی، سیستم‌های رادیویی ماهواره‌ای و جی‌پی‌اس، لوازم مو سیقی الکترونیکی و تجهیزات صوتی دیجیتال مانند کارت‌های صوتی کامپیوترها استفاده می‌شوند.

- **اصول سینتی سایزرهای PLL:**

یک حلقه فاز قفل شده کاری را برای فرکانس انجام می‌دهد که کنترل گین خودکار (AGC) برای ولتاژ انجام می‌دهد، حلقه فاز قفل شده فرکانس دو سیگنال را مقایسه می‌کند و یک سیگنال خطا متناسب با تفاضل فرکانس دو ورودی، می‌سازد. سیگنال خطا برای راه اندازی یک ولتاژ کنترل اسیلاتور (VCO) که یک خروجی فرکانس دارد استفاده می‌شود. خروجی فرکانس VCO از تقسیم کننده فرکانس عبور داده شده و به ورودی سیستم باز می‌گردد که یک حلقه فیدبک منفی می‌سازد. اگر خروجی VCO از فرکانس خود خارج شد سیگنال خطا افزایش خواهد یافت در نتیجه PLL فرکانس را در معکوس آن فرکانس تغییر می‌دهد تا سیگنا خطا را کاهش دهد، بنابراین خروجی در فرکانس ورودی دیگر قفل

می‌شود. این ورودی را مرجع (Reference) می‌نامند و توسط اسیلاتور بسیار باثبات کریستالی تامین می‌گردد. در بلوک دیاگرام شکل زیر عناصر اساسی و آرایش سینتی سایزر PLL نشان داده شده است. مسئله اساسی و کلیدی به جهت تولید فرکانس‌های مختلف در سینتی سایزر تقسیم کننده بین ورودی و خروجی فیدبک است، این تقسیم کننده معمولاً کانترهای دیجیتالی می‌باشد که خروجی سیگنال سینتی سایزر نقش کلاک را برای کانتر ایفا می‌کند. کانتر با قرار دادن مقدار اولیه و کلاک ورودی، به سمت پایین می‌شمارد، وقتی کانتر به صفر رسید، خروجی کانتر تغییر وضعیت داده و مقدار کانتر دوباره بارگذاری می‌شود. این مدار واضح است که توسط فلیپ فلاپ‌ها اجرا می‌شود، زیرا طبیعت این مدار دیجیتالی است و ارتباط‌دهی آن با دیگر قطعات دیجیتالی و میکروپروسسورها، آسان است. توسط سینتی سایزر، فرکانس خروجی با سیستم دیجیتالی کنترل می‌شود.

- **اسیلاتور کنترل‌شده با ولتاژ:**

اسیلاتور کنترل شده با ولتاژ یا VCO مخفف voltage control osilator است که یک اسیلاتور الکترونیکی است و به جهت کنترل فرکانس نوسان توسط ولتاژ، طراحی شده است. فرکانس نوسان یا سرعت تکرار در ثانیه متناسب با ولتاژ DC ورودی تغییر می‌کند، پس وقتی سیگنال پیام را به VCO می‌دهیم مدولاسیون فرکانس (FM)، مدولاسیون فاز (PM) و مدولاسیون پهنای پالس (PWM) را می‌توانیم بدست آوریم.

- **کنترل فرکانس در VCO:**

در فرکانس‌های بالا، عنصر کنترل شونده با ولتاژ، عموماً دیود و راکتور است که به قسمتی از مدار تانک اسیلاتور LC، متصل است. در فرکانس‌های پایین، دیگر روش‌های تغییر فرکانس همچون دگرگونی در سرعت شارژ خازن، یعنی منبع جریان کنترل شونده با ولتاژ استفاده می‌شود.

- **اسیلاتور کریستالی کنترل شونده با ولتاژ:**

یک اسیلاتور کریستالی کنترل شونده با ولتاژ (VCXO) زمانی استفاده می‌شود که، فرکانس کار به مقدار تنظیمات نسبی کوچک (مقدار دقیق فرکانس یا فاز اسیلاتور بسیار حیاتی باشد) یا با اعمال یک ولتاژ متغیر در ورودی کنترلی اسیلاتور می‌خواهیم تداخلات رادیو فرکانسی را بر روی یک رنج فرکانسی برای رفع ایراد حذف کنیم.

اسیلاتورهایی هستند که بر روی رنج‌های فرکانسی پهناور کار می‌کنند. اسیلاتورهای متغییر فرکانس (VFOs)، به وسیله مقدار یکی از مدارات تعیین کننده فرکانس، فرکانس خود را تغییر می‌دهند. یک اسیلاتور کنترل شونده با ولتاژ (VCO) یکی از عناصر تعیین کننده فرکانس است که به صورت الکتریکی کنترل می‌شود.

- **کاربردهای VCO:**

VCOها در مواردی همچون زیر استفاده می‌شوند:

- فانکشن ژنراتور
- برای تغییر تن موزیک در تهیه موزیک الکترونیکی
- حلقه فاز قفل شونده **PLL**
- در مدارات مخابراتی سینتی سایزر و موبایل

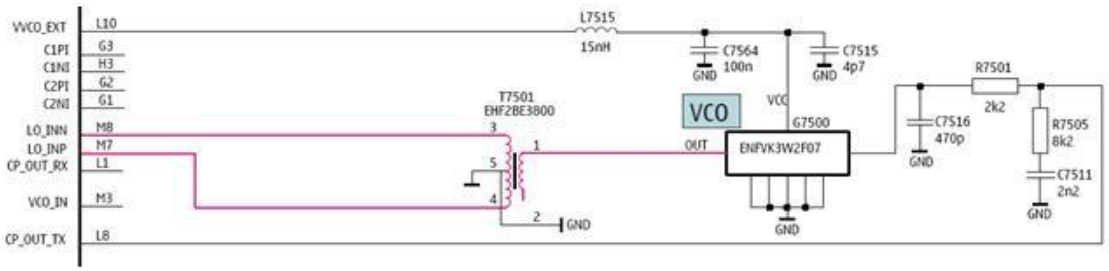
VCO در موبایل جهت مدولاسیون و دمودولاسیون استفاده می‌شود و برای کنترل فرکانس نوسان توسط ولتاژ، طراحی شده است. فرکانس نوسان یا سرعت تکرار در ثانیه متناسب با ولتاژ DC ورودی تغییر می‌کند، پس وقتی سیگنال پیام را به VCO دهیم مدولاسیون فرکانس ( FM )، مدولاسیون فاز (PM) و مدولاسیون پهنای پالس (PWM) را می‌توانیم بدست آوریم.

- **کنترل فرکانس در VCO:**

در فرکانس‌های بالا، عنصر کنترل شونده با ولتاژ، عموماً دیود و راکتور است که به قسمتی از مدار تانک اسیلاتور LC، متصل است. در فرکانس‌های پایین، دیگر روش‌های تغییر فرکانس همچون دگرگونی در سرعت شارژ خازن، یعنی منبع جریان کنترل شونده با ولتاژ استفاده می‌شود.

- **VCO در مدار انتن:**

از آنجایی‌که یک گوشی موبایل مدام می‌تواند از منطقه‌ای به منطقه دیگر در دست مشترک جابجا شود، می‌بایست بتواند در هر منطقه تحت پوشش BTS همان منطقه تنظیم و هماهنگ شود تا ضمن ارتباط مستمر با BTS، عملیات دریافت و ارسال صورت پذیرد. به عبارتی ایستگاه رادیوئی روی فرکانس‌های مختلف می‌بایست بتواند عملیات مدلاسیون (ارسال) و دمدلاسیون (دریافت) را انجام دهد. این عمل مستلزم این است که فرکانس سیگنال رادیویی به عنوان سیگنال حامل مرتب و با دقت زیاد تغییر داده شود. لذا از قطعه VCO که یک کریستال میباشد جهت ایجاد فرکانسهای مورد نیاز برای عمل مدلاسیون و دمدلاسیون که به نسبت ولتاژ دریافتی فرکانس تولید میکند استفاده می‌شود. بعنوان مثال شکل (۲-۴) شماتیک مدار VCO گوشی ۶۳۰۰ را نشان می‌دهد.




شکل (۲-۴): شماتیک مدار VCO گوشی ۶۳۰۰

معمولا این واحد توانایی پردازش سیگنال‌های باند ۹۰۰ - ۱۸۰۰ - ۱۹۰۰ مگاهرتز را دارا است. vco دارای دو فرکانس در dsc ۱۸۰۰ و چهار فرکانس در egsm در مقایسه با فرکانس کانال RF دارد. vco یا ولتاژ کنترل اسیلاتور ( نوسان ساز کنترل شده با ولتاژ) درفرکانسی بیشتر از mhz ۹۰۰ نوسان تولید می‌کند). سیگنال‌های باندهای ۹۰۰ – ۱۸۰۰ – ۱۹۰۰ مگاهرتز را vco پردازش می‌کند. با انتخاب کانالی که از طرف شبکه در اختیار موبایل قرار می‌گیرد و بصورت یک عدد است، فرکانس vco به این عدد تقسیم می‌شود و سپس خروجی این واحد ( انتخاب کانال) با فرکانس مرجع $F_{ref}$ که

به‌وسیله کریستال اصلی ( از ۱۳ الی ۳۸ مگاهرتز بسته به مدل گوشی) ایجاد می‌شود، مقایسه شده و سپس در واحد LPF اشکار می‌گردد. سیگنال محلی (SHF) توسط ماژول VCO تولید می‌شود.

## ۲-۲) فیلترها:

یکی از مهمترین مدارات مخابراتی‌اند که می‌توانند فرکانس‌های خاصی را از خود عبور دهند و یا مانع عبور فرکانس‌های دیگر شوند. این فیلترها که به چند دسته اصلی تقسیم می‌شوند تشکیل یافته از عناصر مقاومت و سلف و خازن هستند. اصطلاحات مربوط به فیلترها به چهار بخش اصلی تقسیم می‌شود:

- **فرکانس قطع ( Cut Off):**

این بخش از فیلترها وظیفه انتقال ولتاژ از حالت ماکزیمم در ورودی به مقدار ولتاژ موثر (Vrms) در خروجی می‌باشد.

ولتاژ موثر $V_{rms} = \frac{V_{Max}}{\sqrt{2}}$

- **باند عبوری (Pass band):**

این بخش از فیلترها، بسته به نوع فیلتر وظیفه عبور دادن فرکانس‌های مشخص را دارد و این فرکانس‌ها را از فرکانس‌های دیگر جدا می‌کند.

- **باند توقف (Stop band):**

این بخش از فیلترها وظیفه جداسازی آن دسته از مقادیر فرکانس را که نباید از فیلتر عبور کند، بر عهده دارد.

- **پهنای باند B . W (Band Width):**

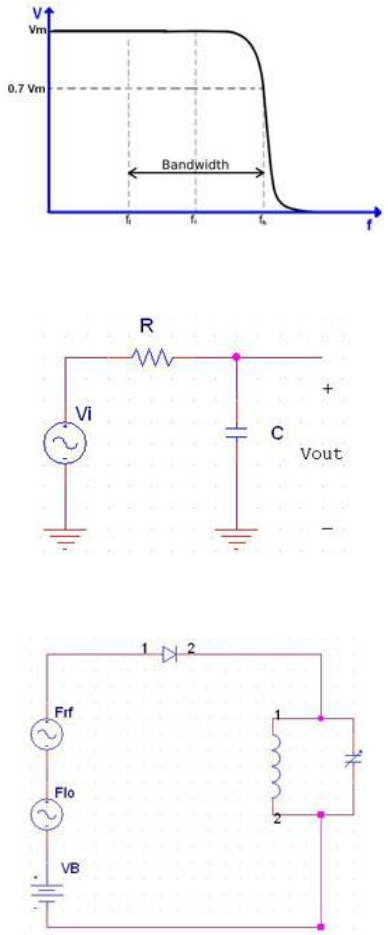
فرکانسی که بالاترین مقادیر ولتاژ و جریان را از فیلتر عبور می‌دهد فرکانس تشدید یا رزونانس نامیده می‌شود که با $f_r$ نشان داده شده که محدوده بالای آن $f_H$ و محدوده پایین آن $f_L$ است. به محدوده فرکانسی بین $f_L$ و $f_H$ که ولتاژ خروجی بزرگ‌تر از ولتاژ مؤثر است ($V \geq Vrms$) پهنای باند گفته می‌شود.

### ۲-۲-۱) انواع فیلترها :

فیلترها به چهار دسته زیر تقسیم می شوند:

- ✓ **فیلتر پایین گذر(Low Pass Filter):**

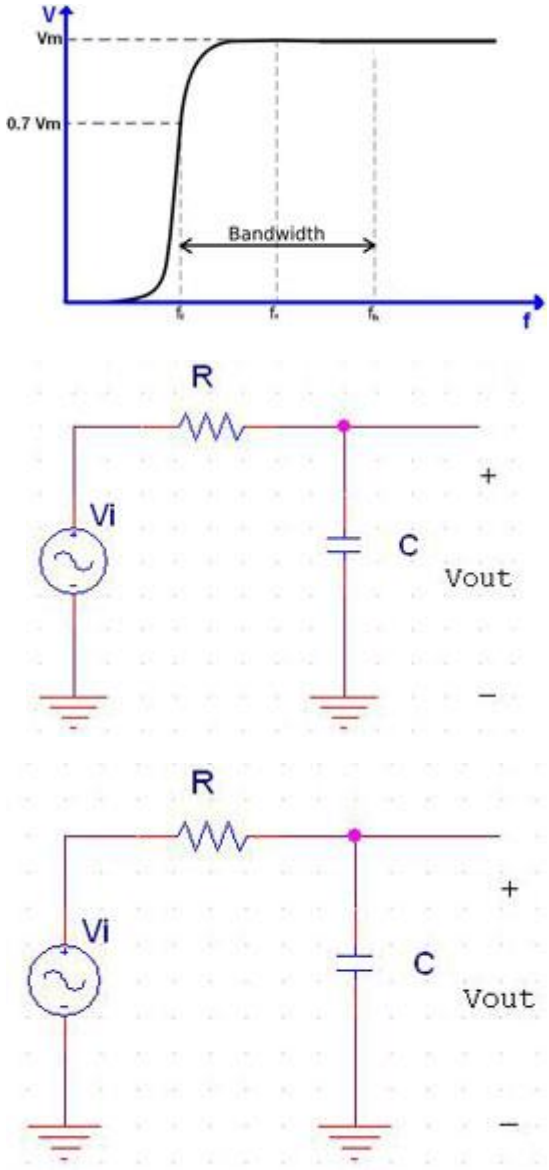
وظیفه این فیلترها جذب فرکانس‌های $f_r$ و $f_H$ بوده و فقط فرکانس‌های $f_L$ و ما قبل آن را عبور می‌دهد. شکل (۲-۵) شماتیک مداری یک فیلتر پایین‌گذر را نشان می‌دهد.




شکل (۲-۵): فیلتر پایین‌گذر

### ✓ فیلتر بالا گذر (High Pass Filter):

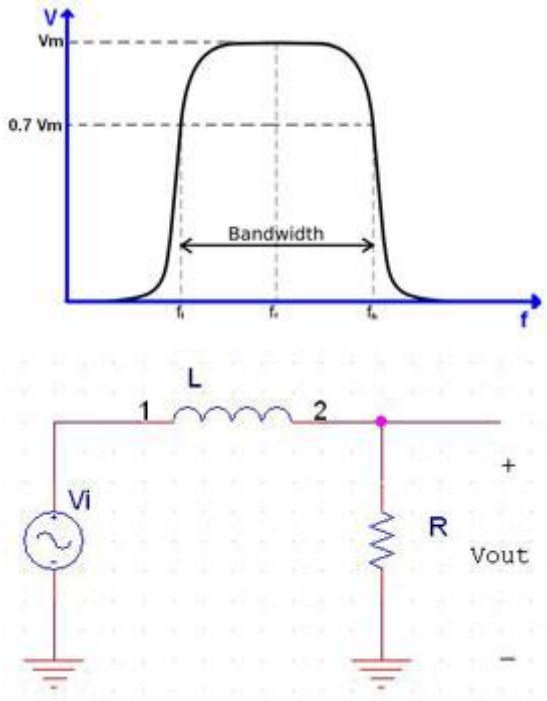
وظیفه این فیلتر فرکانس های بالا یعنی $f_H$ و بالاتر را از خود عبور داده و فرکانس های میانی یعنی $f_r$ و پایین یعنی $f_L$ را از خود عبور نمی‌دهد. شکل (۲-۶) شماتیک مداری یک فیلتر بالاگذر را نشان می‌دهد.




شکل (۲-۶): شماتیک مداری یک فیلتر بالاگذر

✓ **فیلتر میان گذر(Band Pass Filter):**

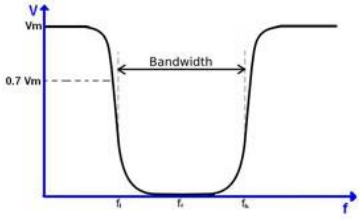
فیلتری است که وظیفه عبور دادن فرکانس های میانی $f_r$ و حذف دیگر فرکانس ها یعنی $f_H$ و $f_L$ را دارد و کاربرد بسیار زیادی در گوشی های تلفن همراه دارد که چه در بخش $R_X$ و چه $T_X$ تلفن ها از این فیلترها بسیار استفاده شده است. شکل (۲-۷) شماتیک مداری یک فیلتر میان‌گذر را نشان می‌دهد.

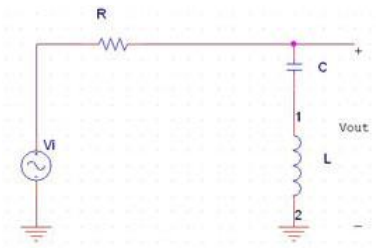



شکل (۲-۷): شماتیک مداری یک فیلتر میان‌گذر

✓ **فیلترهای میان‌نگذر (Band Stop Filter):**

این فیلترها بر خلاف فیلترهای میان‌گذر همه فرکانس‌ها را بجز فرکانس میانی $f_r$ انتقال می‌دهند. شکل (۲-۸) شماتیک مداری یک فیلتر میان‌نگذر را نشان می‌دهد.

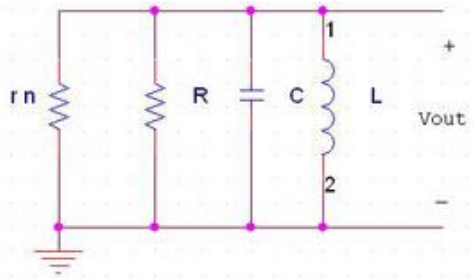





شکل (۲-۸): شماتیک مداری یک فیلتر میان‌نگذر

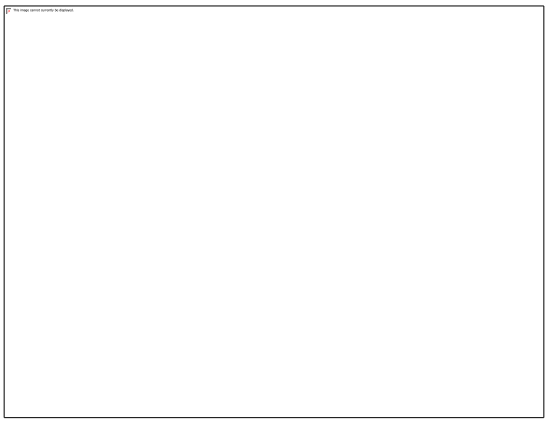
### ۲-۲-۲) اسیلاتور (نوسان ساز):

در سیستم های رادیویی، نوسان‌سازها که معمولا سینوسی هستند موج حامل فرستنده را به وجود می آورند. طبقه‌های مخلوط کننده را تحریک می‌کنند و سیگنال را از یک گستره فرکانس به گستره دیگر می برند. در واقع نو سان ساز یا ا سیلاتور مداری ا ست که در صورت کوچکترین تحریکی در حد یک نویز یا چند میلی ولت شروع به نوسان و تولید موج سینوسی می‌کند. اسیلاتورها در مدارات موبایل ا ستفاده ب سیار زیادی دارند مثلا ا سیلاتور VCO که نقش تولید موج حامل برای مدولا سیون سیگنال ار سالی را بر عهده دارد یا کریستال ا صلی که یک موج سینو سی با فرکانس م شخص برای کلاک پالس بخش های دیجیتال تولید می‌کند که این موج سینوسی در خود CPU یا آی سی RFSP تبدیل به یک پالس مربعی می شود و از کریستال ساعت نیز به عنوان یک ا سیلاتور می توان یاد کرد. در حالت کلی می توان یک اسیلاتور ساده را به شکل (۲-۹) نشان داد:




شکل (۲-۹): اسیلاتور (نوسان‌ساز)

در شکل بالا که $r_n$ یک مقاومت غیر خطی منفی است دارای مشخصه جریان – ولتاژ شکل (۲-۱۰) می‌باشد:



شکل (۲-۱۰): مشخصه جریان – ولتاژ اسیلاتور

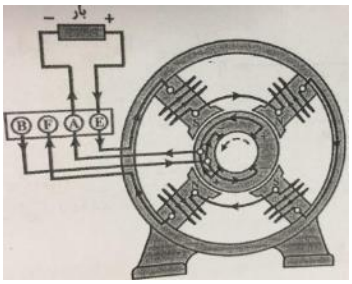
که در صورت بروز نویز حرارتی در این مقاومت مدار شروع به تولید موج سینوسی می‌کند. لازم به ذکر است که اسیلاتورهای بکار گرفته شده در مدارات الکترونیکی ساختاری پیچیده‌تر دارند و نکته قابل توجه این است که اسیلاتورها غالباً احتیاج به ورودی ندارند و با نویز موجود در محیط نوسان می‌کنند.

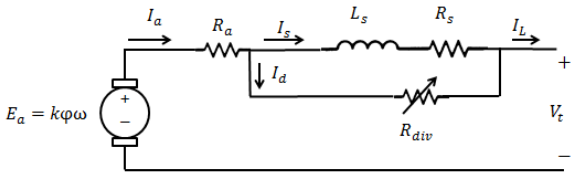
## ۲-۳) ساختار مناسب جهت طراحی مدار قدرت

مشـــکلی که منابع تولید انرژی الکتریکی تجدیدپذیر با آن مواجه هســـتند، دامنه ولتاژ ورودی متغیر آنها اســـت، از این جهت اینورترهایی که انرژی الکتریکی آنها را به شـــبکه منتقل می‌کنند نیازمند سیستم ذخیره‌ساز انرژی هستند. اینورتر طراحی شده می‌تواند جایگزین اینورترهای متداول برای این نوع مولدهای انرژی الکتریکی باشـــند. هدف از این اختراع برطرف کردن نیازهای صـــنعتی کشـور با طراحی یک نوع خاص از مبدل‌های انرژی الکتریکی اسـت. بسـیاری از مصـرف کننده‌های صـــنعتی و خانگی نیازمند یک اینورتر با دامنه ولتاژ متغیر در ورودی هســـتند. این کاربرد در منابع تولید انرژی الکترکی پراکنده همانند پنل‌های خورشـــیدی و ژنراتورهای بادی بیشـــتر مشـــاهده می‌گردد. این اینورتر به گونه‌ای طراحی می شود که دامنه تغییرات ولتاژ ورودی در آن تا ٪۵۰ ا ست و می‌تواند در همه حال ســـنکرون با شـــبکه باشـــد. همچنین این اینورتر قابلیت تنظیم ولتاژ ورودی برای مقادیر ۲۰، ۴۰ و ۶۰ ولت را دارد. مبدل ساخته شده در این اختراع در بازه وسیعی از تغییرات ولتاژ بصـورت ســنکرون با شــبکه به عملکرد خود ادامه می‌دهد و نیازی به لینک ثابت با ولتاژ بدون تغییر ندارد.

از آنجایی که در کشور ایران در راستای طراحی و ساخت و تولید انبوه اینورتر با ساختارهای مختلف از پیش سرمایه‌گذاری نشده است، برای تولید کننده‌های داخلی، تولید نسل جدید اینورترها اقتصادی نیست. بیشترین نمونه‌های اینورترهای تولید شده در کشور، بسیار اندک و مربوط به اینورترهای پرکاربرد نظیر منابع تغذیه بدون وقفه[1] و در برخی شرکت‌های تولید آسانسور مربوط به اینورتر سه فاز موتور آسانسور است. از آنجایی تولیدکننده‌های تجدیدپذیر نظیر سیستم‌های خورشیدی، بادی و خودروهای الکتریکی دارای ولتاژ خروجی یکسوی با دامنه کم می‌باشند، اینورتر متصل به شبکه با ولتاژ ورودی کم، یکی از پرکاربردترین محصولات در آینده شبکه قدرت خواهد بود. همچنین اینورترهای متداول که به منظور انتقال انرژی الکتریکی به شبکه توزیع برق مورد استفاده قرار می‌گیرند، به خصوص در زمینه تولید انرژی الکتریکی از منابع تولید پراکنده، از سیستم ذخیره‌ساز انرژی (باتری) جهت ذخیره توان ورودی استفاده می‌کنند. با طراحی اینورتر مذکور، نیازی به استفاده از سیستم ذخیره‌ساز نخواهد بود.

در این پروژه دو نوع مبدل الکترونیک قدرت به کار گرفته شده است. تمامی زیر مجموعه‌های آن با تکیه بر دانش بومی کشور طراحی و ساخته شده است. ایده اصلی این مجموعه استفاده از قابلیت کنترل میزان توان اکتیو تزریق شده به شبکه برق می‌باشد. اینورتر به یک مجموعه مکانیکی تولید کننده توان متصل می‌شود؛ به عنوان مثال یک دوچرخه ثابت (که معمولاً در آن از ژنراتور DC متصل به محرکه مکانیکی برای تولید برق استفاده می‌شود) یا یک تردمیل که جهت تأمین توان ورودی به یک ژنراتور DC متصل شده است. به‌منظور تشریح نحوه تولید انرژی برق و رابطه آن با گشتاور مولد در ژنراتور DC، نمای برش خورده مولد تحریک سری به‌همراه مدل مداری آن در شکل ۲-۱۱ نشان داده شده است.






[1] Uninterruptible Power Supply (UPS)

(الف) (ب)

شکل ۲-۱۱: مولد تحریک سری، الف) نمای برش خورده مولد تحریک سری، ب) مدل مداری مولد تحریک سری

در این نوع مولد جریان مورد نیاز سیم‌بندی تحریک به‌طور مستقیم با سری نمودن این سیم‌بندی با آرمیچر تأمین می گردد، یعنی جریان تحریک در این نوع مولد مقدار بزرگی است. در مولدهای تحریک سری به‌منظور کنترل جریان تحریک که با $I_s$ نشان داده می‌شود باید از یک رئوستای منتقل‌کننده جریان ($R_{div}$) که به‌طور موازی با سیم‌بندی تحریک سری قرار می‌گیرد استفاده نمود. در واقع با انتقال قسمتی از جریان آرمیچر به این رئوستا، جریان تحریک کاهش یافته لذا می‌توان فوران تولیدی آن را کنترل نمود. (هر چه $R_{div}$ کوچک‌تر گردد جریان تحریک و فوران تولیدی هر قطب افزایش یافته و در نتیجه ولتاژ خروجی مولد بیشتر می‌گردد). با تحلیل مدار معادل توسط معادلات KVL و KCL در مدار معادل این نوع موتور داریم:

$$\begin{cases} V_t = E_a - (R_a + R_s \| R_{div}) I_a - V_b - \varepsilon \\ I_L = I_a = I_s + I_d \end{cases} \quad (۱-۲)$$

با صرف‌نظر کردن از $R_{div}$:

$$\begin{cases} V_t = E_a - (R_a + R_s) I_a - V_b - \varepsilon \\ I_L = I_a = I_s \end{cases} \quad (۲-۲)$$

در روابط فوق، $R_a$ مقاومت آرمیچر، $R_s$ مقاومت تحریک سری، $I_s$ جریان تحریک، $I_a$ جریان آرمیچر و $I_L$ جریان بار هستند. در مولدهای تحریک سری چنان‌چه $R_{div}$ موجود نباشد، بحث کاهش جریان تحریک مطرح نیست زیرا جریان تحریک همواره برابر جریان بار است. طبق رابطه فوق دیده می‌شود که در این مولد با افزایش جریان بار جملات سمت راست (مربوط به افت ولتاژ) سبب کاهش ولتاژ ترمینال‌ها شده در صورتی که افزایش جریان بار سبب افزایش جریان تحریک و در نتیجه افزایش ($E_a$) می‌گردد. یعنی همزمان جمله سمت چپ ($E_a$) افزایش می‌یابد. قابل ذکر است که تا قبل از اشباع قطب‌ها (یعنی در جریان‌های کوچک) همواره افزایش $E_a$ ناشی از افزایش جریان بار بیش از کاهش جملات سمت راست است. یعنی برآیند معادله فوق مثبت بوده یا به عبارتی با افزایش جریان بار ولتاژ ترمینال‌ها افزایش می‌یابد؛ اما بعد از اشباع قطب‌ها هرچه جریان بار (و درنتیجه جریان تحریک) زیاد شود، $E_a$ افزایش نیافته و در عوض جملات منفی سمت راست افزایش یافته و موجب افزایش افت ولتاژ می‌گردند، به عبارتی ولتاژ ترمینال پس از اشباع قطب‌ها کاهش می‌یابد. رابطه گشتاور را برای مولد تحریک سری به‌صورت زیر می‌توان نوشت که در آن پارامتر k یک عدد ثابت است و به مشخصات سیم‌پیچی موتور DC بستگی دارد:

$$T_e = k\varphi I_a \quad (۳-۲)$$

رابطه فوق تا قبل از اشباع قطب‌ها ($\varphi \sim I_s = I_a$) برابر است با:

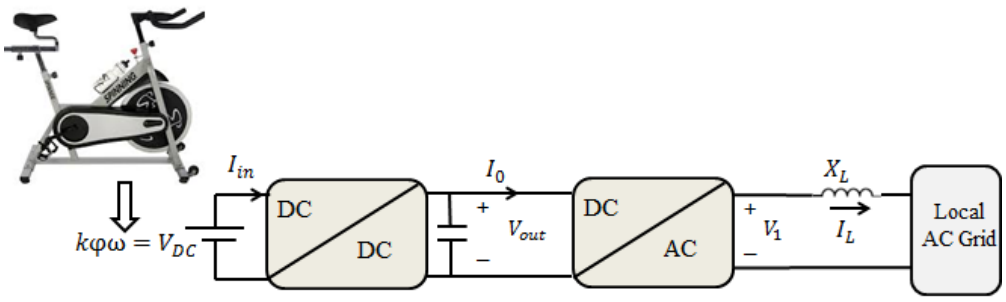
$$T_e = kI_a^2 \rightarrow I_a = \sqrt{\frac{T_e}{k}} \quad (۴-۲)$$

اما بعد از اشباع قطب‌ها ($\varphi = cons = k'$) داریم:

$$T_e = k_3 I_a \rightarrow I_a = \frac{T_e}{k_3} \quad (۵-۲)$$

که در آن $k_3 = k \times k'$ است. طبق روابط فوق‌الذکر در مولدهای سری تا قبل از اشباع قطب‌ها یعنی زمانی‌که جریان آرمیچر کوچک است، جریان تولیدی با جذر گشتاور اخذ شده توسط آرمیچر تغییر می‌کند یعنی در این مولد برای تولید جریان آرمیچر به گشتاور بیشتری نیاز داریم. اما بعد از اشباع قطب‌ها یعنی در جریان‌های بزرگ آرمیچر رابطه بین گشتاور و جریان تولیدی آرمیچر به‌صورت خطی (درجه ۱) می‌باشد.

شکل ۲-۱۲ شمای کلی مبدل انتقال انرژی DC-AC متصل به شبکه را که از یک مبدل DC-DC، یک اینورتر DC-AC، شبکه محلی و سیستم مکانیکی تولید برق (به عنوان مثال دوچرخه ثابت) جهت تزریق توان تشکیل شده است، نشان می‌دهد. در شکل ۲-۱۲ ولتاژ لینک DC توسط مبدل سمت تغذیه ورودی DC در مقدار ثابت تثبیت شده و خروجی DC این مبدل از طریق اینورتر DC-AC به شبکه AC محلی تزریق می‌گردد. همچنین اینورتر DC-AC سمت شبکه دامنه شاخص مدولاسیون را تنظیم می‌کند.




شکل ۲-۱۲: مبدل انتقال انرژی تزریقی از سیستم مکانیکی به شبکه

در صورتی‌که متناسب با شاخص مدولاسیون $m_1$، ولتاژ $V_1$ دوسر خروجی اینورتر قرار گیرد، جریان خروجی اینورتر از رابطه (۲-۶) محاسبه می‌گردد.

$$I_L = \frac{V_۱ - V_g}{X_L} \quad (۶-۲)$$

همچنین متناسب با شاخص مدولاسیون $m_۲$ ($m_۲ > m_۱$)، ولتاژ $V_۲$ ($V_۲ > V_۱$) دوسر خروجی اینورتر قرار خواهد گرفت. در صورت متصل بودن به باطری عملیات اضافه کردن توان تزریقی باعث افزایش جریان ورودی از باطری می‌شود. در صورت متصل بودن به سیستم مکانیکی، رابطه گشتاور بر حسب توان ورودی بصورت رابطه (۲-۷) خواهد بود:

$$V_{DC} \times I_{in} = \omega \times \tau_۱ \quad (۷-۲)$$

$$V_{DC} = k\varphi\omega \quad (۸-۲)$$

که در آن $\tau_۱$ و $\omega$ به ترتیب گشتاور و سرعت مولد و $I_{in}$ و $V_{dc}$ به ترتیب جریان و ولتاژ ورودی مبدل DC-DC هستند. ولتاژ خروجی اینورتر $V_{dc۱}$ به ازای $\omega_۱$ اتفاق می‌افتد که برای رسیدن به این ولتاژ در جریان $I_۱$، محرکه باید در یک سرعت ثابت بچرخد. با افزایش جریان به مقدار $I_۲$ توان تحویلی به شبکه افزایش می‌یابد، بنابراین برای رسیدن به ولتاژ $V_{dc۲}$ که $V_{dc۲} > V_{dc۱}$، محرکه باید گشتاور بیشتری تولید کند. بنابراین با وجود یک تردمیل یا دوچرخه برقی، می‌توان بدون جعبه دنده مکانیکی میزان گشتاور و سختی سیستم چرخنده را تنظیم کرد. همان‌طور که در رابطه (۲-۷) مشاهده می‌گردد، با بالا بردن میزان توان اکتیو تزریقی به شبکه سیستم مکانیکی باید گشتاور بیشتری تولید کند، به عبارتی دیگر توان بیشتری مصرف کند تا به حد نصاب سرعت معینی برای تأمین توان مورد نیاز برسد. همان‌طور که اشاره شد جریان تولیدی با جذر گشتاور اخذ شده توسط آرمیچر تغییر می‌کند و در این مولد برای تولید جریان آرمیچر به گشتاور بیشتری نیاز داریم. وظیفه افزایش گشتاور در مبدل انتقال انرژی متصل به شبکه مورد بحث با افزایش شاخص مدولاسیون در اینورتر DC-AC انجام خواهد گرفت. مشخصات فنی محصول در جدول ۲-۱ ارائه شده است.

جدول ۲-۱: مشخصات فنی اینورتر

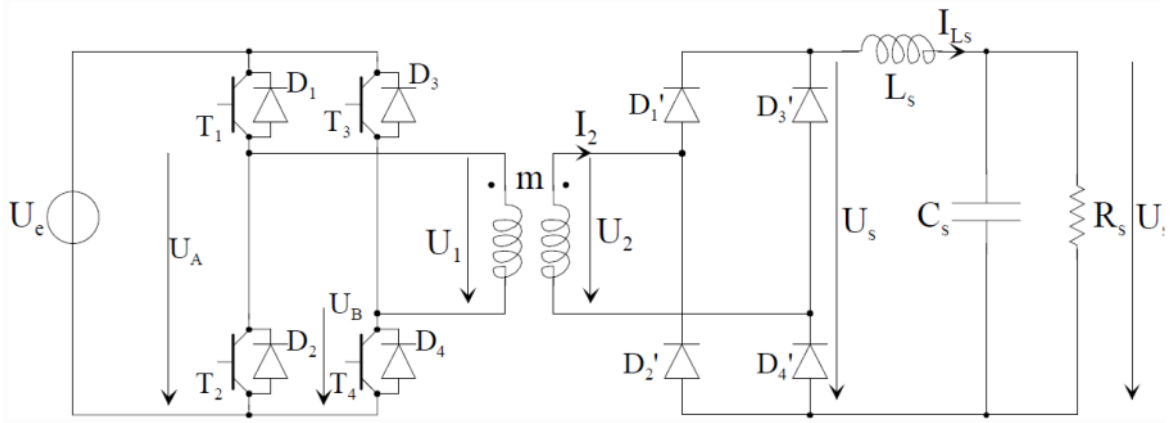
| پارامتر | مقادیر |
|---|---|
| ولتاژ ورودی | ۲۰±۴۰ ولت |
| ولتاژ خروجی | ۲۳۰ ولت موثر |

| | |
|---|---|
| ۲ کیلووات | توان خروجی |
| ۵-۱/۸ کیلوگرم | وزن |
| ۳۰*۲۰*۸۰ بیشینه | ابعاد |
| استفاده از ترانسفورماتور فرکانس بالا | ایزولاسیون ورودی از خروجی |
| دارد | محافظ جریان خروجی |
| دارد | قابل برنامه ریزی برای اهداف خاص |

در ادامه دو مبدل استفاده شده در ساخت این اینورتر معرفی و شرح داده شده‌اند.

۲-۳-۱) مبدل تمام پل تک‌فاز (DC-DC):

مبدل‌های مد کلیدزنی dc-dc یک سطح از ولتاژ dc را به‌وسیله عمل کلیدزنی به سطحی دیگر از ولتاژ dc تبدیل می‌کنند. رایج شـــدن آن‌ها به دلیل ســـایز کوچک‌تر و بازده آن‌ها نســـبت به رگولاتورهای خطی می‌باشـــد. مبدل‌های dc-dc کاربردهای بســـیار زیادی دارند که عبارت‌اند از: کامپیوترهای شخصی، لوازم جانبی کامپیوترها و آداپتورهای لوازم الکترونیکی. در ورودی این مبدل ترکیبی از یک ساختار تمام پل مطابق شکل ۲-۱۱ استفاده شده است که سطح ولتاژ ورودی که معمولاً مقدار بین ۲۰ تا ۶۰ ولت است را تا ۴۰۰ ولت افزایش می‌دهد.




شکل۲-۱۱: مبدل تمام پل H استفاده شده در ورودی مبدل ترکیبی برای افزایش سطح ولتاژ

۲-۳-۲) اینورتر تمام پل تک فاز (DC-AC):

در شکل ۲-۱۳- (الف)، اینورتر تمام پل تک فاز نمایش داده شده است. شکل موج‌های خروجی در شکل ۲-۱۳- (ب) نشان داده شده‌اند. در این ترکیب وقتی ترانزیستورهای $Q_1$ و $Q_2$ همزمان وصل شوند ولتاژ منبع $V_s$ دو سر بار قرار می‌گیرد. اگر ترانزیستورهای $Q_3$ و $Q_4$ همزمان وصل شوند ولتاژ بار معکوس شده و برابر $-V_s$ می شود. وابسته به اینکه کدام ترکیب از کلیدهای بالا و پایین از دو ساق مدار وصل یا قطع باشند حالت‌های مختلف کلیدزنی ایجاد می شوند. ولتاژ مؤثر خروجی در این مدار از رابطه‌ی (۲-۹) محاسبه می‌شود:

$$V_o = \sum_{n=1,3,5,\ldots}^{\infty} \frac{4V_s}{n\Pi} \sin n\omega t \quad ; \omega = 2\Pi f_0 \qquad (۹-۲)$$

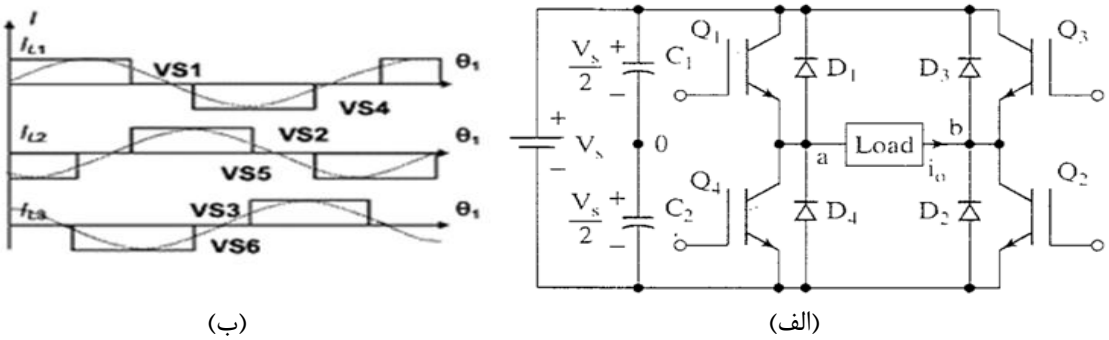
همچنین ولتاژ مؤثر خروجی $V_o=V_s$ می‌باشد. مقدار مؤثر مولفه‌ی اصلی ولتاژ خروجی طبق رابطه (۲-۱۰) بوده و برابر است با:

$$V_{o1} = \frac{4V_s}{\sqrt{2}\Pi} = 0.9V_s \qquad (۱۰-۲)$$

برای بار RL، جریان $I_o$ به‌صورت (۲-۱۱) خواهد بود، یعنی:

$$I_o = \sum_{n=1,3,5,..}^{\infty} \frac{4V_s}{n\Pi\sqrt{R^2 + (n\omega L)^2}} \sin(n\omega t - \theta_n) \qquad (۱۱-۲)$$

که $\theta_n = tan^{-1}(n\omega L/R)$ است.

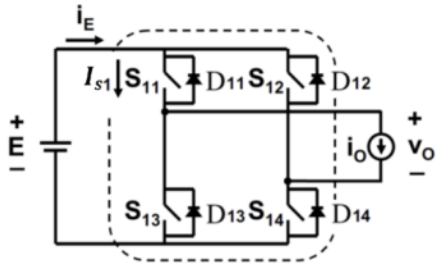



(ب) (الف)

شکل ۲-۱۲: اینورتر تمام پل تک‌فاز، الف) ساختار مدار الکترونیک- قدرت، ب) شکل موج‌های خروجی

نکته حائز اهمیت این است که اینورترها کاربردهای متفاوتی دارند و عموماً براساس نوع کاربرد و روش کنترل، مدولاسیون آن مشخص می‌گردد در این اختراع به‌دلیل کاربرد اینورتر در تزریق توان الکتریکی به شبکه از روش مدولاسیون برداری سه‌سطحی استفاده می‌شود. شکل ۲-۱۳ مدل ساده شده

اینورتر سه‌سطحی را نشان می‌دهد که E ولتاژ dc پل H و $i_o$ و $v_o$ به‌ترتیب جریان بار و ولتاژ خروجی پل H می‌باشد.



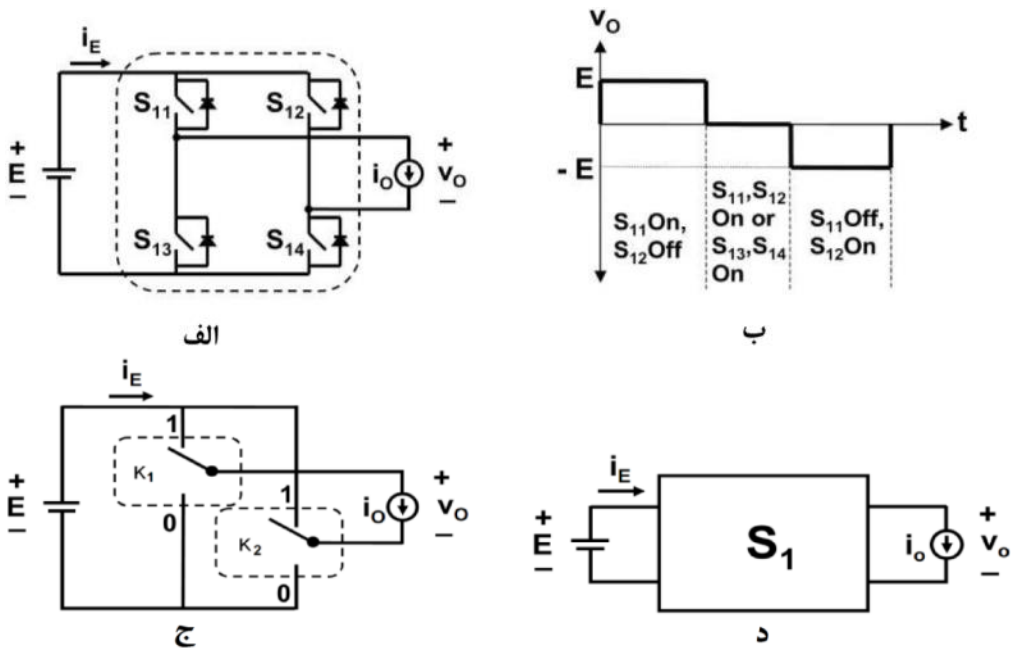

شکل ۲-۱۳: اینورتر پل H سه‌سطحی

حالات مختلف عملکرد سوئیچ‌ها و دیودها در هر سطح، به‌صورت جدول ۲-۲ بیان می‌شود:

جدول۲-۲: عملکرد کلیدها و دیودها در حالات مختلف

| حالات | وضعیت سوئیچ‌ها | $v_o$ | هدایت قطعات | |
|---|---|---|---|---|
| ۱ | $S_{11}$ and $S_{14}$ are on and $S_{12}$ and $S_{13}$ are of | $E$ | $S_{11}$ and $S_{14}$<br>$D_{11}$ and $D_{14}$ | if $i_o > ۰$<br>if $i_o < ۰$ |
| ۲ | $S_{12}$ and $S_{13}$ are on and $S_{11}$ and $S_{14}$ are of | $-E$ | $D_{12}$ and $D_{13}$<br>$S_{12}$ and $S_{13}$ | if $i_o > ۰$<br>if $i_o < ۰$ |
| ۳ | $S_{11}$ and $S_{12}$ are on and $S_{13}$ and $S_{14}$ are of | ۰ | $S_{11}$ and $D_{12}$<br>$D_{11}$ and $S_{12}$ | if $i_o > ۰$<br>if $i_o < ۰$ |
| ۴ | $S_{13}$ and $S_{14}$ are on and $S_{11}$ and $S_{12}$ are of | ۰ | $D_{13}$ and $S_{14}$<br>$S_{13}$ and $D_{14}$ | if $i_o > ۰$<br>if $i_o < ۰$ |
| ۵ | $S_{11}, S_{12}, S_{13}$ and $S_{14}$ are all off | $-E$<br>$E$ | $D_{12}$ and $D_{13}$<br>$D_{11}$ and $D_{14}$ | if $i_o > ۰$<br>if $i_o < ۰$ |

شکل ۲-۱۴ساختار اصلی اینورتر پل H به همراه تولید ولتاژ خروجی پل H و مدار معادل پل H به همراه مدل کلیدزنی پل H در یک اینورتر سه سطحی را نشان می‌دهد.




شکل ۲-۱۴: الف) ساختار اصلی اینورتر پلH ب) نمایش ولتاژ خروجی پلH ج) مدار معادل پلH د) مدل کلیدزنی پلH

حالات کلیدزنی اینورتر سه‌سطحی پل H با توجه به شکل ۲-۱۴ به صورت جدول ۲-۳ است.

جدول ۲-۳: حالات کلیدزنی پل H

| $K_1$ | $K_2$ | $v_o$ | $i_E$ |
|---|---|---|---|
| ۰ | ۰ | ۰ | ۰ |
| ۰ | ۱ | $-E$ | $-i_o$ |
| ۱ | ۰ | $+E$ | $+i_o$ |
| ۱ | ۱ | ۰ | ۰ |

حال اگر مدل هر اینورتر سه‌سطحی پل H را به‌صورت شکل ۲-۱۴ در نظر بگیریم و حالات کلیدزنی را به صورت جدول ۲-۳ تعریف کنیم می‌توان ارتباط جریان بار و ولتاژ خروجی هر پل H را تعیین کرد:

$$S_۱ = (K_۱ - K_۲) \qquad (۱۲-۲)$$

$$v_۰ = S_۱ E \qquad (۱۳-۲)$$

$$i_۰ = S_۱ i_E \qquad (۱۴-۲)$$

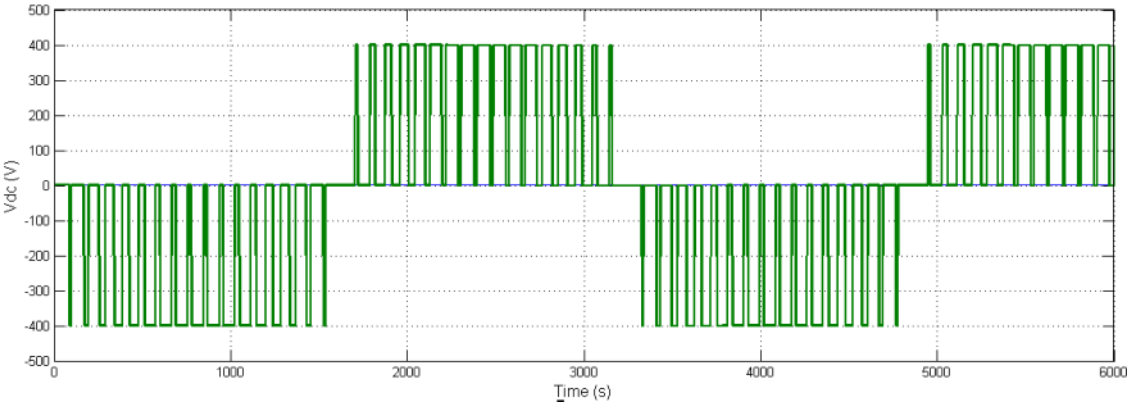
جریان هر یک از کلیدها و دیودها را با توجه به شکل ۲-۱۳ می‌توان به‌صورت زیر به‌دست آورد:

$$I_{si} = I_{s۱i} - I_{D۱i} \qquad i = ۱,..,۴ \qquad (۱۵-۲)$$

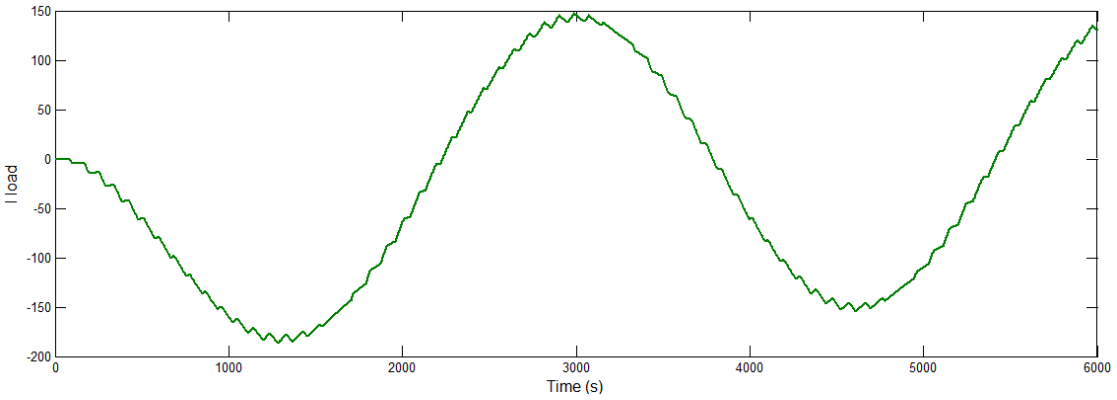
$$I_{s۱i} = \begin{cases} I_{si} & I_{si} > ۰ \\ ۰ & otherwise \end{cases} \qquad (۱۶-۲)$$

$$I_{D1i} = \begin{cases} -I_{si} & I_{si} < 0 \\ 0 & otherwise \end{cases} \quad (۱۷-۲)$$

در این مدل‌سازی فرض بر این بود که ولتاژ اینورتر ثابت و برابر $V_{dc}$ است. اما در عمل این فرض در صورتی صحیح است که ولتاژ خازن لینک dc پل H در طی زمان عملکرد اینورتر تغییر نکند. چنانچه اینورتر به‌عنوان یک جبران‌ساز توان راکتیو به کار رود و کلیدها را ایده‌آل فرض کنیم یعنی هیچ مقاومتی برای اینورتر در نظر نگیریم، این فرض درست می‌باشد. اما با توجه به اینکه کلیدها در عمل دارای مقاومت می‌باشند، ولتاژ dc خازن‌ها پس از گذشت زمان نسبتا طولانی تغییر می‌کنند. در مراجع بسیاری روش‌هایی برای جبران افت ولتاژ خازن بر اساس نوع مدولاسیون به‌کار رفته ارائه شده است، در این پروژه با توجه به نوع مدولاسیون و با توجه به اینکه ولتاژ باس dc اینورتر ثابت است، با استفاده از یک طبقه مبدل DC-DC که در ورودی اینورتر در نظر گرفته شده است ولتاژ آن را کنترل می‌کنیم. به این ترتیب افت ولتاژ ناشی از مدت طولانی استفاده از خازن‌ها توسط کنترل پهنای پالس مبدل DC-DC جبران می‌شود. شکل موج‌های خروجی ولتاژ و جریان مبدل در شکل ۲-۱۵ نشان داده شده است.




(الف)




(ب)

شکل ۲-۱۵: شکل موج‌های خروجی اینورتر، الف) ولتاژ اینورتر و ب) جریان اینورتر

## ۲-۴) روش اجرائی بکارگیری محصول

ولتاژ ورودی این مبدل ترکیبی می‌تواند متغیر باشـــد که کاملاً یک ویژگی نوآورانه از طرح اســـت. عدم نیاز به سیستم ذخیره‌ساز انرژی یک جنبه نوآورانه طرح نسبت به نمونه‌های مشابه محصول است. شـبیه‌سـازی سـطح شـیب‌دار (افزایش گشـتاور در مبدل انتقال انرژی متصـل به شـبکه مورد بحث با افزایش شاخص مدولاسیون در اینورتر) یکی دیگر از جنبه‌های نوآورانه این محصول است.

همانطور که در قســمت‌های قبل بحث شــد، دو نوع مبدل الکترونیک قدرت جهت اجرای طرح به کار گرفته شده ا ست. ایده ا صلی این مجموعه ا ستفاده از قابلیت کنترل میزان توان اکتیو تزریق شده به شبکه می‌با شد. اگر اینورتر به یک مجموعه مکانیکی تولید کننده توان متصل با شد با بالا بردن میزان توان اکتیو تزریقی به شبکه، سیستم مکانیکی باید توان بیشتری مصرف کند تا به سرعت معینی برسد. در صورت متصل بود به باطری عملیات اضافه کردن توان تزریقی باعث بیشتر کشیده شدن جریان از باطری می شود. این کار با افزایش شاخص مدولا سیون در اینورتر انجام می شود. خلا صه‌ای از مفاهیم شاخص مدولاسیون در ادامه آورده شده است.

در شکل ۲-۱۲، اصول عملکرد متداول در اینورترهای با مدولاسیون پهنای پالس سینوسی نشان داده شد. این مدولاسیون در کاربردهای صنعتی متداول است و SPWM نامیده می‌شود. در این روش به‌جای اینکه عرض تمام پالس‌ها مانند حالت مدولاسیون عرض پالس چندتایی، یکنواخت در نظر گرفته شود، عرض هر پالس، متناسب با دامنه‌ی موج سینوسی در مرکز همان پالس در نظرگرفته می‌شود. در این

حالت ضریب اعوجاج DF و LOH به‌طور قابل توجهی کاهش می‌یابد. سیگنال‌های آتش، از مقایسه‌ی سیگنال مبنای سینوسی با موج حامل مثلثی با فرکانس fc تولید می‌شوند. فرکانس سیگنال مبنا fr، فرکانس خروجی اینورتر fo را تعیین می‌کند و پیک دامنه‌ی آن Ar شاخص مدولاسیون M و درنتیجه ولتاژ موثر خروجی Vo را کنترل می‌کند. این نوع مدولاسیون تمام هارمونی‌ها را بجز هارمونی‌های تا درجه‌ی ۲P-۱ از بین می‌برد. مثلاً برای p=۵، LOH هارمونی ۹ام است. نام‌های دیگر این روش، مثلث‌بندی(Triangulation)، هارمونیک فرعی(Subharmonic) یا نوسان فرعی(Suboscillation) است. می‌توان از یک موج حامل یکسان برای هر سه فاز استفاده کرد. آنالیز فوریه‌ی شکل موج Vao را می‌توان به صورت رابطه (۲-۱۸) نشان داد.

$$V_{ao} = ۰.۵mV_d sin(\omega t + \varphi) + high - frequency(M\omega_c \pm N\omega)terms \qquad (۱۸-۲)$$

که در آن m شاخص مدولاسیون، ω فرکانس اصلی برحسب r/s (مشابه فرکانس مدولاسیون) و Φ شیفت فاز خروجی وابسته به موقعیت موج مدولاسیون است. شاخص مدولاسیون m به صورت رابطه (۲-۱۹) تعریف می‌شود:

$$m = \frac{V_p}{V_T} \qquad (۱۹-۲)$$

که $V_P$ مقدار پیک موج مدولاسیون و $V_T$ مقدارپیک موج حامل است. درحالت ایده‌آل m می‌تواند بین صفر و ۱ تغییر نماید که یک رابطه‌ی خطی بین موج مدولاسیون و موج خروجی می‌دهد. اینورتر اساساً مثل یک آمپلی فایر خطی عمل می‌کند. ازترکیب معادلات (۲-۱۸) و (۲-۱۹) بهره‌ی G آمپلی فایر به فرم رابطه (۲-۲۰) بدست می‌آید:

$$G = \frac{۰.۵mV_d}{V_p} = \frac{۰.۵V_d}{V_T} \qquad (۲۰-۲)$$

در m=۱ حداکثر مقدار پیک ولتاژ اصلی $\frac{V_d}{۲}$ است که ۷۸/۵۵٪ پیک ولتاژ موج مربعی ($\frac{۴V_d}{۲\pi}$) می‌باشد. در حقیقت حداکثر مقدار، در رنج خطی می‌تواند تا ۹۰/۷٪ موج مربعی با ترکیب مقادیر مناسب از هارمونیک

های سوم با موج مدولاسیون افزایش یابد. در m=۰، Vao یک موج مربعی با فرکانس موج حامل با پالس و عرض دندانه‌ای هم اندازه است. موج PWM خروجی شامل فرکانس حامل هارمونیک‌های وابسته با فرکانس مدولاسیون− باندهای فرعی وابسته به فرم $M\omega_c + N\omega$ که درمعادله‌ی (۲-۱۸) نمایش داده شده است، می‌باشد که M و N اعداد صحیح هستند و M+N یک عدد فرد صحیح می‌باشد.

می توان نشان داد که دامنه‌ی هارمونیک‌ها به P وابسته است و با مقادیر بزرگ‌تر M وN کم می‌شود. با نسبت فرکانس حامل بزرگتر P، هارمونیک‌های جریان خط اینورتر بوسیله‌ی سلف نشتی معمولی ماشین بخوبی فیلتر می‌شوند و عملاً به سمت موج سینوسی می‌روند. انتخاب فرکانس حامل به موازنه بین تلفات اینورتر و تلفات ماشین بستگی دارد. فرکانس حامل بزرگتر (مثل فرکانس سوئیچینگ) تلفات سوئیچینگ را افزایش می‌دهد ولی تلفات هارمونیک ماشین کاهش می‌یابد.

فرکانس حامل بهینه باید طوری انتخاب شود که مجموع تلفات سیستم حداقل باشد. یک اثر مهم فرکانس سوئیچینگ PWM، تولید نویز آکوستیک است. وقتی که اینورتر در حال اعمال توان به ماشین است این اثر بوسیله‌ی تغییر دادن فرکانس سوئیچینگ، بصورت تصادفی (PWM تصادفی) کاهش می‌یابد، یا می‌تواند با افزایش فرکانس سوئیچینگ به بالای رنج رادیویی، کلاً حذف شود. IGBTهای مدرن سرعت بالا به راحتی به چنین فرکانس متغیر بدون نویز آکوستیکی اجازه‌ی درایو شدن می‌دهند. فیلترهای خط پائین‌گذر هم می‌توانند این مشکل را برطرف نمایند.

مهمترین موارد کاربرد این نوع اینورترها عبارتند از:

الف) این اینورترها برای تخلیه انرژی بانک‌های ذخیره‌ساز انرژی در خودروهای الکتریکی مورد استفاده قرار می‌گیرند. از آنجایی که خودروهای برقی قیمت تمام‌شده نسبتاً بالایی نسبت به خودروهای بنزینی دارند، برای جبران قسمتی از هزینه‌های آن می‌توانند در زمان‌های پیک مصرف توان موجود در باتری را به شبکه تزریق کنند. اینورتر پیشنهادی می‌تواند بر روی این خودروها نصب شوند و یا به‌صورت جداگانه توسط مصرف‌کننده تهیه شود و برای مصرف چندین خودرو به کار گرفته شود. یکی از اهداف توسعه اختراع فوق نصب شارژر بر روی آن است که می‌توانند به‌صورت دوطرفه کار کنند. این کار باعث می‌شود از هزینه‌های خرید دو ماژول شارژر و تزریق کننده توان کاهش یافته و به‌جای آن یک مبدل دوطرفه در بازار عرضه شود.

ب) مبدل طراحی شده در این اختراع برای استفاده در تزریق توان ناشی از دستگاه‌های ورزشی ثابت به شبکه برق قابل استفاده است. به‌این‌ترتیب که انرژی تولیدشده ناشی از حرکت ثابت ورزشکار به شبکه تزریق می‌شود. برخی از شرکت‌های سازنده دوچرخه‌های ثابت و دوی ثابت با استفاده از سیستم موتور الکتریکی امکان ذخیره انرژی را فراهم کرده‌اند که با استفاده از سیستم اینورتر فوق می‌توان انرژی ذخیره‌شده را به شبکه منتقل کرد. علاوه بر آن این دستگاه قابلیت آن را خواهد داشت تا با استفاده از ورودی که از ورزشکار می‌گیرد توان تزریق شد به شبکه متناسب با حرکت ورزشکار را افزایش دهد. این کار باعث می‌شود برای ورزشکار یک شیب شبیه‌سازی شود و دیگر نیازی به ایجاد سیستم مکانیکی برای ایجاد شیب وجود ندارد. این کاربرد می‌تواند ورزشگاه‌های بدن‌سازی را به یک متقاضی برای این محصول معرفی کند.

ج) یکی دیگر از بازارهای موجود پیش روی این نوع مبدل انرژی به انضمام یک مجموعه باطری جهت استفاده در منازل مسکونی و مصارف خانگی برای کنترل توان مصرفی منازل است. با استفاده از این روش یک سیستم جامع کنترل و پخش بار می‌تواند به‌صورت لحظه‌ای میزان و جهت انتقال توان از شبکه به مصرف‌کننده را کنترل کند. این اینورتر می‌تواند در محدوده توان‌های بالا باشد، به صورتی که برای یک ساختمان یک واحد آن کافی باشد یا در ابعاد کوچک‌تر برای مصرف‌کننده‌های مختلف یک واحد از آن نصب شود. به‌طور مثال برای کولر یا یخچال یک اینورتر جهت کنترل جهت توان مصرفی آن و حتی اصلاح ضریب توان آن به کار گرفته شود.

د) به عنوان قابلیت توسعه اختراع، یکی از مهمترین عواملی که باعث توسعه این نوع خاص از اینورترها می شود، گسترش مفاهیم شبکه هوشمند در کشور می‌باشد. اخیراً توجه مسئولان کشور به توسعه و راه‌اندازی نمونه‌هایی از شبکه هوشمند آزمایشی در برخی دانشگاه‌های کشور بوده است. این نوع خاص از اینورترها قابلیت کنترل جهت و میزان توان اکتیو و راکتیو به شبکه را دارند و می‌توانند توسط پردازنده‌ای که بصورت دائمی پخش بار را انجام می‌دهد کنترل شوند. از آنجایی که اینورتر نیمه صنعتی ساخته شده در این اختراع فقط قابلیت کنترل توان اکتیو را دارد با کمی بهبود در تحقیق و تو سعه این اختراع می‌توان به اینورترهای منا سب با مفاهیم شبکه هو شمند د ست‌یابی پیدا کرد. این اینورترها در سایزهای ب سیار کوچک می‌توانند بر روی هر و سیله الکتریکی ن صب شوند و یا در ابعاد بزرگ‌تر جهت کنترل توان اکتیو و راکتیو یک منزل مسکونی مورد استفاده قرار گیرند.

ه) یکی از سیاست‌های دولت جهت کاهش آلودگی هوا گسترش خودروی برقی در کلان شهرها می‌باشد. بر همین اساس به دنبال راههایی برای تشویق رانندگان به استفاده از این نوع خودروها است. یکی از موانع برای توسعه فناوری خودروی برقی در کشور ما، قیمت تمام شده آن در مقابل خودروی بنزینی متداول و قابل خرید برای عامه مردم می‌باشد. یک راه تشویق مصرف کنندگان برای توجیه اقتصادی این نوع خودروها فروش توان باطری‌های آن در زمان پیک مصرف، به شبکه است. وزارت نیرو با تشویق شهروندان به تزریق برق از طریق وسائل با قابلیت ذخیره انرژی، می‌تواند مشکلات زمان پیک مصرف را هموار کند و علاوه بر آن راه مناسبی برای کاهش هزینه‌های خودروهای برقی باشد. اینورتر طراحی شده شده در این اختراع به راحتی قابل تنظیم برای خودروهای برقی است و با توسعه آن به گونه‌ای که بتواند بصورت دو طرفه عمل کند قابلیت جایگزینی با شارژر خودرو را خواهد داشت. به این ترتیب این مبدل در یک جهت شارژر خواهد بود و در جهت دیگر توان ذخیره شده در باطری را به شبکه تزریق می‌کند؛ به این ترتیب، جهت انتقال توان را مصرف‌کننده تعیین می‌کند.

# فصل سوم

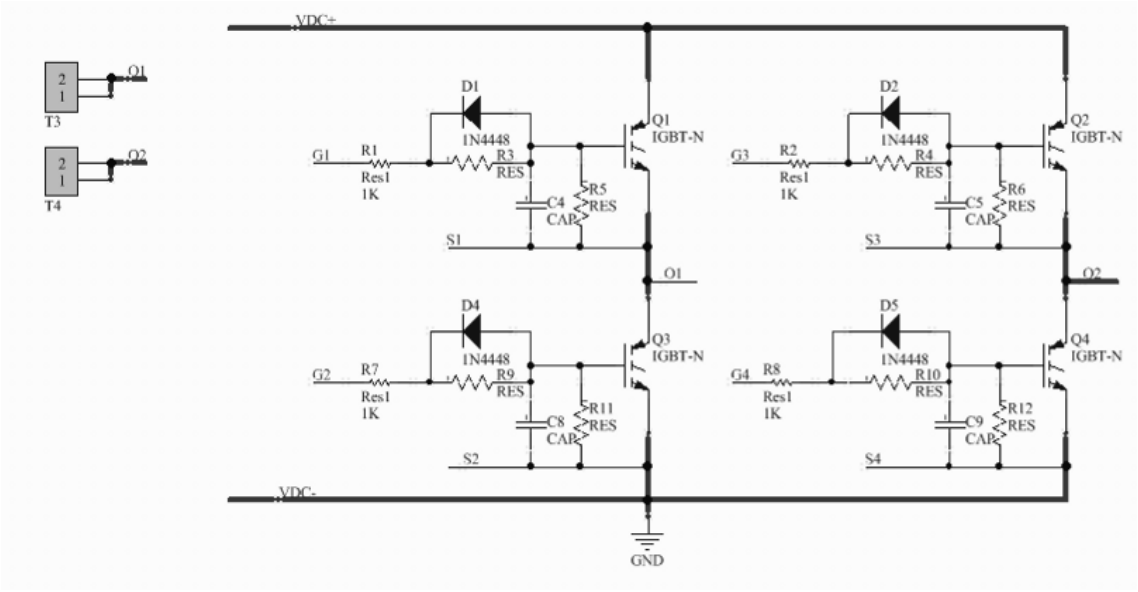
# نقشه بردهای قسمت قدرت و کنترل

در این فصل نقشه طراحی مدارهای برد قدرت و کنترل محصول که توسط قسمت طراحی شماتیک نرم‌افزار Altium Designer ترسیم شده است ارائه می‌گردد.

## ۳-۱) نقشه مبدل DC-DC تمام پل تک‌فاز

در این قسمت شماتیک مربوط به طراحی مبدل DC-DC تمام پل تک‌فاز است که هر کدام از قسمت‌ها در زیربخش‌های آن ارائه می‌شوند. مبدل‌های مد کلیدزنی DC-DC یک سطح از ولتاژ DC را به‌وسیله عمل کلیدزنی به سطحی دیگر از ولتاژ dc تبدیل می‌کنند. رایج شدن آن‌ها به دلیل سایز کوچک‌تر و بازده آن‌ها نسبت به رگولاتورهای خطی می‌باشد. مبدل‌های DC-DC کاربردهای بسیار زیادی دارند که عبارت‌اند از: کامپیوترهای شخصی، لوازم جانبی کامپیوترها و آداپتورهای لوازم الکترونیکی. در ورودی این مبدل ترکیبی از یک ساختار تمام پل استفاده شده است که سطح ولتاژ ورودی که معمولاً مقدار بین ۳۰ تا ۶۰ ولتا است را تا ۴۰۰ ولت افزایش می دهد.

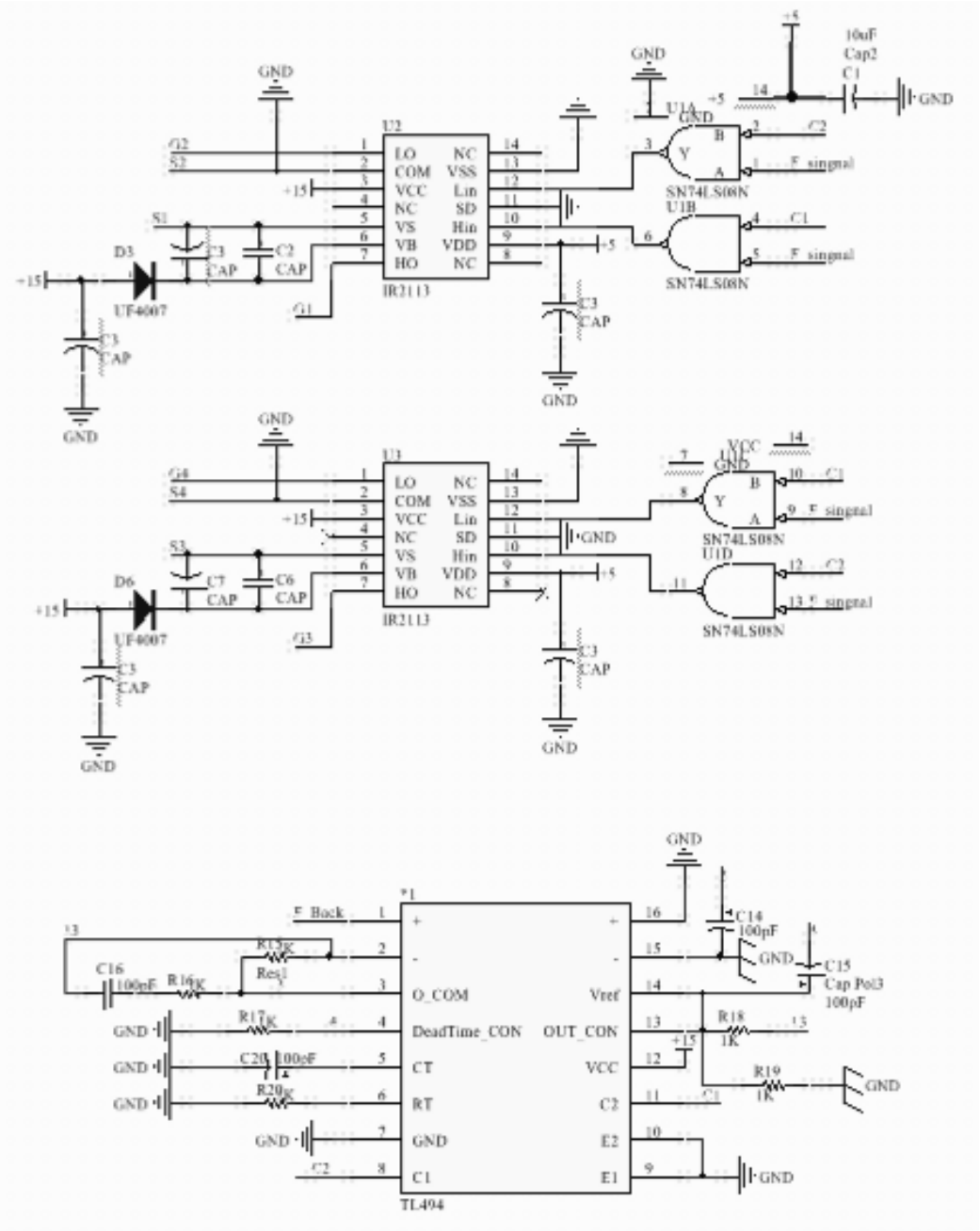
شکل ۳-۱ شماتیک مبدل تمام پل تک‌فاز مورد استفاده قرار گرفته شده شامل ۴ سوئیچ از جنس IGBT را نشان می‌دهد.




شکل ۳-۱: شماتیک مبدل تمام پل تک‌فاز

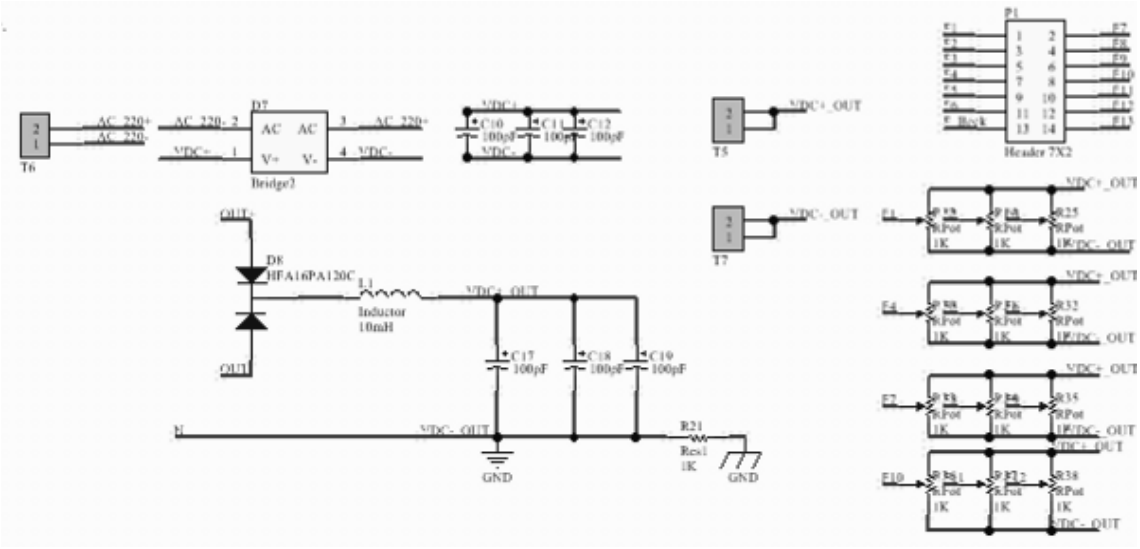
در شکل ۳-۲ شماتیک طراحی درایو مربوط به مبدل تمام پل تک‌فاز به همراه شماتیک طراحی کنترل کننده مربوطه نشان داده شده است. در این قسمت از دو درایور دوبل به منظور درایو هر کدام

از ساق‌های مبدل استفاده شده است که در هر کدام از آنها سیگنال خروجی کنترل کننده و سیگنال خطا توسط گیت AND مقایسه شده و به منظور عدم کارکرد سیگنال کنترل در هنگام خطا به درایور وارد می‌شود.

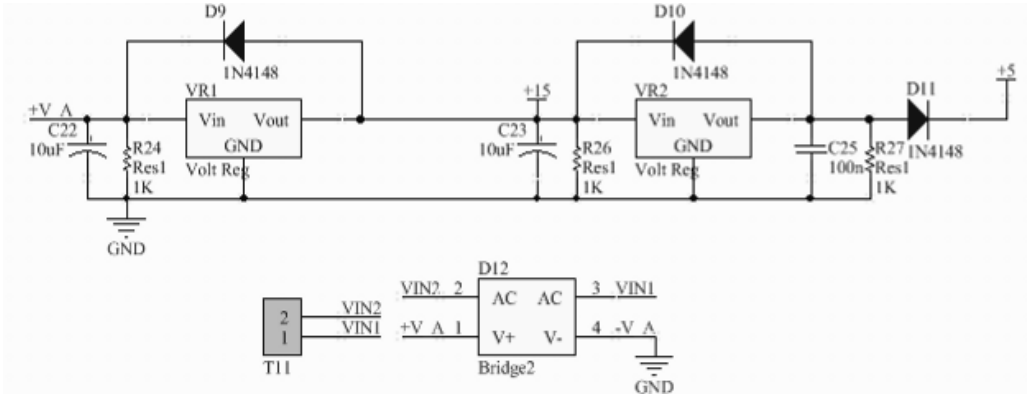



شکل ۳-۲: شماتیک طراحی درایو مربوط به مبدل تمام پل تک‌فاز

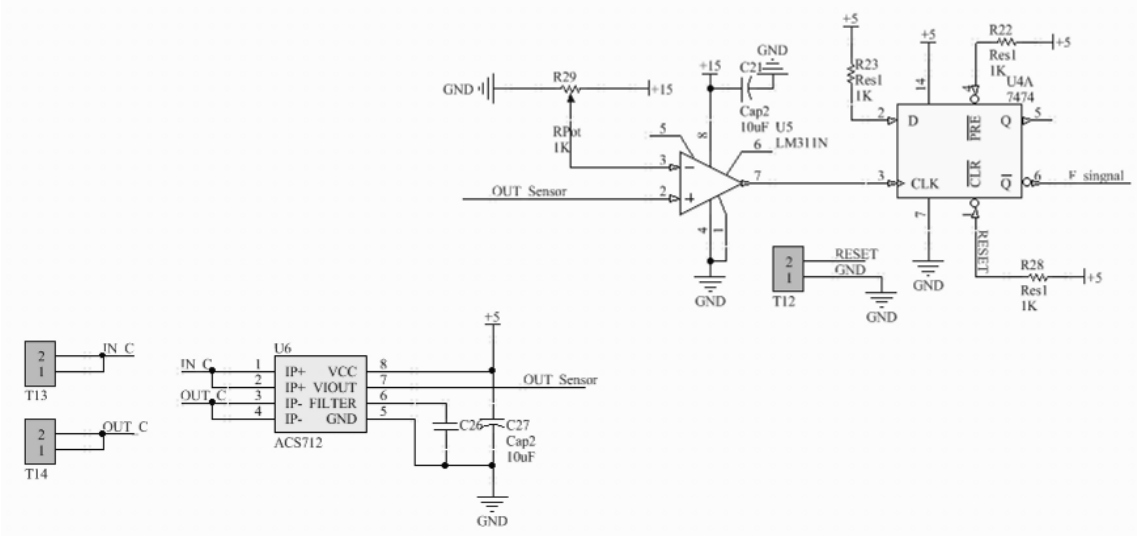
شکل ۳-۳ و شکل ۳-۴ به ترتیب شماتیک طراحی تنظیم ولتاژ مرجع برای مقادیر مختلف و یک رگولاتور که جهت تغذیه کمکی طراحی شده است را نشان می‌دهند. شکل ۳-۵ شماتیک طراحی مدار محافظ جریان را نشان می‌دهد.




شکل ۳-۳: شماتیک طراحی تنظیم ولتاژ مرجع برای مقادیر مختلف ولتاژ



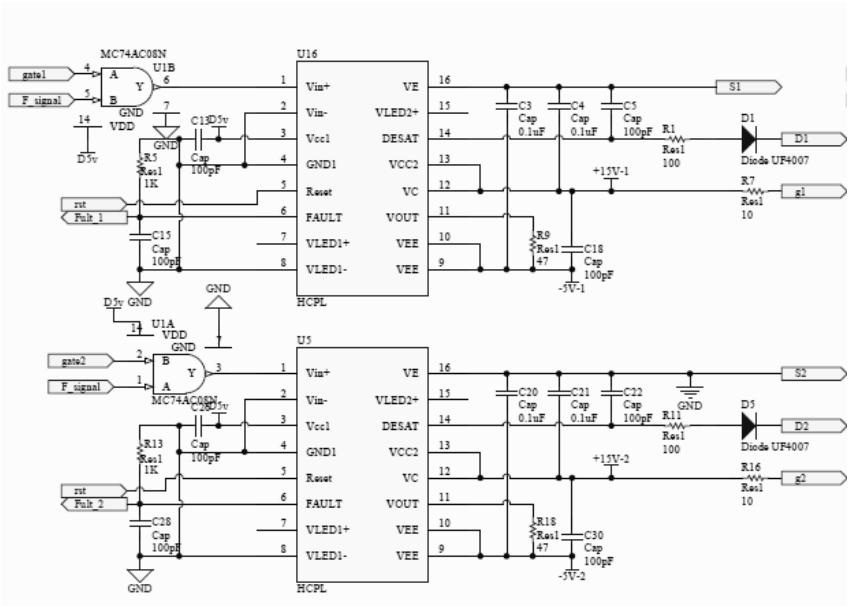

شکل ۳-۴: رگولاتور به‌منظور تغذیه کمکی

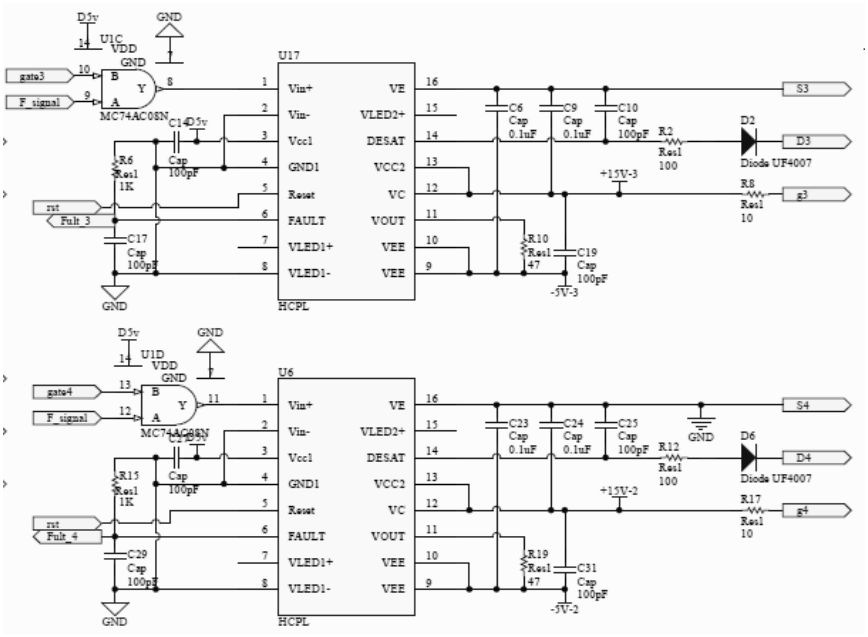



شکل ۳-۵: شماتیک طراحی مدار محافظ جریان

## ۳-۲) شماتیک طراحی اینورتر تمام پل تک فاز (DC-AC)

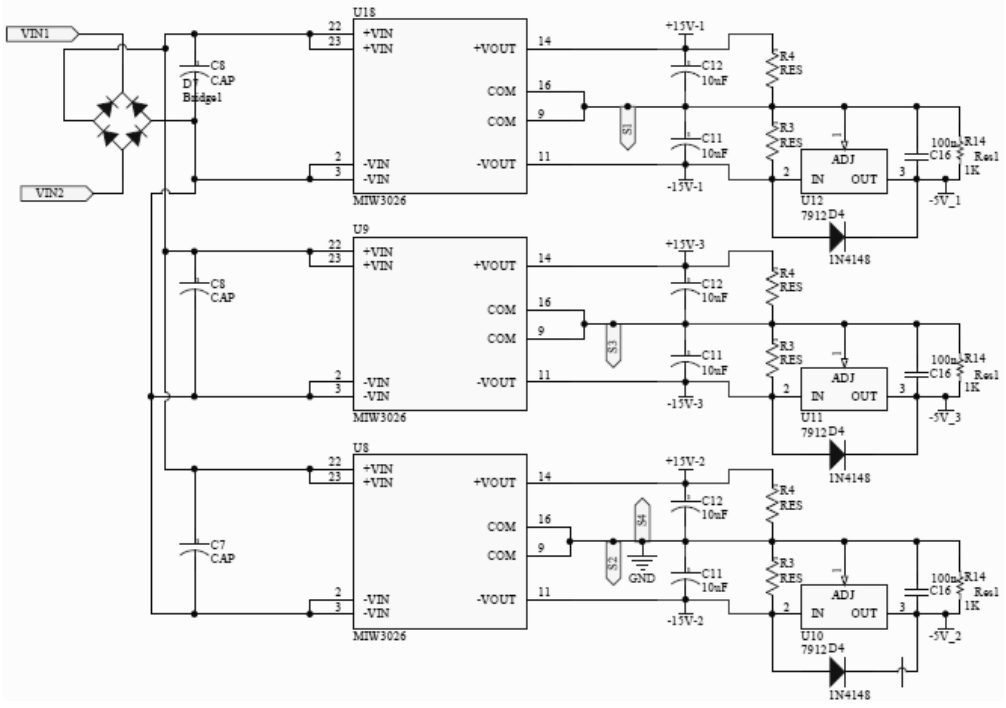
در این ق سمت به طراحی شماتیک اینورتر تمام پل تک‌فاز (DC-AC) می‌پردازیم که هر کدام از قسمت‌ها در ادامه ارائه شده و توضیح داده می‌شود. شکل ۳-۶ شماتیک طراحی درایو مربوط به مبدل تمام پل تک‌فاز (DC-AC) نشان داده شده است.





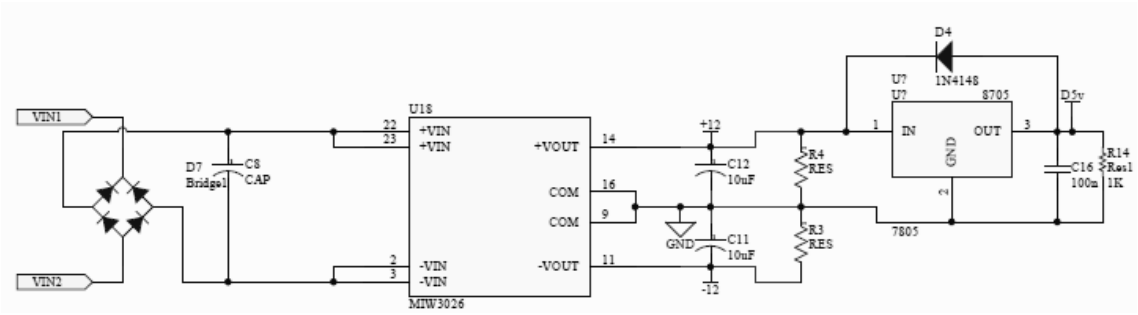

شکل ۳-۶: شماتیک طراحی درایو مربوط به مبدل تمام پل تک‌فاز (DC-AC)

درایور اینورتر تمام پل تک فاز باید تغذیه ایزوله دا شته با شد که به این منظور از Min-Maxهای ایزوله استفاده شده است. شکل ۳-۷ شماتیک طراحی Min-Maxهای ایزوله را نشان می‌دهد.کنترل این قسمت توسط سینوسی PWM انجام می شود که با تنظیم $m_a$ (مدولاسیون دامنه) میزان توان انتقالی (شبیه‌ساز شیب) را کنترل می‌کند.

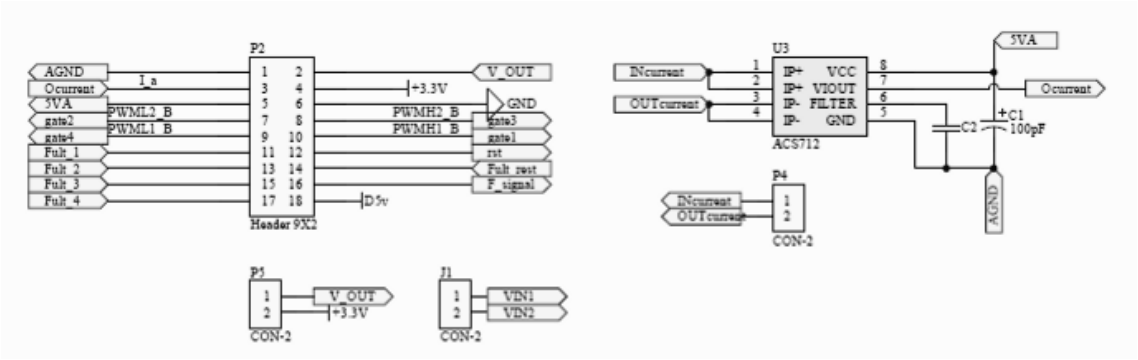



شکل ۳-۷: شماتیک طراحی *Min-Max*های ایزوله

شـکل ۳-۸ شـماتیک رگولاتور طراحی شـده جهت تغذیه کمکی اینورتر و شـکل ۳-۹ شـماتیک کانکتورهای سیگنال‌های کنترلی و سنسور جریان خروجی را نشان می‌دهد.



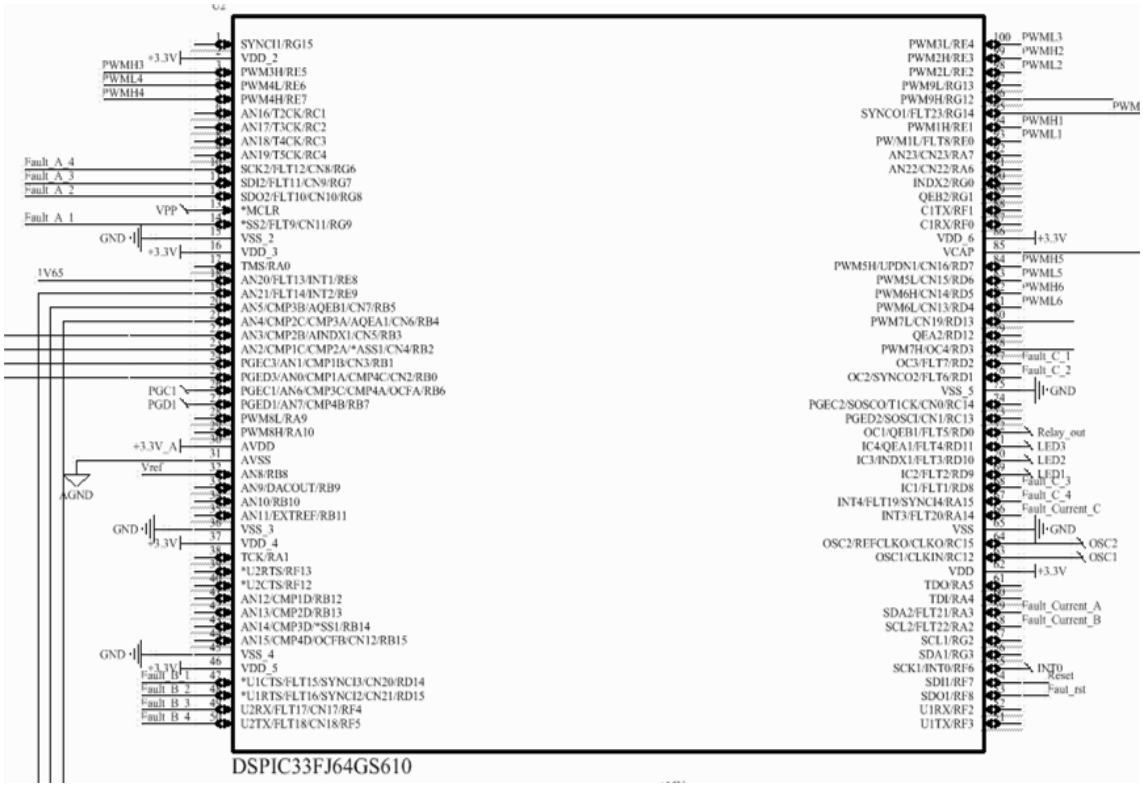

شکل ۳-۸: شماتیک رگولاتور طراحی شده جهت تغذیه کمکی اینورتر




شکل ۳-۹: شماتیک طراحی کانکتورهای سیگنال‌های کنترلی و سنسور جریان خروجی

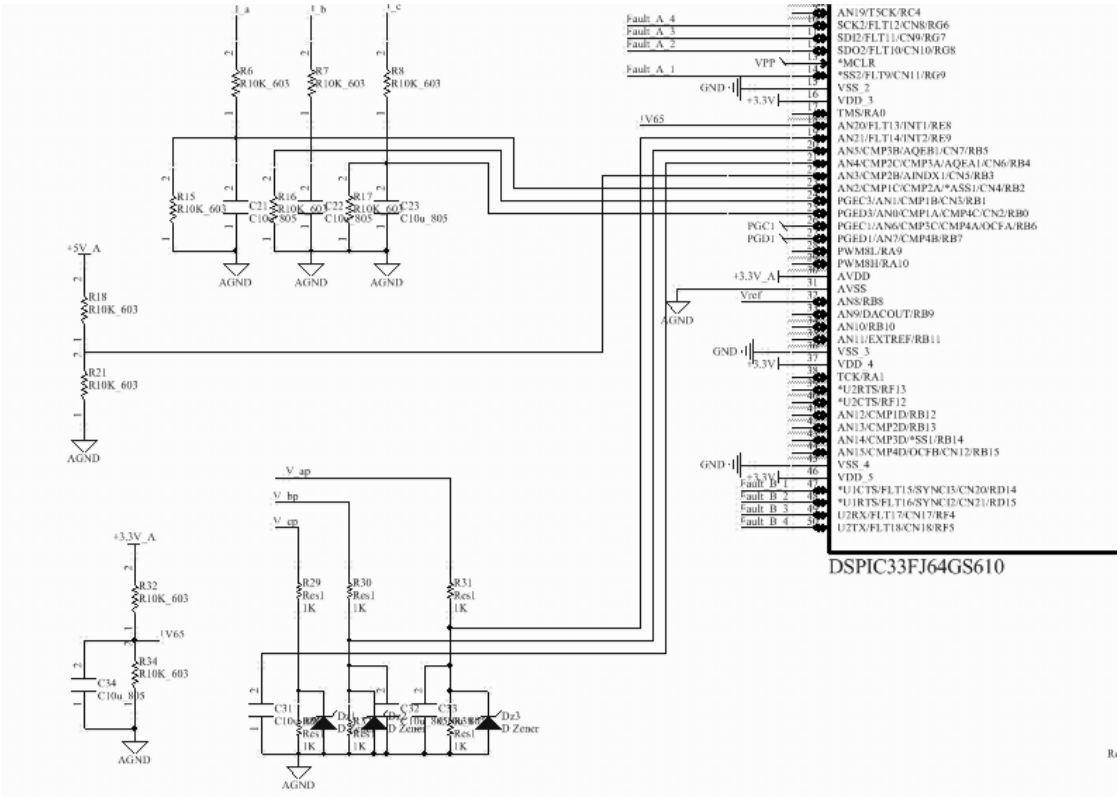
## ۳-۳) شماتیک طراحی میکروکنترلر مورد استفاده در طراحی مبدل متصل به شبکه (DC-AC)

در این قسـمت شـماتیک طراحی میکروکنترلر مورد اسـتفاده در طراحی مبدل متصـل به شـبکه (DC-AC) ارائه می شود. شکل ۳-۱۰ میکروچیپ مورد ا ستفاده در طراحی مبدل متصل به شبکه با پردازنده dsPIC۳۳FJ۶۴GS۶۱۰ است که با نرم افزار MPLAB برنامه‌ریزی می‌شود.

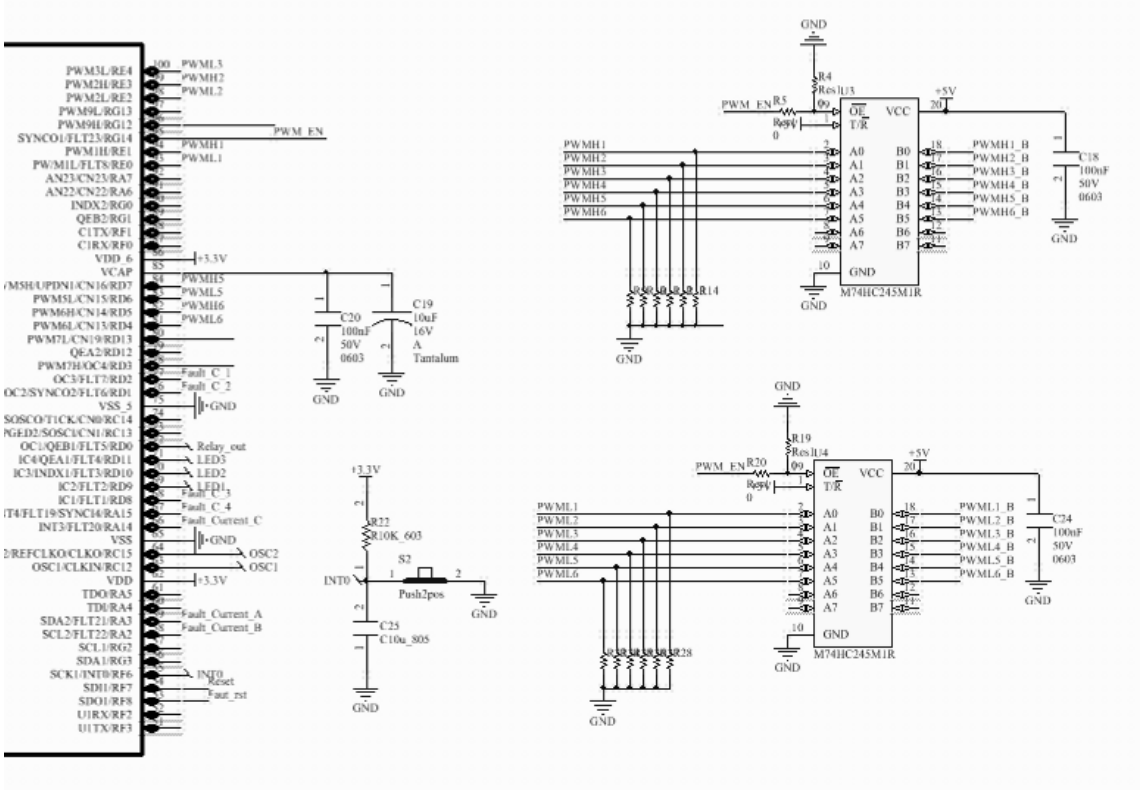



شکل ۳-۱۰: میکروچیپ مورد استفاده در طراحی مبدل متصل به شبکه

شـــکل ۳-۱۱ مربوط به شـــماتیک طراحی مدارهای جانبی میکروکنترلر جهت خواندن ولتاژ و جریان‌های خروجی از میکروکنترلر اســـت. شـــکل ۳-۱۲ بافرهایی را نشـــان می‌دهد که جهت تقویت سیگنال‌های PWM خروجی از میکروکنترلر مورد استفاده قرار می‌گیرد.




شکل ۳-۱۱: شماتیک طراحی مدارهای جانبی میکروکنترلر جهت خواندن ولتاژ و جریان‌های خروجی از میکروکنترلر




شکل ۳-۱۲: بافرهایی جهت تقویت سیگنال‌های PWM خروجی از میکروکنترلر

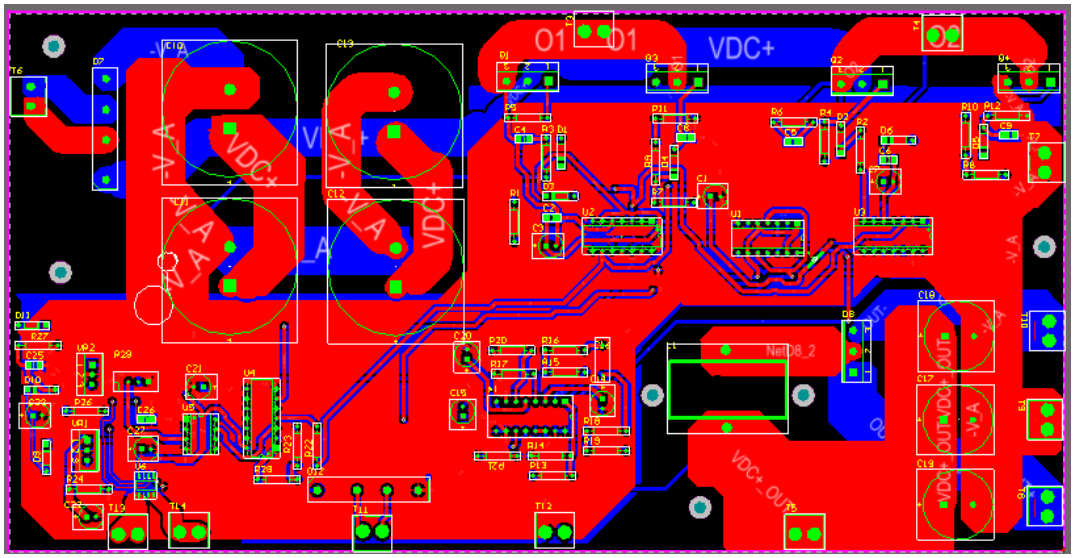
# فصل چهارم:

# استخراج وسایل و قطعات مورد نیاز

در این فصل، قطعات مورد استفاده در طراحی اینورتر متصل به شبکه به همراه اطلاعات مختص هر یک ارائه می‌گردد.

## ۴-۱- قطعات مورد استفاده در مبدل DC-DC

اجزای قطعات مورد استفاده در مبدل DC-DC به ترتیب در زیر عنوان شده و قطعات مهم کاربردی در این بخش در هر قسمت بیان شده است. شکل ۴-۱ نقشه PCB مربوط به مبدل DC-DC را نشان می‌دهد.




شکل ۴-۱: نقشه طراحی مدار PCB مربوط به مبدل DC-DC

### ۴-۱-۱- مبدل تمام‌پل تک‌فاز

مبدل تمام‌پل تکفاز شامل ۴ سوئیچ از جنس IGBT بوده که جدول ۴-۱ اجزای تشکیل دهنده آن را نشان می‌دهد.

جدول ۴-۱: اجزای تشکیل دهنده مبدل تمام پل تک‌فاز

| نام قطعه | تعداد |
|---|---|
| دیود ۱N۴۴۴۸ | ۴ |
| IGBT-N | ۴ |

| | |
|---|---|
| مقاومت (R) | ۱۲ |
| خازن (C) | ۴ |
| ترمینال | ۲ |

### ۴-۱-۲- طراحی درایو مربوط به مبدل تمام‌پل تک‌فاز

طراحی درایو مربوط به مبدل تمام پل تک‌فاز به همراه شماتیک طراحی کنترل کننده مربوطه در فصل قبل نشان داده شد. در این قسمت از دو درایور دوبل IR۲۱۱۳ به منظور درایو هر کدام از ساق‌های مبدل استفاده شده است که در هر کدام از آنها سیگنال خروجی کنترل‌کننده و سیگنال خطا توسط گیت AND مقایسه شده و به منظور عدم کارکرد سیگنال کنترل در هنگام خطا به درایور وارد می‌شود. شکل ۴-۲، شکل ۴-۳ و شکل ۴-۴ به‌ترتیب مشخصه‌ها، بلوک دیاگرام و اطلاعات مربوط به درایور IR۲۱۱۳ مبدل تمام‌پل تک‌فاز را نشان می‌دهد.

# HIGH AND LOW SIDE DRIVER

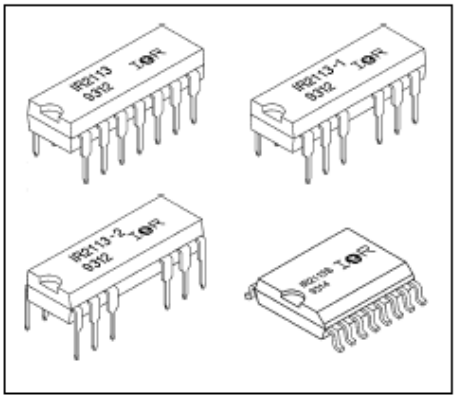
## Features

- Floating channel designed for bootstrap operation
  Fully operational to +600V
  Tolerant to negative transient voltage
  dV/dt immune
- Gate drive supply range from 10 to 20V
- Undervoltage lockout for both channels
- Separate logic supply range from 5 to 20V
  Logic and power ground ±5V offset
- CMOS Schmitt-triggered inputs with pull-down
- Cycle by cycle edge-triggered shutdown logic
- Matched propagation delay for both channels
- Outputs in phase with inputs

## Product Summary

| | |
|---|---|
| $V_{OFFSET}$ | 600V max. |
| $I_O$+/- | 2A / 2A |
| $V_{OUT}$ | 10 - 20V |
| $t_{on/off}$ (typ.) | 120 & 94 ns |
| Delay Matching | 10 ns |

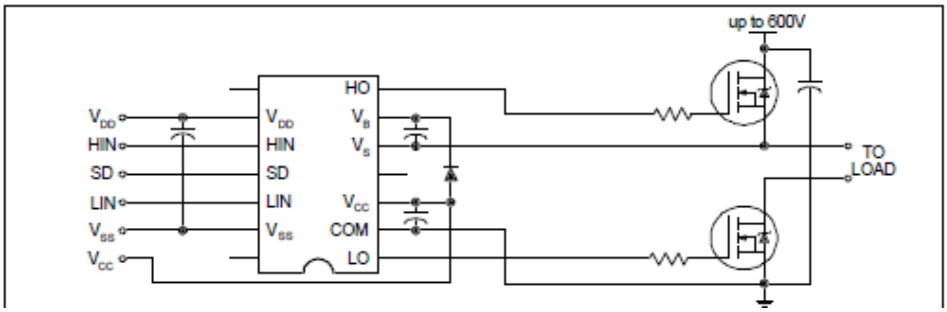
## Packages



## Description

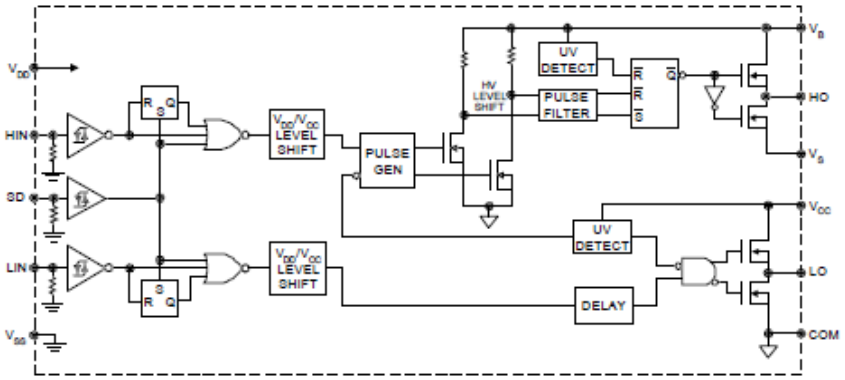
The IR2113 is a high voltage, high speed power MOSFET and IGBT driver with independent high and low side referenced output channels. Proprietary HVIC and latch immune CMOS technologies enable ruggedized monolithic construction. Logic inputs are compatible with standard CMOS or LSTTL outputs. The output drivers feature a high pulse current buffer stage designed for minimum driver cross-conduction. Propagation delays are matched to simplify use in high frequency applications. The floating channel can be used to drive an N-channel power MOSFET or IGBT in the high side configuration which operates up to 600 volts.

## Typical Connection



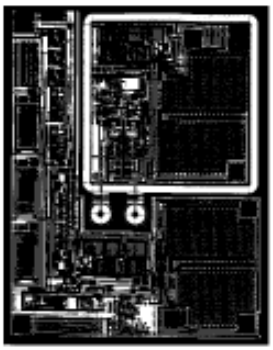

شکل ۴-۲: مشخصه‌های مربوط به درایور مبدل تمام‌پل تک‌فاز

## Functional Block Diagram




شکل ۴-۳: بلوک دیاگرام درایور IR۲۱۱۳

## Device Information

| | | |
|---|---|---|
| Process & Design Rule | | HVDCMOS 4.0 µm |
| Transistor Count | | 220 |
| Die Size | | 98 X 126 X 26 (mil) |
| Die Outline | |  |
| Thickness of Gate Oxide | | 800Å |
| Connections | Material | Poly Silicon |
| First Layer | Width | 4 µm |
| | Spacing | 6 µm |
| | Thickness | 5000Å |
| Second Layer | Material | Al - Si (Si: 1.0% ±0.1%) |
| | Width | 6 µm |
| | Spacing | 9 µm |
| | Thickness | 20,000Å |
| Contact Hole Dimension | | 8 µm X 8 µm |
| Insulation Layer | Material | PSG ($SiO_2$) |
| | Thickness | 1.5 µm |
| Passivation | Material | PSG ($SiO_2$) |
| | Thickness | 1.5 µm |
| Method of Saw | | Full Cut |
| Method of Die Bond | | Ablebond 84 - 1 |
| Wire Bond | Method | Thermo Sonic |
| | Material | Au (1.0 mil / 1.3 mil) |
| Leadframe | Material | Cu |
| | Die Area | Ag |
| | Lead Plating | Pb : Sn (37 : 63) |
| Package | Types | 14 & 16 Lead PDIP / 16 Lead SOIC |
| | Materials | EME6300 / MP150 / MP190 |
| Remarks: | | |

شکل ۴-۴: اطلاعات مربوط به درایور IR۲۱۱۳

همچنین به‌منظور کنترل درایو از طریق مدولاسیون پهنای پالس از آی سی TL۴۹۴ که معمولاً برای کنترل منبع تغذیه سوئیچینگ مورد استفاده قرار می‌گیرد، استفاده شده است. اطلاعات مربوط به این آی سی در شکل ۴-۵ نشان داده شده است. شکل ۴-۶ محدوده عملکرد و اتصالات داخلی آی سی

TL۴۹۴ را نشان می‌دهد. در شکل ۴-۷ بلوک دیاگرام آی‌سی TL۴۹۴ به همراه مدارات جانبی مبدل کاهنده مدولاسیون پهنای پالس نشان داده شده است.

MOTOROLA

Order this document by TL494/D

**TL494**

**SWITCHMODE™ Pulse Width Modulation Control Circuit**

The TL494 is a fixed frequency, pulse width modulation control circuit designed primarily for SWITCHMODE power supply control.

- Complete Pulse Width Modulation Control Circuitry
- On–Chip Oscillator with Master or Slave Operation
- On–Chip Error Amplifiers
- On–Chip 5.0 V Reference
- Adjustable Deadtime Control
- Uncommitted Output Transistors Rated to 500 mA Source or Sink
- Output Control for Push–Pull or Single–Ended Operation
- Undervoltage Lockout

**SWITCHMODE PULSE WIDTH MODULATION CONTROL CIRCUIT**

SEMICONDUCTOR TECHNICAL DATA



D SUFFIX
PLASTIC PACKAGE
CASE 751B
(SO–16)



N SUFFIX
PLASTIC PACKAGE
CASE 648

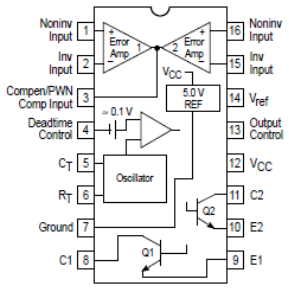
شکل ۴-۵: مشخصه‌های مربوط به کنترل کننده درایو از طریق مدولاسیون پهنای پالس

**MAXIMUM RATINGS** (Full operating ambient temperature range applies, unless otherwise noted.)

| Rating | Symbol | TL494C | TL494I | Unit |
|---|---|---|---|---|
| Power Supply Voltage | $V_{CC}$ | 42 | | V |
| Collector Output Voltage | $V_{C1}$, $V_{C2}$ | 42 | | V |
| Collector Output Current (Each transistor) (Note 1) | $I_{C1}$, $I_{C2}$ | 500 | | mA |
| Amplifier Input Voltage Range | $V_{IR}$ | −0.3 to +42 | | V |
| Power Dissipation @ $T_A \le 45°C$ | $P_D$ | 1000 | | mW |
| Thermal Resistance, Junction–to–Ambient | $R_{\theta JA}$ | 80 | | °C/W |
| Operating Junction Temperature | $T_J$ | 125 | | °C |
| Storage Temperature Range | $T_{stg}$ | −55 to +125 | | °C |
| Operating Ambient Temperature Range TL494C TL494I | $T_A$ | 0 to +70 −25 to +85 | | °C |
| Derating Ambient Temperature | $T_A$ | 45 | | °C |

NOTE: 1. Maximum thermal limits must be observed.

**PIN CONNECTIONS**




(Top View)

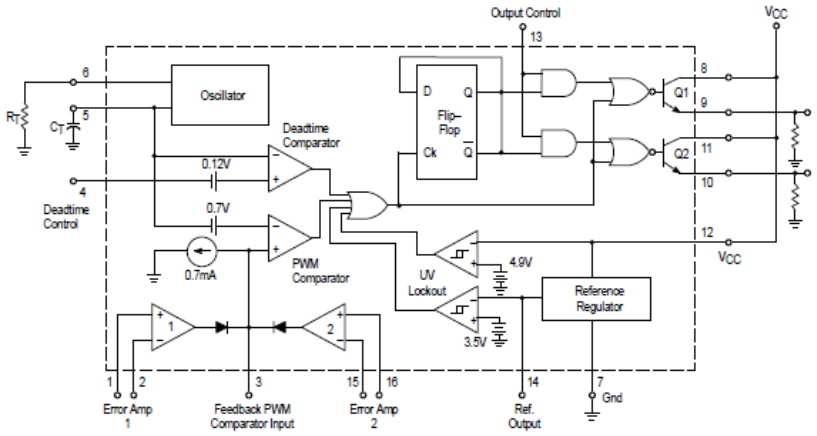
**ORDERING INFORMATION**

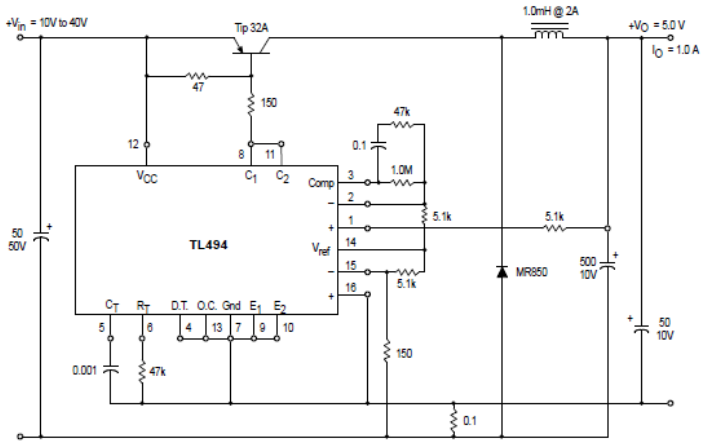
| Device | Operating Temperature Range | Package |
|---|---|---|
| TL494CD | $T_A$ = 0° to +70°C | SO–16 |
| TL494CN | | Plastic |
| TL494IN | $T_A$ = – 25° to +85°C | Plastic |

**RECOMMENDED OPERATING CONDITIONS**

| Characteristics | Symbol | Min | Typ | Max | Unit |
|---|---|---|---|---|---|
| Power Supply Voltage | $V_{CC}$ | 7.0 | 15 | 40 | V |
| Collector Output Voltage | $V_{C1}$, $V_{C2}$ | – | 30 | 40 | V |
| Collector Output Current (Each transistor) | $I_{C1}$, $I_{C2}$ | – | – | 200 | mA |
| Amplified Input Voltage | $V_{in}$ | −0.3 | – | $V_{CC}$ – 2.0 | V |
| Current Into Feedback Terminal | $I_{fb}$ | – | – | 0.3 | mA |
| Reference Output Current | $I_{ref}$ | – | – | 10 | mA |
| Timing Resistor | $R_T$ | 1.8 | 30 | 500 | kΩ |
| Timing Capacitor | $C_T$ | 0.0047 | 0.001 | 10 | μF |
| Oscillator Frequency | $f_{osc}$ | 1.0 | 40 | 200 | kHz |

شکل ۴-۶: محدوده عملکرد و اتصالات داخلی آی‌سی TL۴۹۴




شکل ۴-۷: بلوک دیاگرام آی سی TL۴۹۴ به همراه مدارات جانبی مبدل کاهنده مدولاسیون پهنای پالس

### ۴-۱-۳- طراحی تنظیم ولتاژ مرجع برای مقادیر مختلف

این قسمت به منظور تنظیم ولتاژ مرجع طراحی شده است که مهمترین آی سی مورد استفاده یکسوساز D۱۵XB۶۰ است.

### ۴-۱-۴- طراحی مدار محافظ جریان

جهت طراحی مدار محافظ جریان از آی‌سی LM۳۱۱ جهت کارکرد در رنج وسیعی از ولتاژ تغذیه در مقدار استاندارد ولتاژ ۱۵ V± تا تغذیه ۵ V برای IC مورد استفاده قرار می‌گیرد. شکل ۴-۸ مشخصه‌ها و پایه‌های این آی‌سی را معرفی می‌کند. شکل ۴-۹ شرایط کارکرد و محدوده نامی آی‌سی LM۳۱۱ را نشان می‌دهد.

Voltage comparator with strobe

## Features

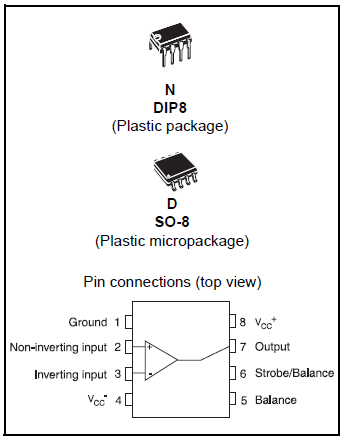
- Maximum input current: 150nA
- Maximum offset current: 20nA
- Differential input voltage range: ±30V
- Power consumption:135mW at ±15V
- Supply voltage: +5V to ±15V
- Output current: 50mA

## Description

The LM111, LM211, LM311 are voltage comparators that have low input currents.

They are also designed to operate over a wide range of supply voltages: from standard ±15V operational amplifier supplies down to the single +5V supply used for IC logic.

Their output is compatible with RTL-DTL and TTL as well as MOS circuits and can switch voltages up to +50V at output currents as high as 50mA.




شکل ۴-۸: مشخصه‌ها و پایه‌های آی‌سی LM۳۱۱

**Table 1. Absolute maximum ratings (AMR)**

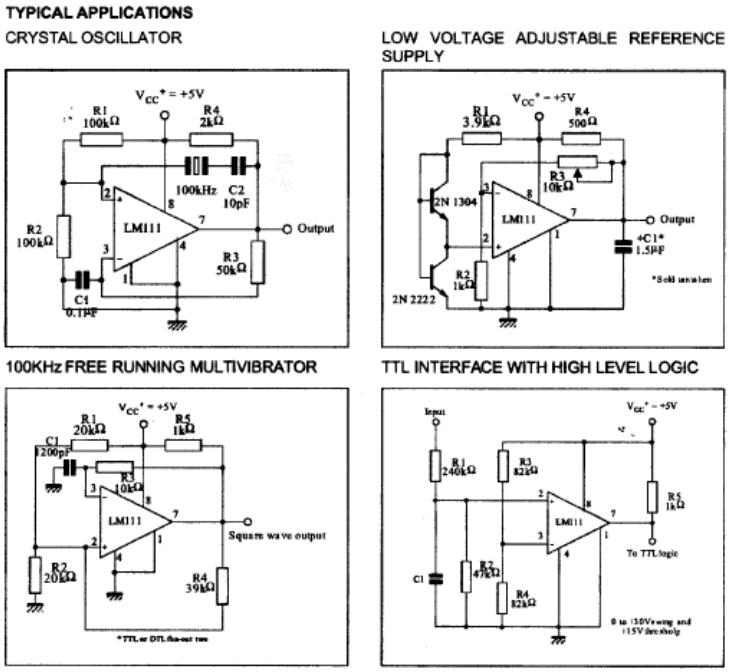
| Symbol | Parameter | Value | Unit |
|---|---|---|---|
| $V_{CC}$ | Supply voltage | 36 | V |
| $V_{id}$ | Differential input voltage | ±30 | V |
| $V_i$ | Input voltage (1) | ±15 | V |
| $V_{(1-4)}$ | Ground to negative supply voltage | 30 | V |
| $V_{(7-4)}$ | Output to negative supply voltage<br>LM111-LM211<br>LM311 | <br>50<br>40 | V |
| | Output short-circuit duration | 10 | s |
| | Voltage at strobe pin | $V_{CC}^+$ -5 | V |
| $P_d$ | Power dissipation (2)<br>DIP8<br>SO-8 | <br>1250<br>710 | mW |
| $T_j$ | Junction temperature | +150 | °C |
| $T_{stg}$ | Storage temperature range | -65 to +150 | °C |

1. This rating applies for ±15V supplies. The positive input voltage limit is 30V above the negative. The negative input voltage is equal to the negative supply voltage or 30V below the positive supply, whichever is less.
2. $P_d$ is calculated with $T_{amb}$ = +25°C, $T_j$ = +150°C and $R_{thja}$ = 100°C/W for the DIP8 package, and $R_{thja}$ = 175°C/W for the SO-8 package.

**Table 2. Operating conditions**

| Symbol | Parameter | Value | Unit |
|---|---|---|---|
| $V_{CC}$ | Supply voltage | 5 to ±15 | V |
| $T_{oper}$ | Operating free-air temperature range<br>LM111<br>LM211<br>LM311 | <br>-55 to +125<br>-40 to +105<br>0 to +70 | °C |

شکل ۴-۹: شرایط کارکرد و محدوده نامی آی‌سی LM۳۱۱



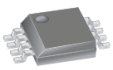

شکل ۴-۱۰: شماتیک کاربردهای نوعی آی‌سی LM۳۱۱

همچنین از آی‌سی ACS۷۱۲ که یک آی‌سی مجتمع سنسور جریان خطی مبتنی بر اثر هال می‌باشد، در طراحی مدار محافظ جریان استفاده شده است. شکل ۴-۱۱ مشخصه‌ها و ویژگی‌های آی‌سی ACS۷۱۲ را نشان می‌دهد. شکل ۴-۱۲ بلوک دیاگرام داخلی این آی‌سی را نشان داده است. شکل ۴-۱۳ طراحی مدارات جانبی به‌منظور کاربردهای نوعی آی‌سی ACS۷۱۲ را ارائه می‌دهد.

**Features and Benefits**

- Low-noise analog signal path
- Device bandwidth is set via the new FILTER pin
- 5 µs output rise time in response to step input current
- 50 kHz bandwidth
- Total output error 1.5% at $T_A$ = 25°C, and 4% at –40°C to 85°C
- Small footprint, low-profile SOIC8 package
- 1.2 mΩ internal conductor resistance
- 2.1 $kV_{RMS}$ minimum isolation voltage from pins 1-4 to pins 5-8
- 5.0 V, single supply operation
- 66 to 185 mV/A output sensitivity
- Output voltage proportional to AC or DC currents
- Factory-trimmed for accuracy
- Extremely stable output offset voltage
- Nearly zero magnetic hysteresis
- Ratiometric output from supply voltage

**Package: 8 pin SOIC (suffix LC)**



Approximate Scale 1:1

**Description**

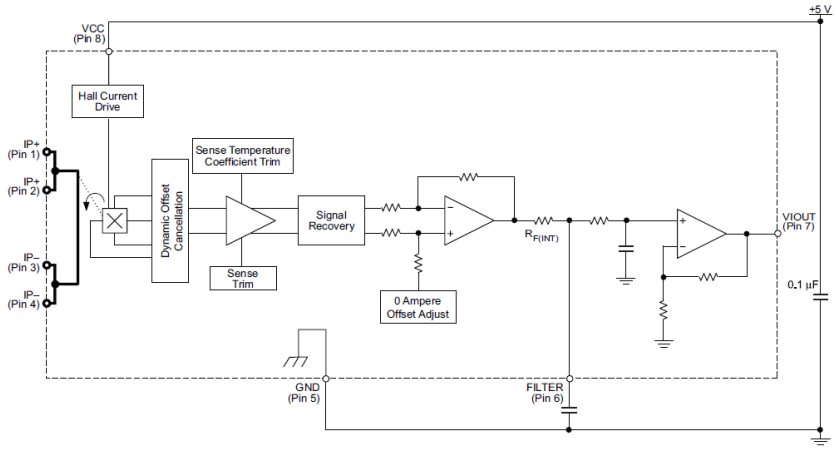
The Allegro® ACS712 provides economical and precise solutions for AC or DC current sensing in industrial, automotive, commercial, and communications systems. The device package allows for easy implementation by the customer. Typical applications include motor control, load detection and management, switched-mode power supplies, and overcurrent fault protection.

The device consists of a precise, low-offset, linear Hall sensor circuit with a copper conduction path located near the surface of the die. Applied current flowing through this copper conduction path generates a magnetic field which is sensed by the integrated Hall IC and converted into a proportional voltage. Device accuracy is optimized through the close proximity of the magnetic signal to the Hall transducer. A precise, proportional voltage is provided by the low-offset, chopper-stabilized BiCMOS Hall IC, which is programmed for accuracy after packaging.

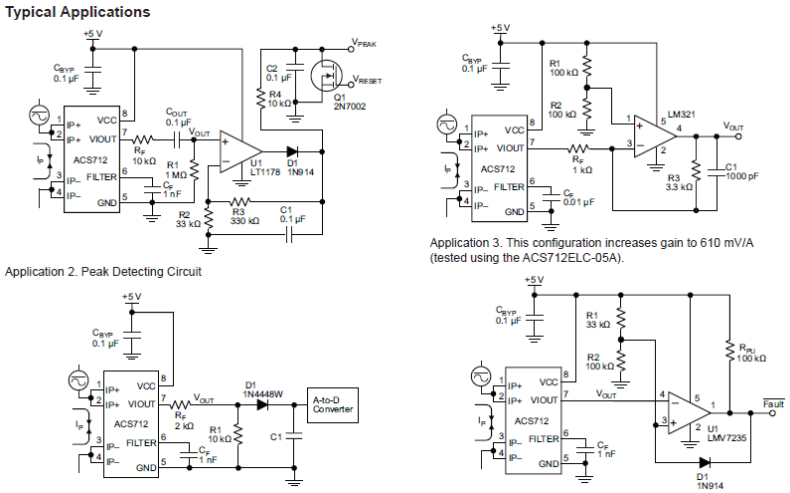
The output of the device has a positive slope (>$V_{IOUT(Q)}$) when an increasing current flows through the primary copper conduction path (from pins 1 and 2, to pins 3 and 4), which is the path used for current sensing. The internal resistance of this conductive path is 1.2 mΩ typical, providing low power

*Continued on the next page...*

شکل ۴-۱۱: مشخصه‌ها و ویژگی‌های آی‌سی ACS۷۱۲



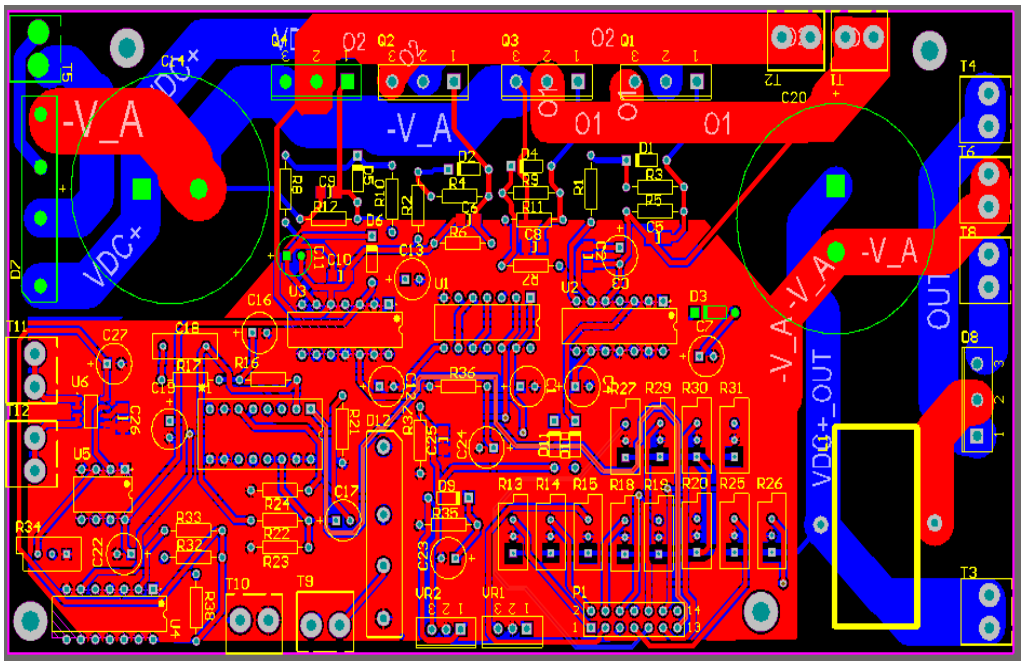

شکل ۴-۱۲: بلوک دیاگرام داخلی آی‌سی ACS۷۱۲




شکل ۴-۱۳: کاربردهای نوعی آی‌سی ACS۷۱۲

## ۴-۲- قطعات مورد استفاده در مبدل DC-AC

شکل ۴-۱۴ نقشه PCB مبدل مذکور را به همراه چیدمان المان‌های بکار رفته در آن در نرم‌افزار Altium designer نشان می‌دهد.




شکل ۴-۱۴: نقشه PCB مبدل DC-AC

اجزای قطعات مورد ا ستفاده در مبدل DC-DC به ترتیب در جدول ۴-۱۴ عنوان شده و قطعات مهم کاربردی در این بخش در هر قسمت بیان شده است.

جدول ۴-۱۴: لیست قطعات مورداستفاده در طراحی مبدل DC-AC متصل به شبکه

| Comment | Description | Designator | Footprint | LibRef | Quantity |
|---|---|---|---|---|---|
| Cap Pol۱ | Polarized Capacitor (Radial) | C۱, C۳۲, C۳۴, C۳۵ | RB۷٫۶-۱۵ | Cap Pol۱ | ۴ |
| Cap | Capacitor | C۲, C۳, C۴, C۵, C۶, C۹, C۱۰, C۱۳, C۱۴, C۱۵, C۱۷, C۱۸, C۱۹, C۲۰, C۲۱, | RAD-۰٫۳ | Cap | ۲۵ |

| | | | | | |
|---|---|---|---|---|---|
| | | C۲۲, C۲۳, C۲۴, C۲۵, C۲۶, C۲۷, C۲۸, C۲۹, C۳۰, C۳۱ | | | |
| CAP | Polar Capacitor | C۷, C۸ | CAP ۱,۱ | CAPACITOR | ۲ |
| ۱۰uF | Polar Capacitor | C۱۱, C۱۲ | RB.۲/ .۳ | CAPACITOR | ۲ |
| ۱۰۰n | Capacitor | C۱۶ | ۱۲۰۶ | Cap | ۱ |
| ۱۰۰n | Capacitor | C۱۶ | ۱۲۰۶ | Cap | ۱ |
| Cap۲ | Capacitor | C۳۳ | CAPR۵-۴X۵ | Cap۲ | ۱ |
| Diode UF۴۰۰۷ | High Conductance Fast Diode | D۱, D۲, D۵, D۶ | DIO۷,۱-۳,۹x۱,۹ | Diode ۱N۴۴۴۸ | ۴ |
| ۱N۴۱۴۸ | High Conductance Fast Diode | D۴ | DO-۳۵ | ۱N۴۴۴۸ | ۱ |
| Bridge۱ | Full Wave Diode Bridge | D۷ | E-BIP-P۴/ D۱۰ | Bridge۱ | ۱ |
| CON-۲ | ۲ Pin Connector | DIS_resistor, J۱, P۴, P۵, VDC+, VDC- | TERM۲ | CON-۲ | ۶ |
| Header ۱۲X۲ | Header, ۱۲-Pin, Dual row | P۱ | HDR۲X۱۲ | Header ۱۲X۲ | ۱ |
| Header ۹X۲ | Header, ۹-Pin, Dual row | P۲ | HDR۲X۹ | Header ۹X۲ | ۱ |

| POT۱ | Potentiometer | POT۱ | POT-MOL | POT۱ | ۱ |
|---|---|---|---|---|---|
| IGBT-N | Insulated Gate Bipolar Transistor (NChannel) | Q۲ | SFM-F۳/ Y۲,۳ | IGBT-N | ۱ |
| Res۱ | Resistor | R۱, R۲, R۵, R۶, R۷, R۸, R۹, R۱۰, R۱۱, R۱۲, R۱۳, R۱۵, R۱۶, R۱۷, R۱۸, R۱۹, R۲۰, R۲۲, R۲۳, R۲۴, R۲۶, R۲۷, R۲۸, R۲۹ | AXIAL-۰,۳ | Res۱ | ۲۴ |
| RES | Resistor | R۳, R۴ | ۱۲۰۶ | RESISTOR | ۲ |
| Res۱ | Resistor | R۱۴, R۲۵ | ۱۲۰۶ | Res۱ | ۲ |
| Res Tap | Tapped Resistor | R۲۱ | VR۳ | Res Tap | ۱ |
| M۳ | | SCREW۱, SCREW۲, SCREW۳, SCREW۴ | SCREW | SCREW | ۴ |
| MC۷۴AC۰۸N | Quad ۲-Input AND Gate | U۱ | ۶۴۶-۰۶ | MC۷۴AC۰۸N | ۱ |
| ACS۷۱۲ | | U۳ | SOIC۸_N | ACS۷۱۲EL | ۱ |

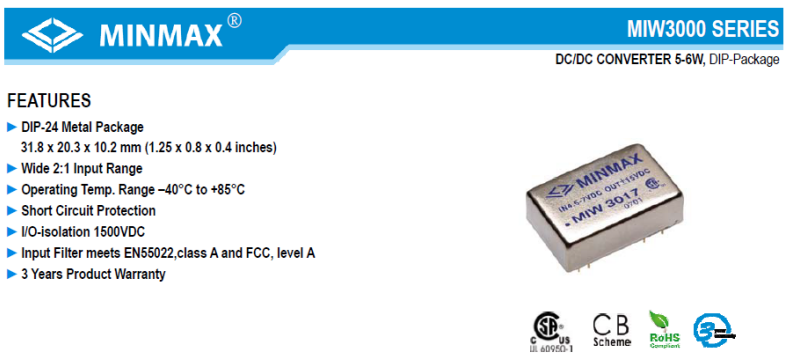
| | | | | | |
|---|---|---|---|---|---|
| HCPL | | U۵, U۶, U۱۶, U۱۷ | PCBComponent_۱ | HCPL | ۴ |
| MIW۳۰۲۶ | | U۸ | DIP-۸ | MIW۳۰۲۶ | ۱ |
| MIW۳۰۲۶ | | U۹, U۱۸ | MIW DUAL | MIW۳۰۲۶ | ۲ |
| ۷۹۱۲ | ۳-Terminal Adjustable Regulator | U۱۰, U۱۱, U۱۲ | KC۰۳ | LM۳۳۷KC | ۳ |
| LM۳۱۱N | High-Performance Voltage Comparator | U۱۳, U۱۴ | ۶۲۶-۰۵ | LM۳۱۱N | ۲ |
| ۷۴۷۴ | DUAL D PET FF RS CR | U۱۵ | DIP-۱۴ | ۷۴۷۴ | ۱ |
| ۷۸۰۵ | | U? | PCBComponent_۱ | Component_۱ | ۱ |

**۴-۲-۱_ درایو مربوط به مبدل تمام پل تک‌فاز (DC-AC)**

یک درایور ایزوله HCPL که در ورودی آن یک اوپتوکوپلر قرار میگیرد در این قسمت استفاده شده است.

**۴-۲-۲-طراحی *Min-Max*های ایزوله**

به منظور طراحی Min-Maxهای ایزوله از قطعه MIW۳۰۲۶ استفاده شده است که شکل ۴-۱۵ مشخصه‌های این قطعه را نشان می‌دهد. شرایط عمومی، فیوز ورودی و مشخصه‌های محیطی این قطعه در شکل ۴-۱۶ ارائه شده‌اند.



شکل ۴-۱۵: مشخصه Min-Max ایزوله از قطعه MIW۳۰۲۶

**General Specifications**

| Parameter | Conditions | Min. | Typ. | Max. | Unit |
|---|---|---|---|---|---|
| I/O Isolation Voltage (rated) | 60 Seconds | 1500 | --- | --- | VDC |
| I/O Isolation Resistance | 500 VDC | 1000 | --- | --- | MΩ |
| I/O Isolation Capacitance | 100KHz, 1V | --- | 380 | 500 | pF |
| Switching Frequency | | --- | 300 | --- | KHz |
| MTBF (calculated) | MIL-HDBK-217F@25°C, Ground Benign | 1,000,000 | --- | --- | Hours |
| Safety Approvals | UL/cUL 60950-1 recognition(CSA certificate), IEC/EN 60950-1 | | | | |

**Input Fuse**

| 5V Input Models | 12V Input Models | 24V Input Models | 48V Input Models |
|---|---|---|---|
| 3000mA Slow-Blow Type | 1500mA Slow-Blow Type | 700mA Slow-Blow Type | 350mA Slow-Blow Type |

**Environmental Specifications**

| Parameter | Conditions | Min. | Max. | Unit |
|---|---|---|---|---|
| Operating Temperature Range (with Derating) | Ambient | -40 | +85 | °C |
| Case Temperature | | --- | +90 | °C |
| Storage Temperature Range | | -50 | +125 | °C |
| Humidity (non condensing) | | --- | 95 | % rel. H |
| Cooling | Free-Air convection | | | |
| Lead Temperature (1.5mm from case for 10Sec.) | | --- | 260 | °C |

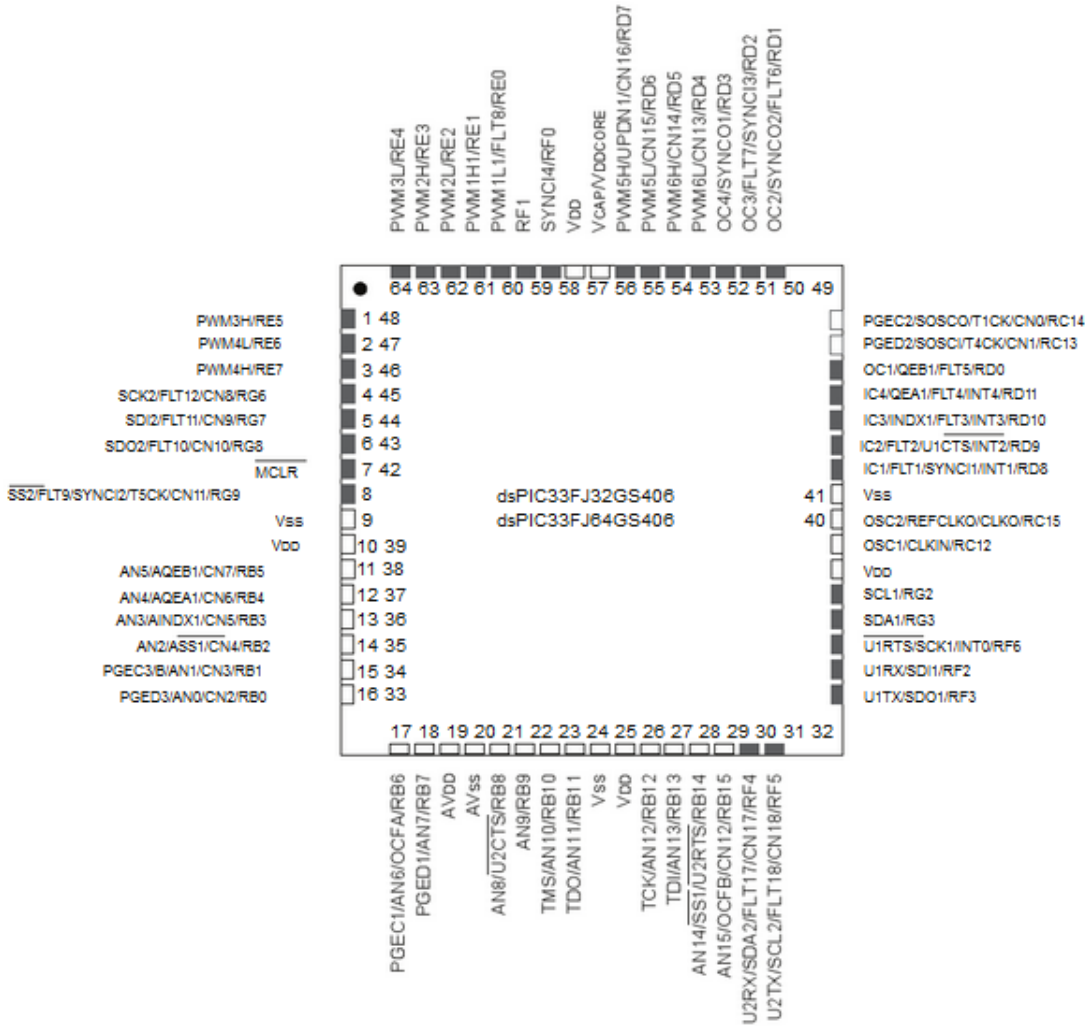
شکل ۴-۱۶: شرایط عمومی، فیوز ورودی و مشخصه‌های محیطی قطعه MIW۳۰۲۶

**۴-۲-۳- طراحی مدار سنسور جریان خروجی**

در طراحی مدار سنسور جریان خروجی همانند طراحی مدار DC-DC از آی‌سی ACS۷۱۲ استفاده شده که اطلاعات مربوط به آن در بخش قبل ارائه شد.

## ۴-۳- طراحی میکروکنترلر

میکروچیپ مورد ا ستفاده در طراحی مبدل مت صل به شبکه با پردازنده dsPIC۳۳FJ۶۴GS۶۱۰ ا ست که با نرم افزار MPLAB برنامه‌ریزی می شود. شکل ۴-۱۷ م شخ صه و اطلاعات مربوط به این میکروچیپ را نشان می دهد.




(الف)

| Device | Pins | Program Flash Memory (Kbytes) | RAM (Bytes) | 16-bit Timer | Input Capture | Output Compare | UART | Quadrature Encoder Interface | SPI | ECAN™ | DMA Channels | PWM | Analog Comparator | External Interrupts | DAC Output | I²C™ | ADC | | | I/O Pins | Packages |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | | | | | | | | | | | | | | | SARs | Sample and Hold (S&H) Circuit | Analog-to-Digital Inputs | | |
| dsPIC33FJ32GS406 | 64 | 32 | 4K | 5 | 4 | 4 | 2 | 1 | 2 | 0 | 0 | 6x2 | 0 | 5 | 0 | 2 | 1 | 5 | 16 | 58 | PT, MR |
| dsPIC33FJ32GS606 | 64 | 32 | 4K | 5 | 4 | 4 | 2 | 2 | 2 | 0 | 0 | 6x2 | 4 | 5 | 1 | 2 | 2 | 6 | 16 | 58 | PT, MR |
| dsPIC33FJ32GS608 | 80 | 32 | 4K | 5 | 4 | 4 | 2 | 2 | 2 | 0 | 0 | 8x2 | 4 | 5 | 1 | 2 | 2 | 6 | 18 | 74 | PT |
| dsPIC33FJ32GS610 | 100 | 32 | 4K | 5 | 4 | 4 | 2 | 2 | 2 | 0 | 0 | 9x2 | 4 | 5 | 1 | 2 | 2 | 6 | 24 | 85 | PT, PF |
| dsPIC33FJ64GS406 | 64 | 64 | 8K | 5 | 4 | 4 | 2 | 1 | 2 | 0 | 0 | 6x2 | 0 | 5 | 0 | 2 | 1 | 5 | 16 | 58 | PT, MR |
| dsPIC33FJ64GS606 | 64 | 64 | 9K(1) | 5 | 4 | 4 | 2 | 2 | 2 | 1 | 4 | 6x2 | 4 | 5 | 1 | 2 | 2 | 6 | 16 | 58 | PT, MR |
| dsPIC33FJ64GS608 | 80 | 64 | 9K(1) | 5 | 4 | 4 | 2 | 2 | 2 | 1 | 4 | 8x2 | 4 | 5 | 1 | 2 | 2 | 6 | 18 | 74 | PT |
| dsPIC33FJ64GS610 | 100 | 64 | 9K(1) | 5 | 4 | 4 | 2 | 2 | 2 | 1 | 4 | 9x2 | 4 | 5 | 1 | 2 | 2 | 6 | 24 | 85 | PT, PF |

(ب)

شکل ۴-۱۷: اطلاعات و مشخصات میکروچیپ dsPIC۳۳FJ۶۴GS۶۱۰

کدنویسی مربوط به این طراحی کنترلر در زیر ارائه شده است.

Processor: dsPIC۳۳FJ۶۴GS۶۱۰

Compiler: MPLAB® C۳۰ v۳,۰۲ or higher

IDE: MPLAB® IDE v۸,۳۶,۰۲ or later

Hardware Dependencies: explorer ۱۶ Starter Board

Description:

This program illustrates the use of the Push Pull mode of the dsPIC۳۳FJ SMPS PWM module. PWM۱ and PWM۲ are setup to produce ۵۰٪ duty cycle with a PWM period of approximately ۵۰۰nsec.

The Push-Pull mode produces a pulse on PWMxH on one cycle and PWMxL on the next PWM cycle. Therefore the PWM duty cycle may appear smaller than ۵۰٪ (effectively ۲۵٪).

The main application of the push-pull mode is to ensure that no residual DC charge exists on a transformer winding. All timing parameters are approximate and assuming ۴۰MIPS operation.

```
#include "p۳۳FJ۶۴GS۶۱۰.h"
#include <delay.h>
#include <stdio.h>
#include <libpic۳۰.h>
#include "table.h"
 ❊/Configuration Bit Settings/❊
_FOSCSEL(FNOSC_PRI)
_FOSC(FCKSM_CSECMD & OSCIOFNC_ON)
_FWDT(FWDTEN_OFF)
_FPOR(FPWRT_PWR۱۲۸)
_FICD(ICS_PGD۱ & JTAGEN_OFF)
void init_PWM(void);
void init_ADC(void);

int D_a,D_b,D_c;
int table_index_a=۰;
int table_index_b=۰;
int table_index_c=۰;

int dead_time=۱۰۰;
```

```
int period=۹۳۸۰;
int triger_time=۱۰۰;
int Amp_a=۰;
int Amp_b=۰;
int Amp_c=۰;

int main()
}
 ⁎/Configure Oscillator to operate the device at ۴۰Mhz
        Fosc= Fin*M/(N۱*N۲), Fcy=Fosc/۲
        Fosc= ۷,۳۷*(۴۳)/(۲*۲)=۸۰Mhz for Fosc, Fcy = ۴۰Mhz/⁎

       ⁎/Configure PLL prescaler, PLL postscaler, PLL divisor/⁎
      PLLFBD=۴۱;                    /* M = PLLFBD + ۲/⁎
      CLKDIVbits.PLLPOST=۰;   /* N۱ = ۲/⁎
      CLKDIVbits.PLLPRE=۰;    /* N۲ = ۲/⁎

__    builtin_write_OSCCONH(۰x۰۱);          /* New Oscillator FRC w/ PLL/⁎
__   builtin_write_OSCCONL(۰x۰۱);          /* Enable Switch/⁎

while(OSCCONbits.COSC != ۰b۰۰۱);          /* Wait for new Oscillator to
become FRC w/ PLL  /⁎
```

```
while(OSCCONbits.LOCK != ١);                    /* Wait for Pll to Lock/*

*/Now setup the ADC and PWM clock for ١٢٠MHz

)) FRC * ١۶) / APSTSCLR ) = (٧,٣٧ * ١۶) / ١ = ~ ١٢٠MHz/*

ACLKCONbits.FRCSEL = ١;                         /* FRC provides
input for Auxiliary PLL (x١۶) /*
ACLKCONbits.SELACLK = ١;                        /* Auxiliary
Oscillator provides clock source for PWM & ADC/*
ACLKCONbits.APSTSCLR = ٧;                       /* Divide Auxiliary
clock by ١/*
ACLKCONbits.ENAPLL = ١;                         /* Enable Auxiliary
PLL/*
while(ACLKCONbits.APLLCK != ١);                 /* Wait for Auxiliary
PLL to Lock/*
~~~~~~~~~~~~~~ */  PWM Configuration/* ~~~~~~~~~~~~~~
init_PWM;()

TRISDbits.TRISD٩=٠;  //set D٩ as output pin
TRISDbits.TRISD١٠=٠;  //set D١٠ as output pin
TRISDbits.TRISD١١=٠;  //set D١١ as output pin
TRISGbits.TRISG١۴=٠;
LATDbits.LATD٩=١;
```

```
LATDbits.LATD۱۰=۱;
LATDbits.LATD۱۱=۱;
LATGbits.LATG۱۴=۰;

PTCONbits.PTEN = ۱;    /* Turn ON PWM module/*

while(۱)

*/              ;{Infinite loop }/*

{

void init_PWM(void(
}
PTPER=period;
//PTCONbits.SEIEN=۱;
//  IEC۳bits.PSEMIE=۱;
//  IFS۳bits.PSEMIF=۰;
//  SEVTCMP=۲۰۰  ;
PTCON۲bits.PCLKDIV = ۰; /* divided by ۱/*

//dead time
```

```
DTR۱ = dead_time ;
DTR۲ = dead_time ;
DTR۳ = dead_time ;
DTR۴ = dead_time ;
DTR۵ = dead_time ;
DTR۶ = dead_time ;
// dead time
ALTDTR۱ = dead_time ;
ALTDTR۲ = dead_time; /* ALTDTR = (۳۰ns / ۱,۰۴ns), where desired dead time is ۳۰ns/* .
ALTDTR۳ = dead_time; /* ALTDTR = (۳۰ns / ۱,۰۴ns), where desired dead time is ۳۰ns/*.
ALTDTR۴ = dead_time; /* ALTDTR = (۳۰ns / ۱,۰۴ns), where desired dead time is ۳۰ns/* .
ALTDTR۵ = dead_time; /* ALTDTR = (۳۰ns / ۱,۰۴ns), where desired dead time is ۳۰ns/*.
ALTDTR۶ = dead_time; /* ALTDTR = (۳۰ns / ۱,۰۴ns), where desired dead time is ۳۰ns/* .

IOCON۱=۰xC۰۰۰; //PENH=۱ PENL=۱ POLH=۰ POLL=۰ PMOD=۰۰ other bits ۰
IOCON۲=۰xC۰۰۰; //PENH=۱ PENL=۱ POLH=۰ POLL=۰ PMOD=۰۰ other bits ۰
```

IOCON۳=۰xC۰۰۰; //PENH=۱ PENL=۱ POLH=۰ POLL=۰ PMOD=۰۰ other bits ۰

IOCON۴=۰xC۰۰۰; //PENH=۱ PENL=۱ POLH=۰ POLL=۰ PMOD=۰۰ other bits ۰

IOCON۵=۰xC۰۰۰; //PENH=۱ PENL=۱ POLH=۰ POLL=۰ PMOD=۰۰ other bits ۰

IOCON۶=۰xC۰۰۰; //PENH=۱ PENL=۱ POLH=۰ POLL=۰ PMOD=۰۰ other bits ۰

PWMCON۱ =۰x۰۶۰۴; //Positive deadtime

PWMCON۲ =۰x۰۶۰۴; //Positive deadtime

PWMCON۳ =۰x۰۶۰۴; //Positive deadtime

PWMCON۴ =۰x۰۶۰۴; //Positive deadtime

PWMCON۵ =۰x۰۶۰۴; //Positive deadtime

PWMCON۶ =۰x۰۶۰۴; //Positive deadtime

IEC۵bits.PWM۱IE=۱;

IFS۵bits.PWM۱IF=۰;

TRIG۱=triger_time ;

```
 IEC۶bits.PWM۳IE=۱;
IFS۶bits.PWM۳IF=۰;
TRIG۳=triger_time  ;

IEC۶bits.PWM۵IE=۱;
IFS۶bits.PWM۵IF=۰;
TRIG۵=triger_time;

 PHASE۱=period;        //PWM۱ Period
 PHASE۲=period;        //PWM۲ Period
 PHASE۳=period;        //PWM۳ Period
 PHASE۴=period;        //PWM۴ Period
 PHASE۵=period;        //PWM۵ Period
 PHASE۶=period;        //PWM۶ Period

 PDC۱=۱۰۰۰;
 PDC۲=۲۰۰۰;
 PDC۳=۳۰۰۰;
```

PDC۴=۴۰۰۰;

PDC۵=۵۰۰۰;

PDC۶=۶۰۰۰;

table_index_a=۰;

table_index_b=۴۲;

table_index_c=۸۴;

Amp_a=۳۵;

Amp_b=۳۵;

Amp_c=۳۵;

D_a=۰;

D_b=۰;

D_c=۰;

{

void init_ADC(void)

}

ADCONbits.FORM = ۰; //Integer data format

/*REMIND THAT FOR CONTROLLER OPERATION IT IS BEETER TO CHOOSE FRACTIONAL MODE/*

```
ADCONbits.EIE = ۰;                    //Early Interrupt disabled
ADCONbits.ORDER = ۰;                  //Convert even channel first
ADCONbits.SEQSAMP = ۰;          //Select simultaneous sampling
ADCONbits.ADCS = ۵;                   //ADC clock = FADC/۶ = ۱۲۰MHz
/ ۶ = ۲۰MHz

ADPCFGbits.PCFG۰ = ۰;          //select CH۰ as analog pin
ADPCFGbits.PCFG۱ = ۰;          //select CH۱ as analog pin
    ADPCFGbits.PCFG۲ = ۰;          //select CH۲ as analog pin
Grid_V_AD
ADPCFGbits.PCFG۳ = ۰;          //select CH۳ as analog pin  Grid_C_AD
ADPCFGbits.PCFG۴ = ۰;          //select CH۴ as analog pin
ADPCFGbits.PCFG۵ = ۰;          //select CH۵ as analog pin
    ADPCFG۲bits.PCFG۲۰ = ۰;        //select CH۲۰ as analog pin
    ADPCFG۲bits.PCFG۲۱ = ۰;        //select CH۲۱ as analog pin

    IFS۶bits.ADCP۰IF = ۰;              //Clear ADC Pair ۰ interrupt
flag
    IPC۲۷bits.ADCP۰IP = ۱;             //Set ADC Pair ۰ interrupt
priority
    IEC۶bits.ADCP۰IE = ۱;              //Enable the ADC Pair ۰
interrupt
```

```
IFS۶bits.ADCP۱IF = ۰;                    //Clear ADC Pair ۱ interrupt flag
IPC۲۷bits.ADCP۱IP = ۱;                   //Set ADC Pair ۱ interrupt priority
IEC۶bits.ADCP۱IE = ۱;                    //Enable the ADC Pair ۱ interrupt

IFS۷bits.ADCP۲IF = ۰;                    //Clear ADC Pair ۲ interrupt flag
IPC۲۸bits.ADCP۲IP = ۱;                   //Set ADC Pair ۲ interrupt priority
IEC۷bits.ADCP۲IE = ۱;                    //Enable the ADC Pair ۲ interrupt

IFS۵bits.ADCP۱۰IF = ۰;                   //Clear ADC Pair ۱۰ interrupt flag
IPC۲۰bits.ADCP۱۰IP = ۱;                  //Set ADC Pair ۱۰ interrupt priority
IEC۵bits.ADCP۱۰IE = ۱;                   //Enable the ADC Pair ۱۰ interrupt

ADSTATbits.P۰RDY = ۰;                    //Clear Pair ۰ data ready bit
ADCPC۰bits.IRQEN۰ = ۱;          //Enable ADC Interrupt pair ۰
ADCPC۰bits.TRGSRC۰ = ۴;                  //ADC Pair ۰ triggered by PWM Generator ۱ Trigger

ADSTATbits.P۱RDY = ۰;                    //Clear Pair ۱ data ready bit
ADCPC۰bits.IRQEN۱ = ۱;          //Enable ADC Interrupt pair ۱
//ADCPC۰bits.TRGSRC۱ = ۸;                //ADC Pair ۱ triggered by PWM Generator ۵ Trigger
```

```
ADCPC۰bits.TRGSRC۱ = ۴;          //ADC Pair ۱ triggered by PWM Generator ۱ Trigger
ADSTATbits.P۲RDY = ۰;            //Clear Pair ۲ data ready bit
ADCPC۱bits.IRQEN۲ = ۱;           //Enable ADC Interrupt pair ۲
ADCPC۱bits.TRGSRC۲ = ۴;          //ADC Pair ۲triggered by PWM Generator ۱ Trigger

ADSTATbits.P۱۰RDY = ۰;           //Clear Pair ۱۰ data ready bit
ADCPC۵bits.IRQEN۱۰ = ۱;          //Enable ADC Interrupt pair ۲
ADCPC۵bits.TRGSRC۱۰ = ۴;         //ADC Pair ۲triggered by PWM Generator ۱ Trigger

TRGCON۱bits.DTM=۱;               //dual trigger mode
TRIG۱bits.TRGCMP=۰;              //Primary trig compare value
STRIG۱bits.STRGCMP=۰x۰FF;        //secondary trig compare value

TRGCON۱bits.TRGDIV = ۰;          // Trigger generated every ۱ PWM cycle
TRGCON۱bits.TRGSTRT = ۱;         // enable Trigger generated after ۱ PWM cycles OR Wait ۵ PWM cycles before generating the first trigger event after the module is enabled

TRGCON۵bits.TRGDIV = ۰;          // Trigger generated every ۱ PWM cycle
```

TRGCON۵bits.TRGSTRT = ۱; // enable Trigger generated after ۱ PWM cycles OR Wait ۵ PWM cycles before generating the first trigger event after the module is enabled;

{

void __attribute__((__interrupt__,no_auto_psv)) _PWMSpEventMatchInterrupt()

}

LATDbits.LATD۹=۱;

IFS۳bits.PSEMIF=۰;

{

void __attribute__((__interrupt__,no_auto_psv)) _PWM۱Interrupt()

}

IFS۵bits.PWM۱IF=۰;

//D_a=(int)floorf((Amp_a*sine_table_f[table_index_a]));

D_a=Amp_a*sine_table_fast[table_index_a];

PDC۱=(period-D_a)/۲;

PDC۲=(period+D_a)/۲;

if (++table_index_a==۱۲۶)

table_index_a=۰;

{

void __attribute__((__interrupt__,no_auto_psv)) _PWM۳Interrupt()

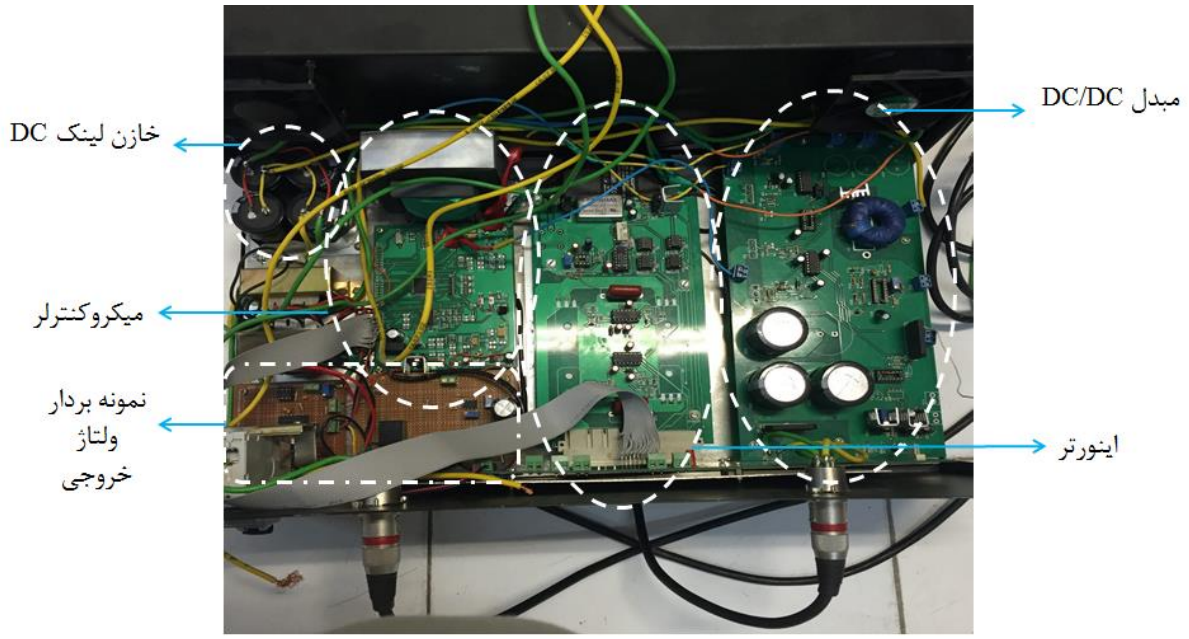
}

IFS۶bits.PWM۳IF=۰;

```
//D_b=(int)floorf((Amp_b*sine_table_f[table_index_b]));
D_b=Amp_b*sine_table_fast[table_index_b];
PDC۳=(period-D_b)/۲;
PDC۴=(period+D_b)/۲;
if (++table_index_b==۱۲۶)
table_index_b=۰;
{


void __attribute__((__interrupt__,no_auto_psv)) _PWM۵Interrupt()
}
IFS۶bits.PWM۵IF=۰;
//D_c=(int)floorf((Amp_c*sine_table_f[table_index_c]));
D_c=Amp_c*sine_table_fast[table_index_c];
PDC۵=(period-D_c)/۲;
PDC۶=(period+D_c)/۲;
if (++table_index_c==۱۲۶)
table_index_c=۰;
```

در نهایت، شکل ۴-۱۸ اینورتر متصل به شبکه را نشان می‌دهد که مبدل DC/DC، اینورتر، میکروکنترلر، نمونه‌بردار ولتاژ خروجی و خازن لینک DC در آن معرفی شده است که لیست مشخصات و تعداد و فوت‌پرینت قطعات مورداستفاده در طراحی مبدل DC/AC متصل به شبکه در این فصل ارائه گردید.




شکل ۴-۱۸: اینورتر متصل به شبکه

# فصل پنجم:

# منابع تغذیه بدون وقفه

اعوجاج برق مانند قطع برق، کمبود و بیشبود ولتاژ، نوسانات و هارمونیک ولتاژ می‌تواند موجب اثرات شدید بر روی بارهای حساس در سیستم‌های الکتریکی شود. سیستم‌های منابع تغذیه بدون وقفه (UPS[۱]) برای ارائه تغذیه با کیفیت، بدون وقفه و قابل اعتماد برای این بارهای حساس استفاده می‌شود. کاربرد سیستم‌های UPS شامل تجهیزات پزشکی، ذخیره‌سازی داده‌ها و سیستم‌های کامپیوتری، تجهیزات اضطراری، مخابرات، پردازش صنعتی و سیستم‌های مدیریت آنلاین است. سیستم‌های UPS به خصوص در مکان‌هایی که اغلب قطع برق و نوسانات رخ می‌دهد مورد نیاز است. UPS یک مدار تغذیه پشتیبان فراهم می‌کند برای عرضه به سیستم‌های حیاتی زمانی‌که قطع برق رخ می‌دهد. در شرایطی که نو سانات برق کوتاه‌زمان و یا اختلال ولتاژ رخ می‌دهد، یو پی اس برق را ثابت نگه می‌دارد تا بارهای مهم در حال کار باشند. در حین گسترش اختلالات برق، یو پی اس قدرت پشتیبان‌گیری برای حفظ سیستم در حال اجرا به اندازه کافی طولانی فراهم می‌کند به طوری که بتوان آنها را به آرامی خاموش کرد.

بسیاری از سیستم‌های یو پی اس نیز گذرای خط و اختلالات هارمونیکی را سرکوب می‌کنند. به طور کلی، یو پی اس ایده آل باید قادر باشد به طور همزمان برق بدون وقفه و قدرت لازم برای کاربردهای خاص را ارائه کند. بنابراین، یک یو پی اس ایده آل باید ویژگی‌های زیر را داشته باشد: ولتاژ خروجی سینوسی تنظیم‌شده با اعوجاج هارمونیک کل (THD[۲]) کم مستقل از تغییرات ولتاژ ورودی و یا در بار، عملکرد آنلاین که به معنی زمان انتقال صفر از حالت نرمال به حالت بک-آپ و بالعکس، جریان ورودی سینوسی ضریب قدرت با THD کم، قابلیت اطمینان بالا، راندمان بالا، EMI و نویز آکوستیکی پایین، عایق الکتریسیته، تعمیر و نگهداری کم، هزینه ، وزن، و اندازه کم. بدیهی است، پیکربندی وجود ندارد که بتواند تمام این ویژگی‌ها را ارائه کند. تنظیمات مختلف سیستم‌های یو پی اس بر روی برخی از ویژگی‌های ذکر شده در بالا تأکید می‌کنند.

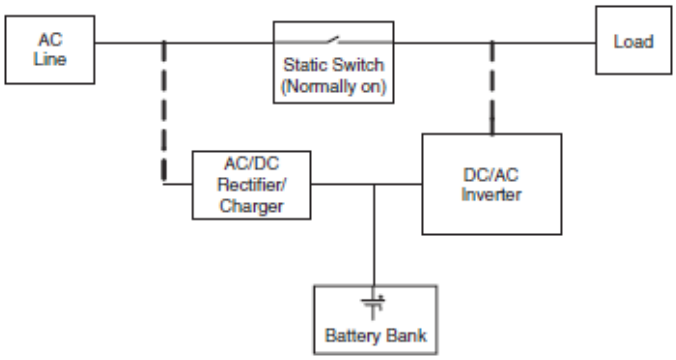
[۱] Uninterruptible Power Supplies

[۲] Total Harmonic Distortion

## ۵-۱- طبقه‌بندی

### ۵-۱-۱- UPS آماده به‌کار

این پیکربندی سیستم یو پی اس همچنین به عنوان " یو پی اس آفلاین" یا " یو پی اس خط ترجیحی" شناخته شده است [۴، ۵]. شکل ۵-۱پیکربندی یک سیستم یو پی اس آماده به کار را نشان می‌دهد. این یو پی اس از یک مبدل AC / DC، یک بانک باتری، یک اینورتر DC / AC، و یک کلید ثابت تشکیل شده است. یک فیلتر پایین گذر پسیو ممکن است در خروجی یو پی اس و یا اینورتر برای حذف فرکانس سوئیچینگ از ولتاژ خروجی استفاده شود. سوئیچ استاتیک در طول حالت عملکرد طبیعی روشن است. بنابراین، بار به طور مستقیم از خط AC و بدون هرگونه تهویه قدرت تغذیه می‌شود. در همان زمان، یکسوساز AC / DC مجموعه باتری را شارژ می‌کند.

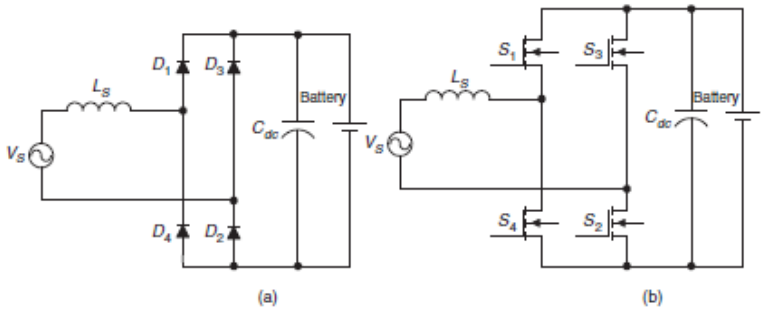



شکل ۵-۱: پیکربندی یک سیستم آماده به کار نوعی

این مبدل در یک میزان توان بسیار پایین‌تر از توان مورد تقاضای بار مجاز است که عمل کند. هنگامی که قطعی برق رخ می‌دهد و یا قدرت اولیه خارج از تحمل از پیش تعیین شده داده می‌شود، سوئیچ استاتیک باز می شود و اینورتر DC / AC قدرتی را برای بار از مجموعه باتری برای مدت زمان تهیه پشتیبان از پیش تعیین شده و یا تا بازگشت دوباره خط AC فراهم می‌کند. این اینورتر در ۱۰۰٪ از تقاضای قدرت بار عمل می‌کند. این اینورتر به صورت موازی با بار متصل باقی می‌ماند و آماده به کار در حالت طبیعی عمل می‌کند. زمان گذر از خط AC به اینورتر DC / AC معمولاً حدود یک چهارم زمان چرخه خط است، که برای بسیاری از برنامه های کاربردی مانند رایانه‌های شخصی کافی است. مزایای اصلی این توپولوژی طراحی ساده، کم هزینه و اندازه کوچک است. از سوی دیگر، عدم

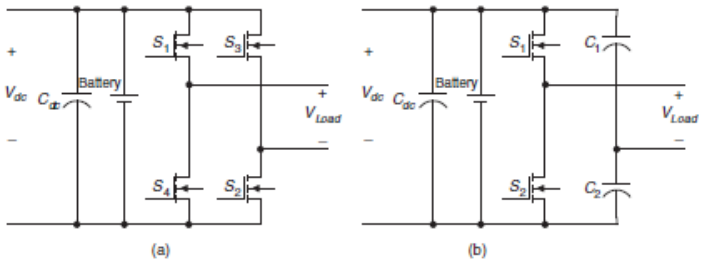
جداسازی واقعی بار از خط AC، عدم وجود تنظیم ولتاژ خروجی، زمان سوئیچینگ طولانی، عملکرد ضعیف با بارهای غیرخطی و عدم آماده سازی خط از معایب اصلی این پیکربندی است.

تنظیمات مختلف یکسوکننده‌های AC / DC از قبیل خطی یا سوئیچینگ ممکن است در این سیستم استفاده شود. برای کاهش هزینه، یک یکسوساز پل دیود ساده با یک خازن در انتهای جلوی استفاده شده است. مبدل کنترل شده تمام پل و یا نیم پل کامل نیز برای شارژ بانک باتری استفاده می شود. دو توپولوژی معمولی برای یک سیستم یو پی اس تک فاز در شکل ۵-۲ نشان داده شده است. توپولوژی کنترل کامل می‌تواند اصلاح ضریب توان (PFC[۱]) را برای انطباق با استانداردهای مربوطه ارائه کند. برای بهینه سازی فرآیند شارژ، چرخه شارژ به حالات "ولتاژ ثابت " و"جریان ثابت" تقسیم شده است. در حالت جریان ثابت، مبدل یک جریان ثابت به باتری تزریق می‌کند تا باتری به حدود ۹۵ درصد از ظرفیت خود شارژ شود. پس از این حالت، حالت ولتاژ ثابت شروع می‌شود که یک ولتاژ ثابت بر روی باتری اعمال می‌شود. در این حالت، جریان ورودی باتری به صورت نمایی کاهش می‌یابد تا زمانی که کاملا شارژ گردد. هدف از اینورتر DC/AC این است که زمانی که سوئیچ استاتیک باز می‌شود، برق AC با کیفیت بالا را برای بار تأمین کند. توپولوژی تمام یا نیمه پل برای این اینورتر استفاده می‌شود. شکل ۵-۳ دو توپولوژی تک‌فاز ساده برای اینورتر DC/AC را نشان می‌دهد.

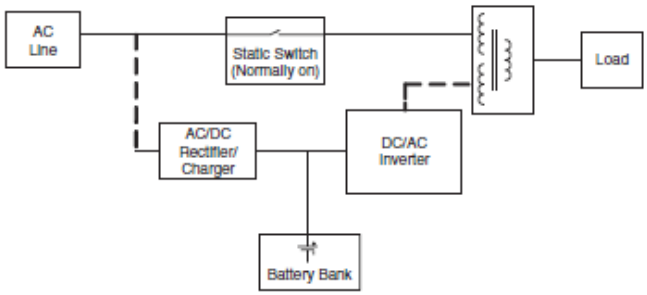



شکل ۵-۲: دو توپولوژی ساده از یکسوساز AC/DC: a) یکسوساز دیودی تمام‌پل b) توپولوژی تمام پل کنترل شده

[۱] Power Factor Correction




شکل ۵-۳: دو توپولوژی تک‌فاز ساده برای اینورتر DC/AC: a) تمام پل و b) نیم پل




شکل ۵-۴: شماتیک نوعی سیستم UPS آماده به کار فرورزونانس

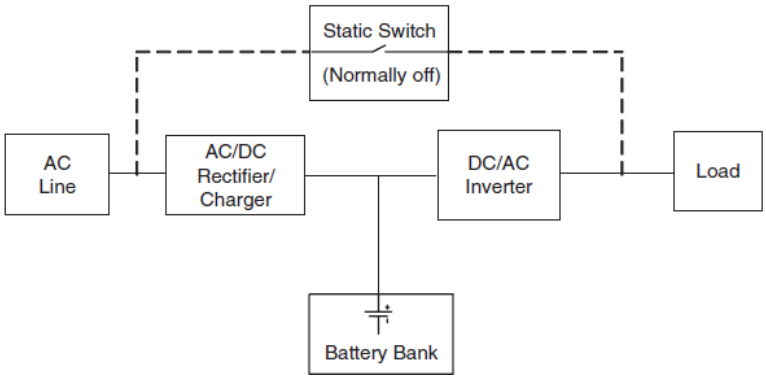
در برخی از توپولوژی سیستم‌های UPS آماده به کار، یک ترانسفورماتور ایزوله است که در مرحله خروجی یو پی اس استفاده می‌شود. این توپولوژی سیستم یو پی اس آماده به کار فرورزنانت نامیده می‌شود. ترانسفورماتور نیز به عنوان یک فیلتر پایین گذر عمل می‌کند که فرکانس سوئیچینگ را از ولتاژ خروجی اینورتر DC/AC خنثی می‌کند. از سوی دیگر، ترانسفورماتور انرژی الکترومغناطیسی در هسته نگهداری می‌کند و به عنوان یک بافر در هنگام قطع برق عمل می‌کند. برای یک زمان کوتاه، ترانسفورماتور قدرت را برای بار فراهم کرده و از تأثیر یافتن تجهیزات حساس در برابر در طول زمان انتقال از ورودی AC به یو پی اس محافظت می‌کند. شکل ۵-۴ پیکربندی یک سیستم یو پی اس آماده به کار فرورزنانت را نشان می‌دهد. از آنجا که ترانسفورماتور بزرگ و گران قیمت است، این پیکربندی برای کاربردهای توان بالا مناسب‌تر است.

### ۵-۱-۲- سیستم UPS آنلاین

مشابه به حالت آماده به کار سیستم های یو پی اس، سیستم های یو پی اس بر روی خط نیز از یک یکسوکننده / شارژر، یک مجموعه باتری، یک اینورتر، و یک کلید ثابت (دور زدن) تشکیل شده است.

نام‌های دیگر برای این پیکربندی "یو پی اس درست[۱]"، "یو پی اس ترجیحی اینورتر" و "یو پی اس دو تبدیل" است [۶ و ۷]. شکل ۵-۵ بلوک دیاگرام یک یو پی اس آنلاین را نشان می‌دهد. یکسو کننده / شارژر به طور مداوم برق را برای باس DC تأمین می‌کند. توان نامی این مبدل باید به طور مناسب برای تأمین قدرت بار و شارژ بانک باتری در همان زمان طراحی گردد. باتری‌ها به منظور تامین قدرت کامل به بار در طول زمان بازگشت درجه‌بندی شده‌اند. مدت زمان این تغییرات زمانی در برنامه‌های کاربردی مختلف متفاوت است. اینورتر در ۱۰۰٪ توان بار نامی تنظیم شده است چراکه باید بار را در طول حالت عادی عملکرد و همچنین در طول زمان تهیه پشتیبان تأمین کند. این یو پی اس به‌طور سری با بار متصل می‌شود. از این رو، هیچ زمانی در ارتباط با انتقال از حالت عادی به حالت ذخیره انرژی وجود ندارد. این یک مزیت اصلی سیستم‌های یو پی اس آنلاین است.

سوئیچ استاتیک افزونگی از منبع قدرت در صورت نقص یو پی اس و یا اضافه بار فراهم می‌کند. خط AC و ولتاژ بار باید در فاز به منظور استفاده از سوئیچ استاتیک باشد. این می تواند به راحتی توسط یک کنترل حلقه قفل فاز به دست آید. در حالت طبیعی عملکرد، قدرت بار به طور مداوم از طریق یکسو کننده / شارژر و اینورتر عرضه می شود. در واقع، یک تبدیل از AC به DC و سپس از DC به AC صورت می‌گیرد. این تنظیمات یو پی اس اجازه قدرت تهویه خوب را می‌دهد. مبدل AC/DC مجموعه باتری را شارژ می‌کند و همچنین توان را از طریق اینورتر برای بار تأمین می‌کند. بنابراین، دارای نرخ قدرت بالاتری در این توپولوژی است که موجب افزایش قیمت آن می‌گردد.

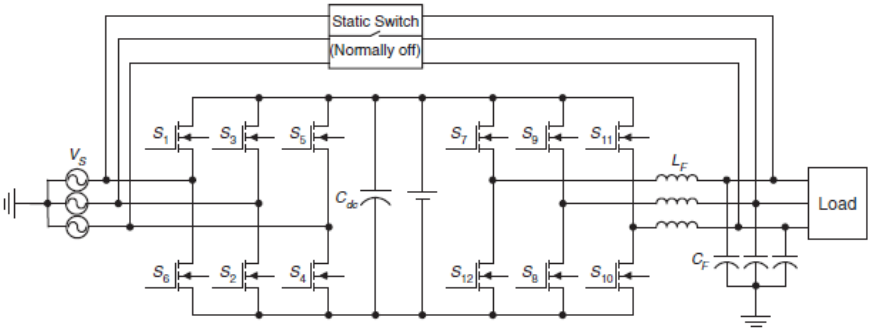



شکل ۵-۵: بلوک دیاگرام یک UPS آنلاین

[۱] True UPS

هنگامی‌که ولتاژ ورودی AC خارج از تحمل از پیش تعیین شده است، اینورتر و باتری تداوم قدرت به بار را حفظ می‌کنند. مدت زمان این حالت، مدت زمان تهیه پشتیبان یو پی اس از پیش تعیین شده است زمان و یا خط AC را درون حالت تحمل از پیش تعیین شده برمی‌گرداند. مزایای اصلی یو پی اس آنلاین قابلیت تحمل بسیار گسترده به تغییرات ولتاژ ورودی و مقررات بسیار دقیق از ولتاژ خروجی است. علاوه بر این، هیچ زمان انتقالی در طول انتقال از حالت نرمال به حالت انرژی ذخیره وجود ندارد. همچنین ممکن است فرکانس خروجی را تنظیم یا تغییر دهد [۸]. معایب اصلی این توپولوژی ضریب قدرت کم، THD بالا در ورودی، و بهره‌وری پایین است. جریان ورودی توسط یکسوکننده تحت تاثیر قرار گرفته است. مگر اینکه یک مدار PFC اضافی اضافه شده باشد. اما، این به هزینه سیستم یو پی اس می‌افزاید [۹].

همانطور که برای سیستم یو پی اس آماده به کار اشاره شد، توپولوژی‌های متفاوتی، برای یکسوساز AC / DC و اینورتر DC / AC استفاده می‌شود. بر خلاف سیستم یو پی اس آماده به کار، در این سیستم، این مبدل‌ها قدرت را به طور مداوم برای بار ارائه می‌کنند. بنابراین، مراقبت بیشتری باید به کیفیت جریان ورودی و ولتاژ و همچنین بهره‌وری سیستم گردد. شکل ۵-۶ پیکربندی یک سیستم یو پی اس آنلاین سه فاز را نشان می‌دهد. روش سوئیچینگ مناسب مانند PWM برای یکسوساز AC / DC برای به حداقل رساندن ورودی هارمونیک‌های جریان و فراهم نمودن ولتاژ باس DC تنظیم شده و به‌کارگیری شده است. یک فیلتر پایین گذر در خروجی سیستم فرکانس سوئیچینگ از ولتاژ خروجی را حذف می کند.

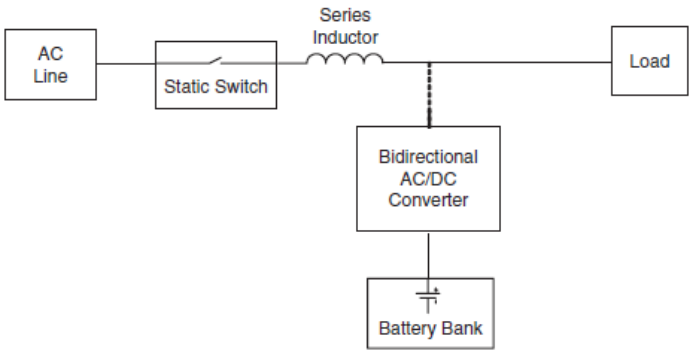



شکل ۵-۶: شماتیک یک سیستم UPS سه فاز آنلاین

### ۵-۱-۳- UPS خط تعاملی

سیستم‌های UPS خط تعاملی شامل یک کلید ثابت، یک سلف سری، یک مبدل دو جهته، و یک بانک باتری می‌باشند. یک فیلتر غیرفعال اختیاری می‌تواند در خروجی مبدل دو جهته یا در سمت ورودی بار اضافه شود. یک یو پی اس خط تعاملی می‌تواند هم به عنوان یک یو پی اس آنلاین یا به عنوان یک یو پی اس آفلاین عمل کند. برای UPS آفلاین خط تعاملی، سلف سری مورد نیاز نمی‌باشد.

با این حال، بسیاری از سیستم‌های UPS خطی تعاملی به‌صورت آنلاین به منظور بهبود ضریب قدرت بار و یا تنظیم ولتاژ خروجی برای بار عمل می‌کنند. هنگامی که خط AC همراه با تلورانس موجود است، بار را به طور مستقیم تغذیه می‌کند. مبدل AC/DC بطور موازی با بار متصل شده و باتری را تغذیه می‌کند. این مبدل نیز ممکن است به‌منظور بهبود ضریب قدرت سیستم و جبران هارمونیک های جریان بار استفاده گردد [۱۰، ۱۱]. شماتیک نوعی UPS خطی تعاملی در شکل ۵-۷ نشان داده شده است.



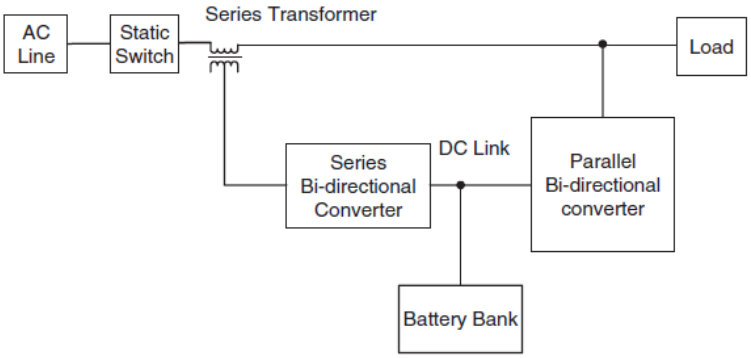

شکل ۵-۷: یک شماتیک نوعی سیستم UPS خطی تعاملی

هنگامی‌که قطع برق رخ می‌دهد و یا ولتاژ ورودی خارج از قابلیت تحمل از پیش تعیین‌شده می‌افتد، سیستم به حالت بای پس می‌رود. در این حالت، مبدل دو جهته به عنوان یک اینورتر DC / AC عمل می‌کند و برق را از مجموعه باتری به بار منتقل می‌کند. سوئیچ استاتیک خط AC را به منظور جلوگیری از بازخورد اینورتر قطع می‌کند. مزایای اصلی سیستم‌های یو پی اس خط تعاملی، طراحی ساده و به عنوان یک نتیجه، قابلیت اطمینان بالا و هزینه پایین تر نسبت به سیستم های یو پی اس آنلاین است. آنها همچنین هارمونیک‌ها را به خوبی برای جریان ورودی سرکوب می‌کنند. از آنجا که این یک توپولوژی تبدیل تک‌مرحله‌ای است، بهره‌وری آن بالاتر از سیستم یو پی اس آنلاین است. نقطه ضعف اصلی آن کمبود عایق موثر از بار خط AC است. به‌کارگیری یک ترانسفورماتور در خروجی می‌تواند این را از ببرد.

اما، آن به هزینه، اندازه، وزن سیستم یو پی اس اضافه می‌کند. علاوه بر این، آماده‌سازی ولتاژ خروجی خوب نیست چرا که اینورتر بطور سری با بار وصل نشده است. همچنین از آنجا که خط AC بار را به طور مستقیم در حالت طبیعی عملکرد تأمین می‌کند، هیچ امکانی برای تنظیم فرکانس خروجی وجود ندارد.

### ۵-۱-۴- UPS جامع

این نوع از یو پی اس نیز "سری-موازی" و یا "تبدیل دلتا" نامیده می‌شود. توپولوژی آن از آماده‌سازی کیفیت توان یکپارچه (UPQC) توپولوژی مشتق شده است و مزایای استفاده از هر دو بر روی خط و سیستمهای یو پی اس خط تعاملی را ترکیب می‌کند [۱۲، ۱۳]. این می‌تواند ضریب توان واحد را حاصل کند، ولتاژ خروجی را به‌طور دقیق تنظیم کند و به طور همزمان به راندمان بالا دست یابد. پیکربندی آن در شکل ۵-۸ نشان داده شده است. آن از دو مبدل دو جهته متصل به یک مجموعه مشترک باتری، سوئیچ استاتیک و یک ترانسفورماتور سری تشکیل شده است.



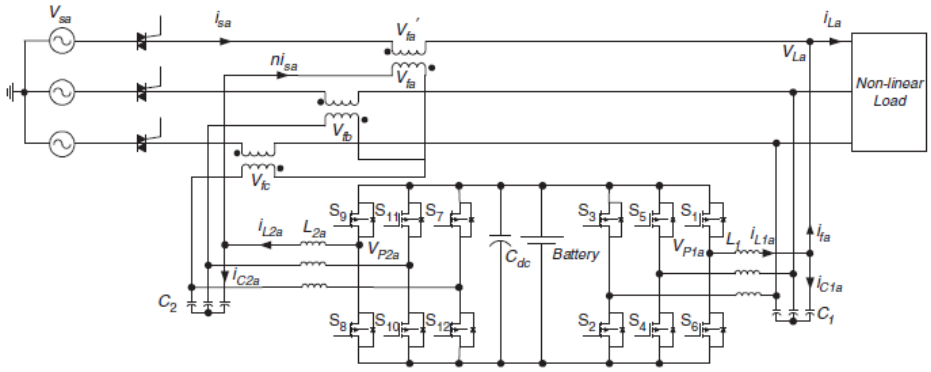

شکل ۵-۸: بلوک دیاگرام یک سیستم UPS جامع

مبدل دو جهته سری که در حدود ۲۰٪ توان خروجی سیستم یو پی اس درجه‌بندی شده است و از طریق یک ترانسفورماتور سری به خط AC متصل می‌شود. مبدل دو جهته دوم یک اینورتر معمولی برای یک UPS خطی تعاملی که به‌طور موازی به بار متصل شده و در ۱۰۰٪ توان خروجی درجه‌بندی شده است.

هنگامی که ولتاژ ورودی در محدوده قابل قبول است، سیستم در حالت بای‌پس است. در این حالت، مبدل موازی مربوط به اعوجاج‌های جریان است. این بار هارمونیک های جریان را کاهش می‌دهد و ضریب توان ورودی را بهبود می‌بخشد. در همان زمان، مجموعه باتری را شارژ می‌کند. مبدل

سری مربوط به اعوجاج‌های جریان است. آن هارمونیک‌های ولتاژ ورودی را لغو می‌کند و کمبود و بیش‌بود ولتاژ را جبران می‌کند. مقدار زیادی از قدرت به طور مستقیم از خط AC به بار عرضه می شود. تنها درصد کمی از قدرت ورودی است که توسط مبدل موازی جذب می‌شود.

این قدرت برای جبران تفاوت بین ولتاژ ورودی و مرجع و برای شارژ باتری استفاده می‌شود. از سوی دیگر، هنگامی که ولتاژ ورودی خاموش می‌گردد، سوئیچ استاتیک منبع و بار را جدا می‌کند و سیستم به حالت پشتیبان هدایت می‌شود. در این وضعیت، اینورتر موازی به‌عنوان یک اینورتر DC / AC عمل می‌کند و قدرت را به بار تغذیه می‌کند. از آنجا که بخش عمده‌ای از قدرت جاری می‌شود از خط AC به بار، بازدهی از یک سیستم UPS آنلاین بیشتر است. پس از حذف اشکال اصلی از سیستم های یو پی اس دو تبدیله، توپولوژی یو پی اس فراگیر یک رقیب قوی در خط سیستمهای یو پی اس در بسیاری از برنامه‌های کاربردی به نظر می‌رسد. شکل ۵-۹ توپولوژی یک سیستم یو پی اس فراگیر سه فاز را نشان می‌دهد.




شکل ۵-۹: توپولوژی یک UPS فراگیر بر اساس دو مبدل دو جهته سه پایه

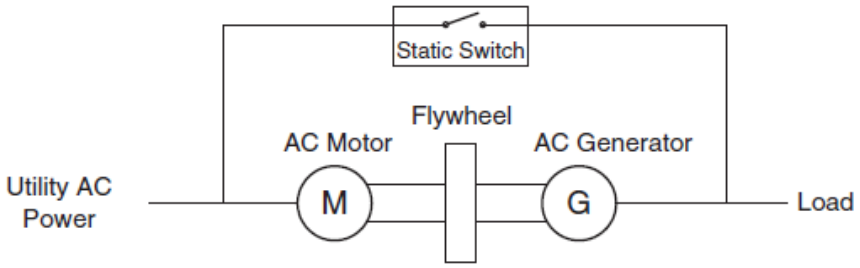
### ۵-۱-۵ دوار UPS

سیستمهای یو پی اس دوار از انرژی جنبشی ذخیره شده در ماشین‌های الکتریکی برای ارائه قدرت به بار وقتی‌که یک قطعی برق رخ می‌دهد استفاده می‌کند. پیکربندی‌های مختلفی برای سیستم‌های یو پی اس دوار وجود دارد. ساده‌ترین توپولوژی شامل یک موتور و یک ژنراتور AC است، که به صورت مکانیکی کوپل شده‌اند. یک چرخ‌لنگر نیز بر روی شفت از ماشین آلات برای ذخیره بیشتر استفاده انرژی جنبشی در سیستم شده است. در حالت عملکرد عادی، خط AC ورودی برق

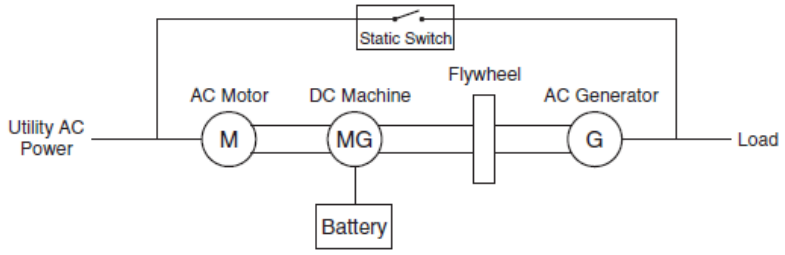
را برای موتور AC فراهم می‌کند و این موتور AC ژنراتورAC را درایو می‌کند. شماتیک این سیستم در شکل ۵-۱۰-الف نشان داده شده است.

در حالت پشتیبان‌گیری، انرژی جنبشی ذخیره شده در موتور، چرخ لنگر، و ژنراتور به توان الکتریکی تبدیل شده و بار را تامین می‌کند. این توپولوژی ساده برای فراهم نمودن زمان کوتاه قدرت پشتیبان‌گیری به بار (معمولاً کمتر از ۲ ثانیه) در مورد قطع برق طراحی شده است. در پیکربندی دیگری از سیستم‌های یو پی اس دوار است که در شکل ۵-۱۰-ب نشان داده شده است، یک موتور AC، یک ماشین DC، ژنراتور AC، و یک بانک باتری استفاده می‌شود. در حالت عادی عملکرد، خط AC موتور AC را تغذیه کرده، که ماشین DC را درایو می‌کند. ماشین DC ژنراتور AC را که به منظور تغذیه بار درایوهای می‌کند. در طول حالت پشتیبان عملکرد، بانک باتری ماشین DC را تأمین می‌کند، که به نوبه خود، ژنراتور AC را درایو می‌کند و ژنراتور AC بار را تغذیه می‌کند. این سیستم می‌تواند مدت زمان طولانی را برای قدرت پشتیبان‌گیری به بار بسته به ظرفیت مجموعه باتری فراهم کند.

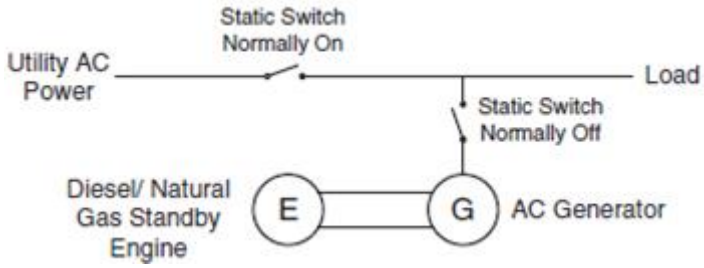
این دو سیستم‌های یو پی اس دوار بسیار بیشتر قابل اعتمادتر از سیستم‌های یو پی اس استاتیک هستند و عایق الکتریکی کامل بین بار و خط AC ورودی را فراهم می‌کنند. با این حال، آنها نیاز به تعمیر و نگهداری بیشتر داشته و اندازه و وزن بسیار بزرگتر دارند. بنابراین، آنها معمولاً برای کاربردهای توان بالا [۱۴، ۱۵] استفاده می شود. پیکربندی یک سیستم یو پی اس دوار آماده به کار در شکل ۵-۱۰-ج نشان داده شده است.




شکل ۵-۱۰-الف




شکل ۵-۱۰-ب



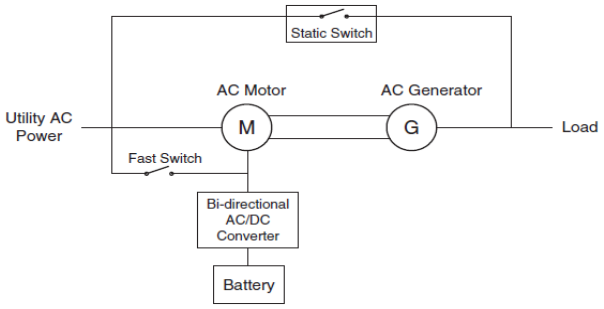

شکل ۵-۱۰-ج

شکل ۵-۱۰: شماتیک‌های مختلف سسیستم‌های UPS دوار: الف) مجموعه موتور- ژنراتور، ب) UPS دوار با باتری پشتیبان، ج) UPS دوار با آماده به کار دیزل / موتور گاز طبیعی

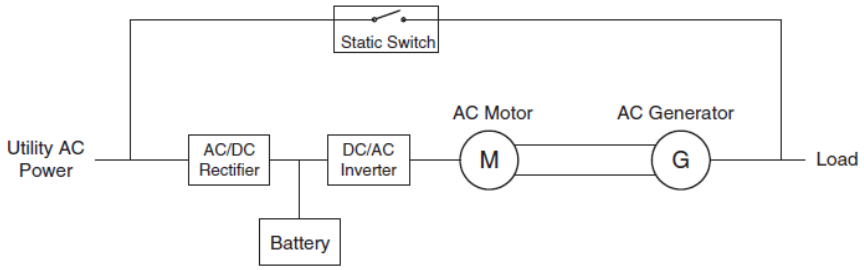
### ۵-۱-۶- UPS ترکیبی استاتیک / دوار

سیستم‌های یو پی اس دوار استاتیک ترکیبی ویژگی‌های اصلی هر دو سیستمهای یو پی اس استاتیک و دوار را ترکیب می‌کند. آنها امپدانس خروجی کم، قابلیت اطمینان بالا، ثبات فرکانس بسیار عالی داشته و به نگهداری کمتر نیاز دارند [۶]. پیکربندی نوعی یو پی اس های استاتیک ترکیبی/ دوار در شکل ۵-۱۱ نشان داده شده است. این UPSها معمولاً در کاربردهای توان بالا استفاده می‌شود. در سیستم نشان داده شده در شکل ۵-۱۱، در حین عملکرد عادی، ورودی توان AC موتور AC را تغذیه می‌کند. توان از ژنراتور به بار AC تحویل داده می‌شود که توسط موتور AC درایو می‌گردد. در مورد کیفیت توان ورودی کم و یا قطع برق، مبدل AC / DC دو طرفه به عنوان یک اینورتر عمل کرده و موتور AC را از مجموعه باتری تغذیه می‌کند. پیکربندی یک سیستم UPS ترکیبی با تأمین توان در ورودی در شکل ۵-۱۱-ب نشان داده شده است. شکل ۵-۱۱-ج پیکربندی یک سیستم یو پی اس ترکیبی پیچیده‌تر را نشان می‌دهد. این سیستم دارای سه حالت عملیاتی است. در عملیات عادی، بار به طور مستقیم توسط ورودی AC اصلی تغذیه می‌شود و موتور AC در بی‌باری می‌چرخد. در مورد قطع برق کوتاه، قطع کننده اصلی و ژنراتور باز شده و اینورتر شکن بسته

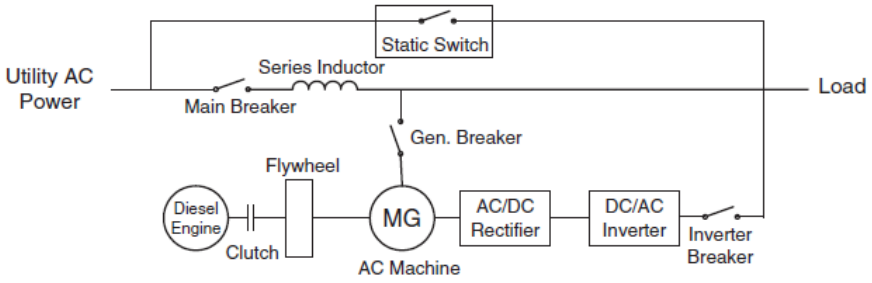
می‌شود. اینورتر DC / AC قدرت مورد نیاز بار را از طریق انرژی جنبشی ذخیره شده در دستگاه ACفراهم می‌کند. اگر توان در مدت کوتاهی باز نگردد، موتور دیزل روشن می‌شود، که توان را برای بار از طریق ژنراتورAC فراهم می‌کند. در این حالت، قطع کننده اصلی و اینورتر شکن باز باقی می‌ماند. یکی از مزایای این توپولوژی عملیات بدون یک مجموعه باتری برای حداقل رساندن هزینه، فضا و نیاز به تعمیر و نگهداری است. مزیت دوم اجتناب از تبدیل توان دوبل در قطع برق طولانی مدت است.




شکل ۵-۱۱- الف




شکل ۵-۱۱-ب




شکل ۵-۱۱-ج

شکل ۵-۱۱: سه شماتیک سیستم UPS استاتیک-دوار ترکیبی: الف: سیستم موتور-ژنراتور با باتری پشتیبان، ب) دستگاه موتور- ژنراتور با تأمین توان در سمت ورودی، ج) سیستم UPS ترکیبی بدون باتری

### ۵-۱-۷- مقایسه شماتیک UPS

جدول ۵-۱ مقایسه‌ای را بین مشخصه‌های انواع مختلف سیستم‌های UPS ارائه می‌دهد.

جدول ۵-۱: مقایسه عملکرد از پیکربندی‌های مختلف سیستم‌های یو پی اس

| پارامتر | آنلاین | خط تعاملی | آفلاین | جامع | دوار | ترکیبی |
|---|---|---|---|---|---|---|
| حفاظت از موج | عالی | خوب | خوب | خوب | عالی | عالی |
| زمان انتقال | عالی | خوب | ضعیف | خوب | عالی | عالی |
| آماده‌سازی خط | ضعیف | خوب | ضعیف | عالی | خوب | خوب |
| مدت زمان پشتیبان گیری | بستگی به باتری دارد | بستگی به باتری دارد | بستگی به باتری دارد | بستگی به باتری دارد | معمولاً ۰,۱ تا ۰,۵ ثانیه | بستگی به باتری دارد |
| بازدهی | کم در حدود ٪۸۰ | بالا در حدود ٪۹۰ | بالا | بالای ٪۹۵ | بالا در حدود ٪۸۵ | بالا در حدود ٪۸۵ |
| عایق ورودی/خروجی | ضعیف | ضعیف | ضعیف | ضعیف | عالی | عالی |
| هزینه | زیاد | متوسط-بالا | کم | بالا | خیلی زیاد | خیلی زیاد |

## ۵-۲- ارزیابی عملکرد

چهار معیار برای ارزیابی عملکرد یک سیستم UPS وجود دارد: کیفیت ولتاژ خروجی، PFC ورودی و لغو هارمونیک‌های جریان، زمان انتقال و بهره‌وری. کیفیت ولتاژ خروجی مهم‌ترین عامل ارزیابی است. ولتاژ خروجی یک سیستم UPS باید سینوسی با THD کم در شرایط بارگذاری مختلف حتی با وجود بارهای غیرخطی است. سیستم کنترل باید پاسخ گذرای کوچکی برای ارائه آماده‌سازی خط مناسب در پروفایل‌های بارگذاری مختلف داشته باشد. به طور معمول، سیستم های یو پی اس دوار، که یک ژنراتور

ACرا در سمت بار به‌کار می‌گیرد، کیفیت ولتاژ خروجی بهتری از سیستم‌های یو پی اس استاتیک دارد. در این سیستم‌ها، فرکانس سوئیچینگ مبدل در ولتاژ خروجی وجود ندارد.

در میان سیستم‌های یو پی اس استاتیک، طرح UPS آنلاین کیفیت ولتاژ خروجی بهتری فراهم می‌کند. در این سیستم، ولتاژ خروجی توسط یک اینورتر DC/AC بدون در نظر گرفتن کیفیت ولتاژ ورودی ارائه شده است. معمولاً، یک روش مدولاسیون عرض پالس (PWM) برای تنظیم ولتاژ خروجی استفاده می‌شود. این نوع از یوپی‌اس‌ها باید طوری طراحی شوند که حداقل فرکانس سوئیچینگ در خروجی را داشته باشند و ولتاژ سینوسی خالصی را در شرایط بارگذاری مختلف ارائه دهند. به دنبال آن سیستم‌های یو پی اس آنلاین با پیکربندی جامع و خط تعاملی هستند. در توپولوژی جامع، در حالت عملکرد طبیعی، مبدل سری تهویه ولتاژ فراهم می‌کند و ولتاژ خروجی را تنظیم می‌کند. در حالت پشتیبان‌گیری، مبدل موازی بار با ولتاژ سینوسی فراهم می‌کند. در توپولوژی خط تعاملی، در حالت عملکرد عادی، ولتاژ ورودی به طور مستقیم بار را تأمین می‌کند و شرایط بی‌باری رقم می‌خورد. در حالت پشتیبان گیری، اینورتر DC / AC بار با ولتاژ سینوسی فراهم می‌کند.

معیار دوم زمان انتقال از حالت طبیعی عملکرد به حالت انرژی ذخیره شده است. سیستم‌های یو پی اس دوار و استاتیک آنلاین عملکرد بهتری در این زمینه دارند. ولتاژ خروجی همیشه توسط خروجی ژنراتور و یا خروجی اینورتر DC / AC ارائه می شود و هیچ زمان گذرایی بین حالت های بهره برداری از سیستم وجود ندارد. با این حال، برخی از تنظیمات دوار و ترکیبی در شکل ۵-۱۰ نشان داده شده است. شکل های ۵-۱۰ و ۵-۱۱ تنها می تواند قدرت را برای بار به مدت زمان محدود تأمین کنند. این زمان با مقدار انرژی جنبشی ذخیره شده در سیستم های مکانیکی تعیین می شود.

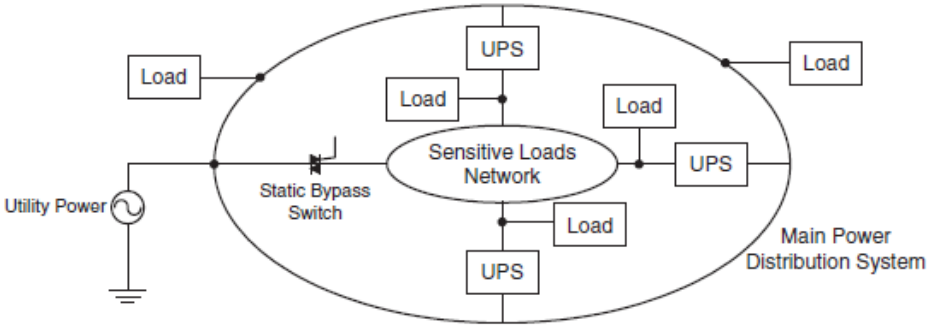
## ۵-۳- کاربردها

سیستم‌های یو پی اس دارای کاربردهای گسترده‌ای در صنایع مختلف هستند. دامنه برنامه‌های کاربردی رایج آنها از توان‌های کوچک برای سیستم‌های رایانه‌های شخصی تا توان‌های متوسط برای تجهیزات پزشکی، سیستم‌های لوازم منزل، ذخیره‌سازی داده‌ها و تجهیزات اضطراری و توان بالا برای ارتباطات راه‌دور، پردازش صنعتی و سیستم‌های مدیریت آنلاین است. ملاحظات مختلفی باید برای این کاربردها در نظر گرفته شود. برای سیستم‌های اضطراری و روشنایی، یو پی اس باید سیستم را برای حداقل ۹۰ دقیقه پشتیبانی کند. به جز برای سیستم‌های اضطراری، یو پی اس برای ارائه نسخه پشتیبان تأمین قدرت بارهای حساس برای ۱۵-۲۰ دقیقه طراحی شده است. پس از این زمان، اگر قدرت ترمیم نگردد، سیستم به آرامی خاموش خواهد شد. اگر مدت پشتیبانی طولانی‌تری در نظر گرفته شود، یک باتری بزرگ‌تر با هزینه و فضای بالاتر مورد نیاز است. برای تجهیزات فرایندی و کاربردهای توان بالا، برخی از سیستم‌های یو پی اس برای آماده‌سازی زمان کافی برای منابع قدرت ثانویه مانند راه‌اندازی دیزل ژنراتور طراحی شده است.

برای کاربردهای صنعتی، باید توجه داشت که سیستم‌های یو پی اس، پیچیدگی سیستم‌های الکتریکی و همچنین نصب و راه‌اندازی و هزینه‌های نگهداری مداوم را اضافه می‌کنند. آنها همچنین امکان اضافه نمودن بار غیرخطی به سیستم،کاهش بهره‌وری، و بدتر نمودن مکانیسم PFC ورودی را دارند. نرخ توان یو پی اس باید به صورت مناسب با توجه به بار موجود و توسعه‌های آتی انتخاب گردد. برای بسیاری از کاربردها، اعوجاج ولتاژ ورودی باعث آسیب بیشتر به قدرت خروجی خواهد شد. برای این سیستم‌ها، یک دستگاه دیگر به جای یو پی اس می‌تواند مورد استفاده قرار گیرد. ویژگی‌های بار نیز باید در انتخاب یو پی اس در نظر گرفته شود. برای بارهای موتوری، جریان هجومی، که گاهی اوقات ۲,۵ برابر جریان نامی است، باید در نظر گرفته شود. یو پی اس خوب برای بارهای موتوری با اضافه‌بار گذرای بالاتر است. برای بارهای غیرخطی مانند منابع تغذیه سوئیچینگ، جریان ورودی غیرسینوسی است. بنابراین، جریان آنی بالاتر از جریان RMS است. این جریان لحظه‌ای بالا باید در انتخاب یو پی اس در نظر گرفته شود.

برای یک شبکه توزیع برق، دو روش مختلف برای حمایت از بارهای حساس انجام شده است. در یک رویکرد توزیع شده، که برای بارهای بسیار گسترده مناسب‌تر است مانند تجهیزات پزشکی، پردازش

داده‌ها و ارتباطات راه دور، بسیاری از واحدهای یو پی اس جداگانه به‌طور موازی برای تغذیه حیاتی بارهای بحرانی عمل می‌کنند. واحدهای یو پی اس به‌طور انعطاف‌پذیر در سیستم قرار داده می‌شوند و یک شبکه بار بحرانی را شکل می‌دهند. یک سیستم یو پی اس آنلاین توزیع‌شده معمولی در شکل ۵-۱۲ نشان داده شده است. انعطاف پذیری بالا و فراوانی از مزایای اصلی سیستم‌های توزیع شده است. افزایش بار تکی می‌تواند با اضافه‌کردن سیستم‌های یو پی اس پشتیبانی شود. توجه برای توسعه در آینده همچنین می‌تواند به تاخیر انداخته شود تا زمانی که بار اضافه شود. از طرف دیگر، روش‌های کنترل دارای برخی معایب است. تقسیم بار بین واحدهای مختلف یو پی اس یک کار دشوار است. روشهای پیچیده کنترل دیجیتال و ارتباط بین واحدها برای به اشتراک گذاری بار مطلوب مورد نیاز است. نقطه ضعف دوم این است که نظارت بر کل سیستم مشکل است و به کارکنان به خصوص آموزش دیده نیاز دارد.




شکل ۵-۱۲: پیکربندی نوعی یک شبکه UPS توزیع شده

روش دیگر برای حمایت از بارهای توزیع شده، استفاده از یک واحد UPS بزرگ برای تأمین کلیه بارهای بحرانی با رویکرد متمرکز است. این روش برای برنامه‌های صنعتی و کاربردی مطلوب‌تر است. مزیت این روش تعمیر و نگهداری و عیب یابی آسان‌تر است. از طرفی دیگر معایب آن، عدم افزونگی و هزینه نصب و راه اندازی بالا است. علاوه بر این، در نظر گرفتن گسترش سیستم باید به هنگامی که واحد UPS اصلی انتخاب شده است، به حساب آید.

## ۵-۴- تجهیزات ذخیره‌سازی انرژی

در این بخش، سه دستگاه ذخیره‌ساز انرژی برتر برای سیستم یو پی اس‌های موجود و آینده توصیف می‌شود. این دستگاه‌های ذخیره‌سازی انرژی باتری، چرخ لنگر، و پیل سوختی هستند.

### ۵-۴-۱- باتری

باتری جزء ذخیره‌ساز انرژی سیستم‌های یو پی اس استاتیک جریان می‌باشد. این ظرفیت و زمان اجرای یو پی اس را تعیین می‌کند. برای واحدهای کوچک، اندازه باتری است که اندازه یو پی اس را تعیین می‌کند. انواع مختلف باتری در سیستم‌های یو پی اس استفاده می‌شود اما انواع بیشتر مورد استفاده اسید سرب، نیکل کادمیوم، و لیتیوم یون هستند. باتری‌های سرب اسید استفاده شده در این کاربرد همان آن‌هایی هستند که مورد استفاده در اتومبیل می‌باشد. با این حال، یک تفاوت کوچک وجود دارد.

باتری‌های خودرو تولید برق می‌کنند از واکنش اسید سولفوریک در صفحات سرب که زیر مایع غرق شده‌اند. این نوع از سلول‌های باتری برای برنامه‌های کاربردی یو پی اس مناسب نیستند زیرا شانس نشت اسید در آنها وجود دارد. علاوه بر این، در طول فرآیند شارژ، آنها گاز هیدروژن آزاد میکنند که منفجر شونده و خطرناک در یک محیط بسته هستند. باتری‌های اسید سرب مورد استفاده در سیستم های یو پی اس یک نوع خاص به نام مهر و موم شده و یا تنظیم دریچه هستند. باتری‌های نیکل کادمیوم یکی دیگر از انواع رایج باتری‌های مورد استفاده در سیستم‌های یو پی اس هستند. آنها معمولاً انرژی و قدرت تراکم بالاتری را در مقایسه با باتری های اسید سرب فراهم می کنند. ولتاژ نامی سلول های نیکل کادمیوم ۱/۲ V بوده، که کوچکتر از ۱/۵ V باتری های اسید سرب است. با این حال، تغییرات ولتاژ سلول در سراسر سطوح شارژ مختلف کمتر از باتری اسید سرب است. این باتری نیز مقاومت سری کمتری داشته و می تواند جریان افزایشی بالاتری را فراهم کند. باتری های لیتیوم یون چگالی انرژی بسیار بالاتری دارند. این نوع از باتری را می توان به شکل های مختلف مدل نمود. آنها ولتاژ اسمی V ۴/۲ دارند. نقطه ضعف اصلی باتری یون-لیتیوم این است که آنها ظرفیت خود را از زمان تولید بدون در نظر گرفتن سطح شارژ و شرایط استفاده از آنها از دست می دهند.

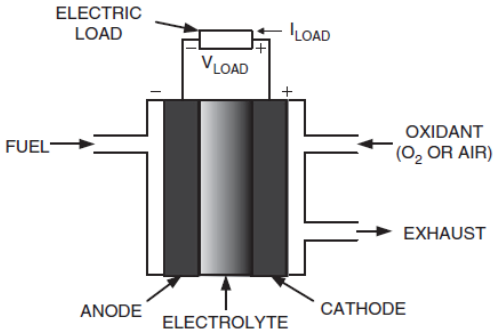
### ۵-۴-۲- چرخ لنگر

چرخ لنگر به طور ساده یک وزنه مکانیکی است که بر روی شفت یک مجموعه موتور و ژنراتور قرار می گیرد. و انرژی مکانیکی را به شکل انرژی جنبشی نگه می دارد. هنگامی که قدرت الکتریکی مورد نیاز است، این انرژی جنبشی توسط ژنراتور جفت شده با چرخ لنگر به برق تبدیل می شود. چرخ لنگرها قدیمی ترین نوع دستگاه های ذخیره سازی انرژی هستند. مزایای استفاده از سیستم های ذخیره ساز

انرژی چرخ لنگر شامل کارایی بالا، انرژی بالا و تراکم قدرت، و عمر طولانی است. از سوی دیگر، چرخ لنگر گران تر است و نیاز به فضای بیشتری از باتری و سلول های سوختی دارد. همچنین برخی از نگرانی های ایمنی در مورد چرخ لنگرهایی که در سرعت های بالا چرخش می کنند وجود دارد.

### ۵-۴-۳- سلول سوختی

با توجه به راندمان بالا و تولید آلاینده های پایین، سیستم های پیل سوختی در سال های اخیر محبوبیت زیادی به دست آورده اند. سلول سوختی با استفاده از هیدروژن به عنوان سوخت و برق، گرما و آب از واکنش بین هیدروژن و اکسیژن تولید می کند. هر سلول شامل یک الکترولیت و دو الکترود به عنوان آند و کاتد است. شکل ۵-۱۳ پیکربندی یک سیستم سلول سوختی را نشان می دهد. انواع مختلفی از سیستم سلول سوختی بسته به نوع الکترولیت و منابع هیدروژن وجود دارد. برخی از سیستم های سلول سوختی یک مبدل سوخت اصلی دارد و از گاز طبیعی هیدروژن، متانول، و دیگر هیدروکربن ها را تولید می کنند. توسعه فن آوری اخیر در این زمینه سلول های سوختی را یک جایگزین قابل اعتماد تر و مقرون به صرفه برای باتری ساخته است. سلول های سوختی در حال حاضر کاربردهای متنوعی در صنعت خودرو، مصارف برق، و صنایع برق قابل حمل دارند.




شکل ۵-۱۳: پیکربندی یک پیل سوختی

## ضمیمه: مشخصات فنی منبع تغذیه بدون وقفه متصل به شبکه

| مشخصات | مقدار | مشخصات | مقدار |
|---|---|---|---|
| **مشخصات DC ورودی** | | درجه رطوبت | ۰-تا ۶۰٪ |
| ماکزیمم توان DC ورودی | ۲۰۰۰ وات | ارتفاع از سطح دریا | پائین تر ۲۰۰۰ متر |
| ماکزیمم ولتاژ DC ورودی | ۴۰۰ ولت | نحوه انتقال حرارت | انتقال خودی محصول |
| دنبال کننده نقطه ماکزیمم توان | بلی | **نحوه حفاظت** | |
| تعداد ورودی | ۱ | حفاظت اتصال کوتاه | **بلی** |
| **مشخصات AC خروجی** | | حفاظت اضافه بار | **بلی** |
| ماکزیمم توان AC خروجی | ۲۰۰۰ وات | | |
| توان نامی AC خروجی | ۱۸۷۰ وات | | |
| بازه ولتاژ خروجی | ۱۸۰تا ۲۶۰ ولت (قابل تنظیم) | | |
| جریان ماکزیمم خروجی | ۹ آمپر | | |
| ولتاژ نامی خروجی | ۲۲۰ ولت موثر | | |
| جریان نامی خروجی | ۸/۵ آمپر | | |
| بازه فرکانس خروجی | $50\pm3$ هرتز | | |
| ضریب توان | ٪۹۹> | | |
| اعوجاج هارمونیکی کل جریان | ٪۵< | | |
| اتصال خروجی | تک فاز | | |
| ایزولاسیون ورودی از خروجی | توسط ترانسفورماتور فرکانس پائین | | |
| بازده | ٪۹۵ | | |
| **مصرف توان** | | | |
| تلفات در حالت آماده به کار | ۶ وات | | |
| **شرایط محیطی** | | | |
| دمای محیط | ۲۰- تا ۶۰+ | | |

## فصل ششم: مراجع

[۱] J. Dixon, L. Moran, J. Rodriguez, and R. Domke"Reactive power compensation technologies: State-of-the-art review," in Proc. IEEE, Vol. ۹۳, No. ۱۲, pp. ۲۱٤٤-۲۱٦٤, ۲۰۰٥.

[۲] J. Rodriguez, L. G. Franquelo, S. Kouro, J. I. Leon, R. C. Portillo, M. A. M. Prats, and M. A. Perez, "Multilevel converters: An enabling technology for high-power applications," in Proc. IEEE, Vol. ۹۷, No. ۱۱, pp. ۱۷۸٦-۱۸۱۷, ۲۰۰۹.

[۳] F. Filho, L. M. Tolbert, C. Yue, and B. Ozpineci, "Real-time selective harmonic minimization for multilevel inverters connected to solar panels using artificial neural network angle generation," IEEE Trans. Ind. Appl., Vol. ٤۷, No. ٥, pp. ۲۱۱۷-۲۱۲٤, Sep./Oct. ۲۰۱۱.

[٤] N. A. Rahim, J. Selvaraj, and C. Krismadinata, "Five-level inverter with dual reference modulation technique for grid-connected PV system," Renewable Energy, Vol. ۳٥, No. ۳, pp. ۷۱۲-۷۲۰, Mar. ۲۰۱۰.

[٥] N. A. Rahim, M. F. M. Elias, and H. Wooi Ping, "Transistor-clamped H-bridge based cascaded multilevel inverter with new method of capacitor voltage balancing," IEEE Trans. Ind. Electron. , Vol. ٦۰, No. ۸, pp. ۲۹٤۳-۲۹٥٦, Aug. ۲۰۱۳.

[٦] W. Jin and D. Ahmadi, "A precise and practical harmonic elimination method for multilevel inverters," IEEE Trans. Ind. Appl., Vol. ٤٦, No. ۲, pp. ۸٥۷-۸٦٥, Mar./Apr. ۲۰۱۰.

[۷] J. Pontt, J. Rodriguez, and R. Huerta, "Mitigation of noneliminated harmonics of SHEPWM three-level multipulse three-phase active front end converters with low switching frequency for meeting standard IEEE-٥۱۹-۹۲," IEEE Trans. Power Electron., Vol. ۱۹, No. ٦, pp. ۱٥۹٤-۱٦۰۰, Nov. ۲۰۰٤.

[۸] M. Schweizer, T. Friedli, and J. W. Kolar, "Comparative evaluation of advanced three-phase three-level inverter/converter topologies against two-level systems," IEEE Trans. Ind. Electron., Vol. ٦۰, No. ۱۲, pp. ٥٥۱٥-٥٥۲۷, Dec. ۲۰۱۳.

[۹] S. J. Park, F. S. Kang, M. H. Lee, and C. U. Kim, "A new single-phase five-level PWM inverter employing a deadbeat control scheme," IEEE Trans. Power Electron., Vol. ۱۸, No. ۳, pp. ۸۳۱-۸٤۳, May ۲۰۰۳.

[۱۰] M. Calais, L. J. Borle, and V. G. Agelidis, “Analysis of multicarrier PWM methods for a single-phase five level inverter,” in Proc. PESC, pp. ۱۳۵۱-۱۳۵٦, ۲۰۰۱.

[۱۱] A. Bendre, S. Krstic, J. Vander Meer, and G. Venkataramanan, “Comparative evaluation of modulation algorithms for neutral-point-clamped converters,” IEEE Trans. Ind. Appl., Vol. ٤۱, No. ۲, pp. ٦۳٤-٦٤۳, Mar./Apr. ۲۰۰٥.

[۱۲] R. M. Valan, P. S. Manoharan, and A. Ravi, “Simulation and an experimental investigation of SVPWM technique on a multilevel voltage source inverter for photovoltaic systems,” International Journal of Electrical Power & Energy Systems, Vol. ٥۲, pp. ۱۱٦-۱۳۱, Nov. ۲۰۱۳.

[۱۳] H. S. Patel and R. G. Hoft, “Generalized techniques of harmonic elimination and voltage control in thyristor inverters: Part I--harmonic elimination,” IEEE Trans. Ind. Appl., Vol. IA-۹, No. ۳, pp. ۳۱۰-۳۱۷, May/Jun. ۱۹۷۳.

[۱٤] S. Sirisukprasert, L. Jih-Sheng, and L. Tian-Hua, “Optimum harmonic reduction with a wide range of modulation indexes for multilevel converters,” IEEE Trans. Ind. Electron., Vol. ٤۹, No. ٤, pp. ۸۷٥-۸۸۱, Aug. ۲۰۰۲.

[۱٥] J. M. Vesapogu, S. Peddakotla, and S. R. A. Kuppa, “Harmonic analysis and FPGA implementation of SHE controlled three phase CHB ۱۱-level inverter in MV drives using deterministic and stochastic optimization techniques,” SpringerPlus, Vol. ۲, No. ۱, pp. ۱-۱٦, Aug. ۲۰۱۳.

[۱٦] M. G. H. Aghdam, S. H. Fathi, and G. B. Gharehpetian, “Comparison of OMTHD and OHSW harmonic optimization techniques in multi-level voltage-source inverter with non-equal DC sources,” in International Conference on Power Electronics (ICPE), pp. ٥۸۷-٥۹۱, ۲۰۰۷.

[۱۷] K. Chaniago, N. A. Rahim, and J. Selvaraj, “Novel fundamental-frequency-modulated modified H-bridge single-phase seven-level inverter for stand-alone photovoltaic system,” in Conference on Clean Energy and Technology (CET), pp. ۲۲٥-۲۳۰, ۲۰۱۱.

[۱۸] M. S. A. Dahidah and V. G. Agelidis, “Selective harmonic elimination PWM control for cascaded multilevel voltage source converters: A generalized formula,” IEEE Trans. Power Electron., Vol. ۲۳, No. ٤, pp. ۱٦۲۰-۱٦۳۰, Jul. ۲۰۰۸.

[۱۹] B. Ozpineci, L. M. Tolbert, and J. N. Chiasson, "Harmonic optimization of multilevel converters using genetic algorithms," IEEE Power Electronics Letters, Vol. ۳, No. ۳, pp. ۹۲-۹۵, Sep. ۲۰۰۵.

[۲۰] N. Farokhnia, S. H. Fathi, R. Salehi, G. B. Gharehpetian, and M. Ehsani, "Improved selective harmonic elimination pulse-width modulation strategy in multilevel inverters," IET Power Electronics, Vol. ۵, No. ۹, pp. ۱۹۰٤-۱۹۱۱, Nov. ۲۰۱۲.

[۲۱] R. N. Ray, D. Chatterjee, and S. K. Goswami, "Harmonics elimination in a multilevel inverter using the particle swarm optimisation technique," IET Power Electronics, Vol. ۲, No. ٦, pp. ٦٤٦-٦٥۲, Nov. ۲۰۰۹.

[۲۲] H. Taghizadeh and M. T. Hagh, "Harmonic elimination of cascade multilevel inverters with nonequal DC sources using particle swarm optimization," IEEE Trans. Ind. Electron., Vol. ٥۷, No. ۱۱, pp. ۳٦۷۸-۳٦۸٤, Nov. ۲۰۱۰.

[۲۳] D. W. Kang, H. C. Kim, T. J. Kim, and D. S. Hyun, "A simple method for acquiring the conducting angle in a multilevel cascaded inverter using step pulse waves," in Proc. IEE Electric Power Applications, Vol. ۱٥۲, No. ۱, pp. ۱۰۳-۱۱۱, ۲۰۰٥.

[۲٤] L. Yu, H. Hoon, and A. Q. Huang, "Real-time calculation of switching angles minimizing THD for multilevel inverters with step modulation," IEEE Trans. Ind. Electron., Vol. ٥٦, No. ۲, pp. ۲۸٥-۲۹۳, Feb. ۲۰۰۹.

[۲٥] B. Diong, H. Sepahvand, and K. A. Corzine, "Harmonic distortion optimization of cascaded H-bridge inverters considering device voltage drops and noninteger DC voltage ratios," IEEE Trans. Ind. Electron., Vol. ٦۰, No. ۸, pp. ۳۱۰٦-۳۱۱٤, Aug. ۲۰۱۳.

[۲٦] S. A. Abu and W. Ming-yan, "Spectral analysis of hybrid capacitor-clamp cascade ۱۳-level inverter," in International Conference on Industrial Technology (ICIT), pp. ۲۷۱-۲۷٦, ۲۰۰٦.

[۲۷] J. R. Wells, G. Xin, P. L. Chapman, P. T. Krein, and B. M. Nee, "Modulation-based harmonic elimination," IEEE Trans. Power Electron., Vol. ۲۲, No. ۱, pp. ۳۳٦-۳٤۰, Jan. ۲۰۰۷.

[۲۸] M. P. Aguirre, L. Calvino, and M. I. Valla, "Multilevel current-source inverter with FPGA control," IEEE Trans. Ind. Electron., Vol. ٦۰, No. ۱, pp. ۳-۱۰, Jan. ۲۰۱۳.

[۲۹] P. Zhiguo, P. F. Zheng, K. A. Corzine, V. R. Stefanovic, J. M. Leuthen, and S. Gataric, "Voltage balancing control of diode-clamped multilevel rectifier/inverter systems," IEEE Trans. Ind. Appl., Vol. ٤١, No. ٦, pp. ١٦٩٨-١٧٠٦, Nov./Dec. ٢٠٠٥.

[۳۰] F. Blaabjerg, Z. Chen, and S.B. Kjaer, "Power electronics as efficient interface in dispersed power generation systems," IEEE Trans. Power Electron., vol. ١٩, pp. ١١٨٤–١١٩٤, ٢٠٠٤.

[۳۱] Z. Chen, J.M. Guerrero, and F. Blaabjerg, "A review of the state of the art of power electronics for wind turbines," IEEE Trans. Power Electron., vol. ٢٤, pp. ١١٨٤–١١٩٤. ٢٠٠٩.

[۳۲] L.G. Franquelo, J. Rodriguez, J.I. Leon, S. Kouro, R.C. Portillo, and M.A.M. Prats, "The age of multilevel converter arrives," IEEE Ind. Electron. Mag., vol. ٢, pp. ٢٨–٣٩, ٢٠٠٨.

[۳۳] J. Rodriguez, L.G. Franquelo, and S. Kouro, "Multilevel converters: an enabling technology for high power applications," Proc. IEEE, vol. ٩٧, pp. ١٧٨٦–١٨١٧, ٢٠٠٩.

[۳٤] Y. Hingo and H. Koizumi, "A single phase multilevel inverter using switched series/paralel dc voltage sourses," IEEE Trans. Ind. Electron, vol. ٥٨, pp. ٢٦٤٣-٢٦٥٠, ٢٠١٠

[۳٥] M. Farhadi Kangarlu, E. Babaei, and S. Laali, "Symmetric multilevel inverter with reduced components based on non-insulated dc voltage sources," IEEE Trans. Ind. Electron., Nov. ٢٠١٢

[۳٦] W.k. Chio, and F.S. Kang, "H-bridge based multilevel inverter using PWM switching function," Proc.INTELEC, pp. ١-٥, ٢٠٠٩

[۳۷] Eberhart R.C, Kennedy J. "A new Optimizer Using Particle Swarm Theory" In Proceeding of ٦th Symposium on Micro Machine and Human Science, Nagoya, Japan, ١٩٩٥, pp: ٣٤-٤٤.

[۳۸] H. Taghizadeh and M. Tarafdar Hagh,. " Harmonic Elimination of Cascade Multilevel Inverters with Nonequal DC Sources Using Particle Swarm

Optimization " .IEEE TRANSACTIONS ON INDUSTRIAL ELECTRONICS, VOL. ٥٧, NO. ١١, NOVEMBER ٢٠١٠.

[٣٩] A.K. Al-Othman *, Tamer H. Abdelhamid. "Elimination of harmonics in multilevel inverters with non-equal dc sources using PSO" Energy Conversion and Management ٥٠ (٢٠٠٩) ٧٥٦–٧٦٤.

[٤٠] Tripathi P.K, Bandyopadhyay S, Pal S.K. "Multi-Objective Particle Swarm Optimization with time variant inertia and acceleration coefficients" Information Sciences ١٧٧ (٢٠٠٧) ٥٠٣٣–٥٠٤٩.

[٤١] A. Kashefi Kaviani. S.H. Fathi. N. Farokhnia. A. Jahanbani Ardakani,. " PSO, an Effective Tool for Harmonics Elimination and Optimization in Multi-level Inverters" .٩٧٨-١-٤٢٤٤-٢٨٠٠-٧/٠٩/$٢٥,٠٠ ©٢٠٠٩ IEEE.

[٤٢] Rup Narayan Ray .Debashis Chatterjee, , Swapan Kumar Goswami. "A PSO based optimal switching technique for voltage harmonic reductionof multilevel inverter" .Expert Systems with Applications ٣٧ (٢٠١٠) ٧٧٩٦–٧٨٠١.

[٤٣] T.JEEVABHARATHI. V.PADMATHILAGAM. "Harmonic Elimination of Cascaded Multilevel Inverters Using Particle Swarm Optimization".٢٠١٢ International Conference on Computing, Electronics and Electrical Technologies [ICCEET].

[٤٤] N. Prashanth B. Kumar, J. Yadagiri, A.Dasgupta. "Harmonic Minimization In Multilevel Inverters By Using PSO" ACEEE Int. J. on Control System and Instrumentation, Vol. ٠٢, No. ٠٣, October ٢٠١١.

[٤٥] Priyal Mandil and Dr. Anuprita Mishra. "MINIMIZATION OF THD IN CASCADE MULTILEVEL INVERTER USING WEIGHT IMPROVED PARTICLE SWARM OPTIMIZATION ALGORITHM" . InternationalJournal of Applied Control, Electrical and Electronics Engineering (IJACEEE) Vol ٢, No.٣, August ٢٠١٤.

[٤٦] Amrita Tuteja, Dr. Amita Mahor, Aarti Sirsat. "A Review on Mitigation of Harmonics in Cascaded H-BridgeMultilevel Inverter using optimization Techniques" . International Journal of Emerging Technology and Advanced Engineering. ISSN ٢٢٥٠-٢٤٥٩, ISO ٩٠٠١:٢٠٠٨ CertifiedJournal, Volume ٣, Issue ٢, February ٢٠١٣.

[٤٧] BECKER, R. W., and LAGO, G. V, A Global Optimization Algorithm, Proceedings of the ٨th Allerton Conference on Circuits and Systems Theory, Monticello, Illinois, pp. ٣-١٢, ١٩٧٠.

[٤٨] TORN, A., A Search Clustering Approach to Global Optimization, Toward Global Optimization ٢, Edited by L. C. W. Dixon and G. P. Szeg٦, North-Holland, Amsterdam, Holland, pp. ٤٩-٦٢, ١٩٧٨.

[٤٩] I. RINNOOY-KAN, A. H. G., and TIMMER, G. T, Stochastic Global Optimization Methods, Part I: Clustering Methods, Mathematical Programming, VoL ٣٩, pp. ٢٧-٥٦, ١٩٨٧.

[٥٠] PRICE, W. L., A Controlled Random Search Procedure for Global Optimization,Toward Global Optimization ٢, Edited by L. C. W. Dixon and G. P. Szeg٦, North-Holland, Amsterdam, Holland, pp. ٧١-٨٤, ١٩٧٨.

[٥١] PRICE, W° L, Global Optimization by Controlled Random Search, Journal of OptimizationTheory and Applications, Vol. ٤٠, pp. ٣٣٣-٣٤٨, ١٩٨٣.

[٥٢] PRICE, W. L., Global Optimization Algorithms for a CAD Workstation, Journal of Optimization Theory and Applications, Vol. ٥٥, pp. ١٣٣-١٤٦, t٩٨٧.

[٥٣] HOLLANt~, J. H., Adaptation in Natural and Artificial Systems, University of Michigan Press, Ann Arbor, Michigan, ١٩٧٥.

# Abstract

Power supplies are used in most electrical equipment. Their applications cut across a wide spectrum of product types, ranging from consumer appliances to industrial utilities, from milliwatts to megawatts, from hand-held tools to satellite communications. In general, the regulator stage of a dc power supply consists of a feedback circuit, a stable reference voltage, and a control circuit to drive a pass element (a solid-state device such as transistor, MOSFET, etc.). The regulation is done by sensing variations appearing at the output of the dc power supply. A control signal is produced to drive the pass element to cancel any variation. As a result, the output of the dc power supply is maintained essentially constant. In a transistor regulator, the pass element is a transistor, which can be operated in its active region or as a switch, to regulate the output voltage. When the transistor operates at any point in its active region, the regulator is referred to as a linear voltage regulator. When the transistor operates only at cutoff and at saturation, the circuit is referred to as a switching regulator. Power dependency has increased dramatically in the new business environment based on e-commerce applications, mobile networks, corporate Internet sites, e-pay and networked IT structures. Near one-hundred percent system availability is mandatory in view of the financial and business consequences. Not only does the absence of power have catastrophic consequences, but also an unnoticed mains disturbance can affect your expensive equipment or critical processes. Power Quality Products are designed to reduce customer risks to power issues.