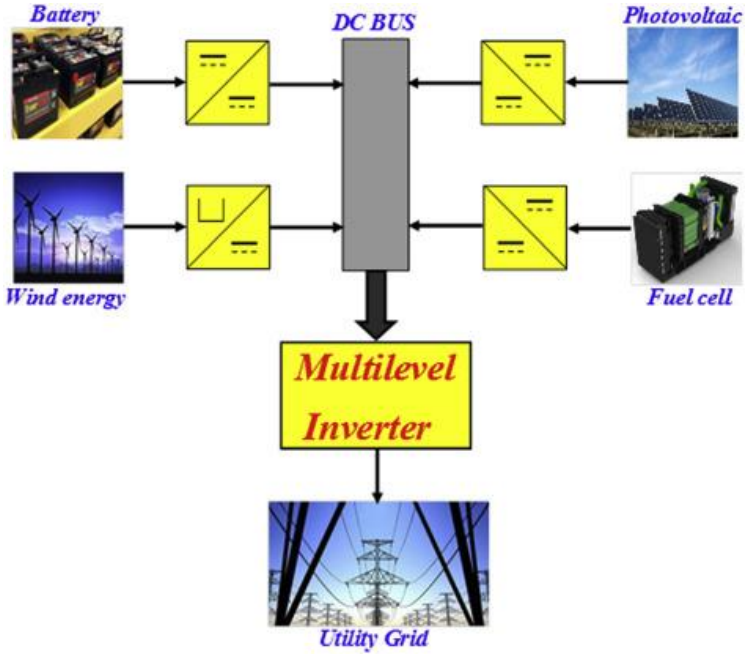
پژوهشگاه نیرو

NRI-ER-919-PIEPN18-00-L

طراحی، شبیه‌سازی ساختار جدیدی از اینورتر ۱۷ سطحی سری بر مبنای خازن



مدیر پروژه: سارا لالی

مجری: سعید حاتمی

DOI: 10.30503/nripress.2020.340

بسم الله الرحمن الرحيم

به نام خدا

پژوهشگاه نیرو

نام گزارش: طراحی، شبیه‌سازی ساختار جدیدی از اینورتر ۱۷ سطحی سری بر مبنای خازن

کد گزارش–ویرایش: PLEPN18/T01-06

عنوان طرح/پروژه : طراحی، شبیه‌سازی ساختار جدیدی از اینورتر ۱۷ سطحی سری بر مبنای خازن

واحد مجری طرح/پروژه : گروه پژوهشی الکترونیک قدرت

مدیر واحد مجری طرح/ پروژه: سارا لالی

مجری طرح/پروژه: سعید حاتمی

مدیر طرح/پروژه: سارا لالی

تاریخ: ۱۴۰۱/۰۲/۱۵

کد ثبت گزارش: NRI-ER-919-PIEPN18-00-L

DOI: 10.30503/nripress.2020.340

ایران. وزارت نیرو. پژوهشگاه نیرو. گروه پژوهشی الکترونیک قدرت

طراحی، شبیه‌سازی ساختار جدیدی از اینورتر ۱۷ سطحی سری بر مبنای خازن/ مدیر پروژه: لالی، سارا. کارفرما: پژوهشگاه نیرو، ۱۴۰۱.

۱۱۸ ص.: مصور، نمودار، جدول

۱. لالی، سارا، مدیر واحد مجری. ۵. گروه پژوهشی الکترونیک قدرت، مجری.

انتشارات پژوهشگاه نیرو

طرح توسعه فناوری تجهیزات الکترونیک قدرت در شبکه توزیع برق کشور

کلیه حقوق معنوی اثر متعلق به پدیدآورندگان، کلیه حقوق مادی متعلق به پژوهشگاه نیرو و نشر مطالب در حدود متعارف، با ذکر منبع بلامانع است.

نشانی: تهران، شهرک غرب، انتهای بلوار شهید دادمان، پژوهشگاه نیرو، کدپستی: ۱۴۶۸۶۱۳۱۱۳

تلفن: ۹-۸۸۰۷۹۴۰۱

نمابر: ۸۸۰۷۸۲۹۶

وبگاه: www.nri.ac.ir

پست الکترونیک انتشارات: publications@nri.ac.ir

فرم تعهدنامه اصالت اثر

متعهد می‌شوم که مطالب مندرج در این گزارش حاصل کار پژوهشی همکارانی به شرح زیر و مورد تأیید اینجانب سارا لالی ، مدیر پروژه طراحی، شبیه‌سازی ساختار جدیدی از اینورتر ۱۷ سطحی سری بر مبنای خازن است و دستاوردهای پژوهشی دیگران که در این پژوهش از آن‌ها استفاده شده است مطابق مقررات، مورد ارجاع قرار گرفته و در فهرست منابع ذکر گردیده است.

- گزارش حاصل انجام همه مراحل پروژه است.
- گزارش حاصل انجام ۶ مرحله از ۶ مرحله پروژه است.

همکاران:

۱. سارا لالی

پیشگفتار

امروزه توجه به مبدل‌های الکترونیک قدرت به خصوص اینورترهای چند سطحی به منظور استفاده در کاربردهای توان بالا، ولتاژ بالا به طور گسترده‌ای افزایش یافته است. هم‌چنین مشکلات زیست محیطی ناشی از سوختهای فسیلی و مواجهه با پدیده گرم شدن زمین، ضرورت توجه به انرژی‌های تجدیدپذیر را افزایش داده است. از آنجایی که این منابع تولید انرژی قابلیت تولید ولتاژ dc با سطوح بالا را ندارند ضرورت استفاده از مبدل‌های الکترونیک قدرت را به عنوان یکی از انواع تجهیزات الکترونیک قدرت جهت افزایش سطوح ولتاژ تولیدی و قابلیت تزریق به شبکه بیش از پیش افزایش داده است. اینورتر چند سطحی مبدل الکترونیک قدرتی است که ولتاژ ac مطلوب را با استفاده از چندین منبع ولتاژ dc به عوان ورودی تولید می‌نماید و لذا در کاربردهای فوق مورد استفاده قرار می‌گیرد. اینورترهای چند سطحی به سه دسته اصلی اینورترهای چند سطحی از نوع برشگر دیودی (NPC)، اینورتر چند سطحی خازن شناور (FC) و اینورترهای چند سطحی سری (CHB) تقسیم می‌شوند. از بین ساختارهای اصلی اینورترهای چند سطحی، اینورترهای چند سطحی سری به دلیل کاهش در تعداد قطعات مورد نیاز به منظور تولید تعداد سطوح خروجی مشابه، قابلیت اطمینان و راندمان بالا، سادگی روش کنترلی بیش‌تر مورد توجه قرار گرفته‌اند. مهم‌ترین مشکل اینورترهای چند سطحی سری افزایش در تعداد منابع ولتاژ dc و ادوات الکترونیک قدرت مورد نیاز با افزایش در تعداد سطوح ولتاژ خروجی است. به همین منظور در این پروژه ساختار پایه جدیدی بر مبنای خازن پیشنهاد شده است. در ادامه تلاش شده است تا ساختار پیشنهادی توسعه پیدا کرده و اینورتر سری برمبنای آن معرفی گردد. در ساختار پایه دامنه منابع ولتاژ dc و خازن استفاده شده تعیین شده است. برای ساختار سری توسعه یافته نیز الگوریتم تعیین دامنه منابع ولتاژ dc ارائه گردیده است و کلیه محاسبات مربوط به تعداد سطوح ولتاژ خروجی، حداکثر دامنه ولتاژ قابل تولید در خروجی و تعداد ادوات الکترونیک قدرت مورد استفاده بر مبنای الگوریتم پیشنهادی صورت گرفته است. جدول چگونگی شارژ و دشارژ خازن‌ها که از نکات کلیدی و مهم در این ساختار است نیز برای هر دو حالت پایه و توسعه یافته ارائه شده است.هم چنین ساختارهای پیشنهادی با تعدادی از ساختار اینورترهای چند سطحی مرسوم مقایسه شده است. بر اساس نتایج بدست آمده از این مقایسه، ساختارهای پیشنهادی قابلیت افزایش تعداد سطوح ولتاژ خروجی را با استفاده از کمترین تعداد اداوت الکترونیک قدرت و منابع ولتاژ dc را دارد که منجر به کاهش هزینه و فضای مورد نیاز برای نصب اینورتر خواهد شد. در اینورترهای چند سطحی روش‌های کنترلی مختلفی وجود دارد که در میان آن ها روش فرکانس کلیدزنی پایه به دلیل کاهش در تلفات کلیدزنی بیش‌تر مورد توجه قرار گرفته است. شایان ذکر است در ساختار پیشنهادی قابلیت استفاده از این روش کلیدزنی بررسی و روش مناسب انتخاب خواهد شد.

در نهایت صحت مطالب ارائه شده برای ساختار پیشنهادی و روش کنترلی آن با استفاده از شبیه‌سازی و نتایج آزمایشگاهی مورد تائید مجدد قرار خواهد گرفت.

همکاران پروژه :

۱. سارا لآلی (مدیر پروژه- کارشناس پروژه): گزارش حاضر که گزارش جامع و کامل مرتبط با پروژه خواهد بود صرفا توسط این کارشناس انجام شده است.

ناظر پروژه : آقای دکتر مهدی اسدی: گزارش حاضر جهت بررسی، اعلام نظر ایشان، اخذ رهنمون‌های لازم و تکمیل فرآیند مرتبط با کمیسیون فنی تقدیم ایشان خواهد شد.

فهرست مطالب

مقدمه **۱**

فصل اول:بررسی منابع **۳**

۱-۱ مقدمه ۴

۱-۲ بررسی اینورترهای چند سطحی و ساختارهای آن ۴

۱-۳ مزایا و معایب اینورترهای چند سطحی ۴

۱-۴ کاربرد اینورترهای چند سطحی ۵

۱-۵ انواع اینورترهای چند سطحی ۶

۱-۵-۱اینورترهای چند سطحی از نوع برشگر دیودی و ساختارهای حاصل از آن ۶

۱-۵- ۲اینورتر چند سطحی خازن شناور و ساختارهای حاصل از آن ۱۱

۱-۵-۳ اینورترهای چند سطحی از نوع سری ۱۶

۱-۵-۴ سایر ساختارهای اینورترهای چند سطحی ۲۲

۱-۶ نتیجه‌گیری ۵۹

فصل دوم: بررسی انواع روش‌های کنترلی اینورترهای چند سطحی **۶۰**

۲-۱ مقدمه ۶۱

۲-۲ روش‌های مدولاسیون اینورترهای چند سطحی ۶۱

۲-۳ روش‌های مدولاسیون مبتنی بر فرکانس کلیدزنی بالا ۶۲

۲-۳-۱روش مدولاسیون PWM شیفت فاز ۶۲

۲-۳-۲روش‌های مدولاسیون PWM شیفت سطح ۶۳

۲-۴ روش‌های مدولاسیون مبتنی بر فرکانس کلیدزنی مختلط ۶۴

۲-۵روش‌های مدولاسیون مبتنی بر فرکانس کلیدزنی پایین ۶۵

۲-۵-۱حذف هارمونیک انتخابی (SHE) ۶۵

۲-۵-۲مدولاسیون بردار فضایی (SVM) برای اینورترهای چند سطحی ۶۶

۲-۵-۳روش‌های شارژ متعادل برای اینورترهای چند سطحی سری ۶۶

۲- ۶سایر روش‌های مدولاسیون اینورترهای چند سطحی ۷۲

۲-۶-۱ روش‌کنترلی مدولاسیون دلتا ۷۲

۲-۶-۲روش‌کنترلی مدولاسیون ذوزنقه‌ای ۷۵

۲-۷نتیجه‌گیری ۷۶

فصل سوم: ارائه ساختار پیشنهادی **۷۷**

۳-۱مقدمه ۷۸

۳-۲ ساختار اینورتر پایه پیشنهادی ۷۸

۳-۳ توسعه ساختار اینورتر پیشنهادی ۸۰

۳-۳-۱ ساختار توسعه یافته دو طبقه ۸۰

۳-۳-۲ ساختار توسعه یافته پیشنهادی ۸۴
۳-۴ مقایسه ساختار پیشنهادی با ساختارهای مرسوم ۸۵
۳-۵ نتایج شبیه‌سازی و آزمایشگاهی ساختار پیشنهادی ۸۹
۳-۵-۱ نتایج شبیه‌سازی ۸۹
۳-۵-۲ نتایج آزمایشگاهی ۹۶
۳-۶ جمع‌بندی ۹۸
فصل چهارم: نتیجه‌گیری و پیشنهادات ۹۹
مراجع ۱۰۱

فهرست شکل‌ها

شکل ۱-۱: نمایش مفهومی اینورترهای چند سطحی، (الف) اینورتر سه سطحی، (ب) اینورتر چند سطحی عمومی ۶
شکل ۲-۱: اینورتر برشگر دیودی سه سطحی تک فاز ارائه شده در مرجع [۸]..... ۷
شکل ۳-۱: ساختار یک اینورتر برشگر دیودی پنج سطحی تک فاز ۸
شکل ۴-۱: ساختار اینورتر برشگر دیودی n سطحی تک فاز ۹
شکل ۵-۱: اینورتر تمام پل با استفاده از ساق‌های برشگر دیودی ارائه شده در مرجع [۱۲]..... ۱۰
شکل ۶-۱: اینورتر سه فاز سه سطحی ANPC ارائه شده در مرجع [۱۵] ۱۱
شکل ۷-۱: اینورتر خازن شناور سه سطحی تک فاز ارائه شده در مرجع [۲۴]..... ۱۲
شکل۸-۱: وضعیت کلیدها در اینورتر خازن شناور تک فاز سه سطحی ۱۲
شکل ۹-۱: ساختار اینورتر خازن شناور پنج سطحی ۱۳
شکل ۱۰-۱: ساختار اینورتر خازن شناور n سطحی تک فاز ۱۴
شکل ۱۱-۱: اینورتر تمام پل با استفاده از ساق‌های خازن شناور ارائه شده در مرجع [۲۶] ۱۵
شکل ۱۲-۱: ساختار یک سلول اینورتر خازن شناور ارائه شده در مرجع [۱۰] ۱۵
شکل ۱۳-۱: ساختار اینورتر چند سلولی خازن شناور ۱۶
شکل ۱۴-۱: ساختار اینورتر چند سلولی پشته ارائه شده در مرجع [۳۱]..... ۱۶
شکل ۱۵-۱: ساختار یک اینورتر سری سه سطحی تک فاز ارائه شده در مرجع [۳۲]..... ۱۷
شکل ۱۶-۱: ساختار یک اینورتر چند سطحی سری تکفاز ۱۸
شکل ۱۷-۱: نتایج شبیه‌سازی اینورتر ۹ سطحی سری متقارن؛ (الف) شکل موج ولتاژ خروجی؛ (ب) شکل موج جریان خروجی ۲۰
شکل ۱۸-۱: شکل موج ولتاژ مسدود شده توسط کلید $S_{1,1}$ در اینورتر ۹ سطحی سری متقارن ۲۰
شکل ۱۹-۱: شکل موج ولتاژ خروجی اینورتر ۱۵ سطحی سری نامتقارن ۲۱
شکل ۲۰-۱: ساختاراینورتر چند سطحی تعمیم یافته تک فاز ارائه شده در مرجع [۴۰] ۲۴
شکل ۲۱-۱: ساختار اینورتر هیبرید مختلط با استفاده از اینورتر برشگر دیودی..... ۲۵
شکل۲۲-۱: ساختار اینورتر هیبرید مختلط با استفاده از اینورتر خازن شناور ۲۵
شکل ۲۳-۱: ساختار اینورتر هیبرید نامتقارن چند سطحی هیبرید، با استفاده از اتصال سری اینورتر پل H و پل برشگر دیودی، (الف) با دو منبع ولتاژ dc، (ب) با یک منبع ولتاژ dc ۲۶
شکل ۲۴-۱: ساختار یک اینورتر هیبرید نامتقارن تک فاز با فرکانس کلیدزنی مختلف ۲۷
شکل ۲۵-۱: ساختار پل H سری شده توسط چندین ترانسفورماتور ایزوله ۲۸
شکل ۲۶-۱: ساختار پل H سری شده سه فاز توسط ترانسفورماتور سه فاز ایزوله ۲۸
شکل ۲۷-۱: ترانسفورماتور فرکانس بالا برای تولید منابع ولتاژ مورد نیاز اینورترهای چند سطحی سری ۲۹
شکل ۲۸-۱: (الف) ساختار پایه ارائه شده در مرجع [B50]؛ (ب) یک نمونه از شکل موج ولتاژ خروجی ساختار پایه ۲۹
شکل ۲۹-۱: ساختار گسترش یافته ارائه شده در مرجع [۵۰]..... ۳۰
شکل ۳۰-۱: ساختار گسترش یافته ارائه شده در مرجع [۵۰] به همراه پل H..... ۳۱
شکل ۳۱-۱: اینورتر چند سطحی ارائه شده در مرجع [۵۰]..... ۳۲

شکل ۳۲-۱: (الف) ساختار پایه ارائه شده در مرجع [۵۱] برای اینورترهای چند سطحی؛ (ب) سلول قدرت ارائه شده در مرجع [۵۱] با ولتاژ خروجی چهار سطحی ۳۳
شکل ۳۳-۱: (الف) ساختار پایه ارائه شده در مرجع [۴]؛ (ب) یک نمونه از شکل موج ولتاژ خروجی ساختار پایه... ۳۴
شکل ۳۴-۱: ساختار گسترش یافته ارائه شده در مرجع [۴] برای اینورترهای چند سطحی ۳۴
شکل ۳۵-۱: ساختار گسترش یافته ارائه شده در مرجع [۴] برای اینورترهای چند سطحی ۳۵
شکل ۳۶-۱: نتایج شبیه‌سازی شکل موج ولتاژ و جریان خروجی اینورتر ۴۹ سطحی ارائه شده در مرجع [۴]..... ۳۶
شکل ۳۷-۱: شکل موج ولتاژ مسدود شده توسط کلیدها در اینورتر ۴۹ سطحی ارائه شده در مرجع [۴]؛ (الف) $s_{1,1}$ ؛ (ب) $s_{3,1}$ ۳۶
شکل ۳۸-۱: ساختار پایه ارائه شده در مرجع [۵۲] برای اینورترهای چند سطحی سری ۳۷
شکل ۳۹-۱: ساختار اینورتر چند سطحی سری ارائه شده در مرجع [۵۲]..... ۳۸
شکل ۴۰-۱: نتایج شبیه‌سازی شکل موج ولتاژ خروجی اینورتر ۲۵ سطحی ارائه شده در مرجع[۵۲]..... ۳۸
شکل ۴۱-۱: شکل موج ولتاژ خروجی طبقه دوم اینورتر ۲۵ سطحی ارائه شده در مرجع [۵۲] قبل از اینورتر تمام پل ۳۸
شکل ۴۲-۱: (الف) ساختار MLM ارائه شده در مرجع [۵۳]؛ (ب) یک نمونه از شکل موج‌های v_o' و v_o ۴۰
شکل ۴۳-۱: ساختار ارائه شده در مرجع [۵۳]..... ۴۱
شکل ۴۴-۱: ساختار پایه ارائه شده در مرجع [۵۴] برای اینورترهای چند سطحی سری ۴۲
شکل ۴۵-۱: ساختار اینورتر چند سطحی سری ارائه شده در مرجع [۵۴]..... ۴۲
شکل ۴۶-۱: ساختار پایه متقارن برای اینورترهای چند سطحی سری ارائه شده در مرجع [۵۵]..... ۴۳
شکل ۴۷-۱: ساختار پایه نامتقارن برای اینورترهای چند سطحی سری ارائه شده در مرجع [۵۵] ۴۴
شکل ۴۸-۱: ساختار اینورترهای چند سطحی سری متقارن توسعه یافته ارائه شده در مرجع [۵۵] ۴۴
شکل ۴۹-۱: ساختار اینورترهای چند سطحی سری نامتقارن توسعه یافته ارائه شده در مرجع [۵۵]..... ۴۵
شکل ۵۰-۱: واحد پایه پیشنهادی ۴۶
شکل ۵۱-۱: اینورتر چند سطحی ارائه شده در مرجع [۵۶]؛ (الف) ساختار پیشنهادی، (ب) ساختار پیشنهادی توسعه یافته ۴۷
شکل ۵۲-۱: ساختار پایه ارائه شده در مرجه [۵۷] برای اینورترهای چند سطحی سری ۵۰
شکل ۵۳-۱: ساختار اینورتر چند سطحی سری پیشنهادی ۵۱
شکل ۵۴-۱: ساختار زیرمتقارن پیشنهادی با قابلیت اعمال روش‌های کنترلی شارژ متعادل ۵۲
شکل ۵۵-۱: ساختار اینورتر چند سطحی سری پیشنهاد شده در مرجع[۵۸]..... ۵۳
شکل ۵۶-۱: شکل موج ولتاژ خروجی یک اینورتر ۷ سطحی سری ارائه شده در مرجع [۵۸]..... ۵۴
شکل ۵۷-۱: ساختار اینورتر سری پیشنهادی با خازن ۵۵
شکل ۵۸-۱: ساختار پایه پیشنهادی ۵۶
شکل ۵۹-۱: ساختار اینورتر سری پیشنهادی: الف) ساختار با وضعیت ثابت برای خازن ، ب) ساختار با حالت چرخشی برای خازن ۵۷
شکل ۱-۲:دسته‌بندی روش‌های مختلف مدولاسیون اینورترهای چند سطحی ارائه شده در مرجع [۶۶]..... ۶۱
شکل ۲-۲: دسته‌بندی روش های مختلف مدولاسیون براساس فرکانس کلیدزنی ارائه شده در مرجع [۶۷]..... ۶۲

شکل ۳-۲: روش مدولاسیون PSPWM برای یک اینورتر ۵ سطحی سری الف) سیگنال‌های مرجع و حامل‌ها, ب) ولتاژ خروجی ۶۳
شکل ۴-۲: روش مدولاسیون APOD برای یک اینورتر ۵ سطحی سری الف) سیگنال‌های مرجع و حامل‌ها, ب) ولتاژ خروجی ۶۴
شکل ۵-۲: دروش‌های کنترلی یک اینورتر سری ۳ طبقه متقارن؛ (الف) روش کنترلی کلاسک؛ (ب) روش کنترلی شارژ متعادل تمام موج؛ (ج) روش کنترلی شارژ متعادل نیم موج؛ (د) روش کنترلی شارژ متعادل ارائه شده در مرجع [۷۴]؛ (ه) روش کنترلی شارژ متعادل ارائه شده در مرجع [۷۴] ۶۸
شکل ۶-۲: نتایج شبیه‌سازی اینورتر ۷ سطحی سری متقارن در روش کنترلی کلاسیک؛ (الف) شکل موج‌های ولتاژ خروجی طبقات مختلف؛ (ب) ولتاژ خروجی اینورتر ۶۸
شکل ۷-۲: نتایج شبیه‌سازی اینورتر ۷ سطحی سری متقارن در روش کنترلی شارژ متعادل تمام موج؛ (الف) شکل موج‌های ولتاژ خروجی طبقات مختلف؛ (ب) ولتاژ خروجی اینورتر ۶۹
شکل ۸-۲: روش‌های کنترلی شارژ متعادل در اینورتر۱۵ سطحی سری نامتقارن ۷۰
شکل ۹-۲: نتایج شبیه‌سازی اینورتر ۱۵ سطحی سری نامتقارن در روش کنترلی کلاسیک؛ (الف) شکل موج‌های ولتاژ خروجی طبقات مختلف؛ (ب) ولتاژ خروجی اینورتر ۷۱
شکل ۱۰-۲: نتایج شبیه‌سازی اینورتر ۱۵ سطحی سری نامتقارن در روش کنترلی شارژ متعادل نیم موج؛ (الف) شکل موج‌های ولتاژ خروجی طبقات مختلف؛ (ب) ولتاژ خروجی اینورتر ۷۱
شکل ۱۱-۲: مدولاسیون دلتا [۷۶] ۷۲
شکل ۱۲-۲: مدولاسیون پله‌ای ارائه شده [۷۷] ۷۳
شکل ۱۳-۲: مدولاسیون پلکانی ارائه شده [۶۹] ۷۳
شکل ۱۴-۲: مدولاسیون تزریق هارمونیک ارائه شده [۷۷] ۷۴
شکل ۱۵-۲: روش کنترلی اینورترهای سه فاز ارائه شده [۶۷] ۷۴
شکل ۱۶-۲: روش‌کنترلی مدولاسیون پهنای پالس منفرد ارائه شده [۶۷] ۷۵
شکل ۱۷-۲: مدولاسیون ذوزنقه‌ای ارائه شده [۷۷] ۷۶
شکل ۱-۳: واحد پایه پیشنهادی ۷۹
شکل ۲-۳: ساختار توسعه یافته پیشنهادی ۸۴
شکل ۳-۳: ساختار استفاده شده در مقایسه ، الف) ارائه شده در مرجع [۳۳] (R_1 و R_2) ، ب) ارائه شده در مرجع [۷۷] (R_3)، ج) ارائه شده در مرجع [۷۸] (R_4 و R_5)، د) ارائه شده در مرجع [۵۰] (R_6)، و) ارائه شده در مرجع [۷۹] (R_7)، ه) ارائه شده در مرجع[۵۲] (R_8)، ی) ارائه شده در مرجع[۸۰] (R_9). ۸۷
شکل ۴-۳: نتایج حاصل از مقایسه ساختار توسعه یافته پیشنهادی با ساختارهای مرسوم ، الف) از نقطه نظر تعداد کلیدهای الکترونیک قدرت ، ب) از نقطه نظر تعداد منابع ولتاژ dc ج) از نقطه نظر تنوع اندازه منابع ولتاژ ، د) از نقطه نظر تعداد خازن های استفاده شده ۸۹
شکل ۵-۳: ولتاژ و جریان خروجی ، الف) حالت ایده‌آل ب) حالت واقعی ۹۰
شکل۶-۳: ولتاژ دو سر خازن‌ها؛ لف) V_{C1L}، ب) V_{C2L} ، ج) V_{C1R} ،د) V_{C2R} ۹۲
شکل ۷-۳: اعوجاج هارمونیکی کل؛ الف) ولتاژ(THD_V_o)، ب) جریان (THD_i_o) ۹۳
شکل ۸-۳: شکل موج توان ورودی به مبدل ۹۳
شکل ۹-۳: شکل موج توان خروجی از مبدل ۹۳

شکل۱۰-۳: ولتاژ و جریان خروجی در حالت واقعی الف) برای یک دوره تناوب، ب) برای ۴ دوره تناوب ۹۴
شکل ۱۱-۳: ولتاژ دو سر خازن‌ها؛ الف) V_{C11}، ب) V_{C21R}، ج) V_{C22L} ۹۵
شکل ۱۲-۳: اعوجاج هارمونیکی کل؛ الف) ولتاژ(THD_V_o)، ب) جریان (THD_i_o) ۹۶
شکل ۱۳-۳: نتایج آزمایشگاهی ولتاژ دو سر خازن‌ها؛ لف) V_{C1L}، ب) V_{C1R} ۹۷

فهرست جداول

جدول ۱-۱: وضعیت کلیدها در اینورتر برشگر دیودی تک فاز سه سطحی ۷
جدول ۲-۱: حالات کلیدزنی در یک اینورتر سری سه سطحی..... ۱۷
جدول ۳-۱: ارتباط بین ولتاژ خروجی و حالات مختلف کلیدزنی در اینورتر چند سحطی تعمیم یافته تکفاز ۲۳
جدول ۴-۱: مقادیر مختلف v_o به ازای حالت‌های مختلف کلیدها در واحد گسترش یافته ۳۰
جدول ۵-۱: مقادیر مختلف v_o برای حالت‌های مختلف کلیدها..... ۳۳
جدول ۶-۱: حالت‌های مختلف کلیدها برای مقادیر مختلف v_o در ساختار گسترش یافته ارائه شده در مرجع [۴] ۳۵
جدول۷-۱: مقادیر مختلف ولتاژ خروجی برای ساختار پایه ارائه شده در مرجع [۵۲]..... ۳۷
جدول۸-۱: مقادیر مختلف v_o' و v_o برای حالت‌های مختلف از وضعیت روشن و خاموش کلیدها..... ۴۰
جدول ۹-۱: مقادیر مختلف ولتاژ خروجی برای ساختار پایه ارائه شده در مرجع [۵۴]..... ۴۲
حدول ۱۰-۱: مقادیر مختلف ولتاژ خروجی برای ساختار پایه متقارن ارائه شده در مرجع [۵۵]..... ۴۳
جدول ۱۱-۱: ولتاژ خروجی واحد پایه پیشنهادی به ازای حالت‌های مختلف کلیدزنی ۴۶
جدول ۱۲-۱: ولتاژ خروجی اینورتر چند سطحی سری پیشنهادی (v_o)به ازای حالت‌های مختلف کلیدزنی ۴۷
جدول ۱۳-۱: مقادیر مختلف ولتاژ خروجی برای ساختار پایه ارائه شده در مرجع [۵۷]..... ۵۱
جدول ۱۴-۱: ولتاژ خروجی اینورتر ۷ سطحی ارائه شده در مرجع[۵۸]..... ۵۴
جدول۱۵-۱: ولتاژ خروجی ساختار پایه پیشنهادی بر حسب حالات مختلف کلیدزنی ارائه شده در مرجع[۶۰]..... ۵۷
جدول ۱۶-۱: الگوریتم پیشنهادی جهت تعیین دامنه منابع ولتاژ dc و خروجی‌های حاصل از مبدل براساس این الگوریتم ۵۸
جدول ۱-۳: ولتاژ خروجی واحد پایه پیشنهادی به ازای حالت‌های مختلف کلیدزنی..... ۷۹
جدول ۲-۳: نحوه شارژ و دشارژ خازن به ازای سطوح مختلف ولتاژ خروجی ۷۹
شکل ۳-۳: ساختار دو طبقه پیشنهادی..... ۸۱
جدول ۴-۳: ولتاژ خروجی ساختار دو طبقه پیشنهادی به ازای حالت‌های مختلف کلیدزنی ۸۲
جدول ۵-۳: مقادیر انتخابی در شبیه‌سازی ۸۹

مقدمه

اینورترهای چند سطحی یکی از انواع مبدل‌های الکترونیک قدرت هستند که توانایی کار در ولتاژ و توان بالا را دارد. اینورترهای چند سطحی مشتمل بر سه ساختار اصلی مبدل برشگر دیودی، خارن شناور و مبدل‌های سری هستند که از این میان اینورترهای چند سطحی سری به دلیل عدم استفاده از خازن شناور و دیود برشگر، روش کنترلی ساده‌تر، قابلیت اطمینان بالاتر، قابلیت تولید تعداد سطوح بالاتر با ادوات الکترونیک قدرت کمتر و انعطاف پذیری بیشتر بیش از سایر ساختارها مورد توجه قرار گرفته است. بر همین اساس تکنولوژی تولید این دسته از اینورترها پیشرفت‌های شایانی داشته است. اینورترهای چند سطحی سری نیز به دو دسته اینورترهای متقارن و نامتقارن تقسیم‌بندی می‌شوند. استفاده از اینورترهای نامتقارن در کاربردهای صنعتی به دلیل افزایش در سطوح ولتاژ خروجی قابل تولید با کمترین تعداد کلیدهای الکترونیک قدرت و منابع ولتاژ dc به عنوان ورودی افزایش یافته است به خصوص با پیشرفت روز افزون استفاده از منابع انرژی تجدیدپذیر همچون سلول های خورشیدی و توربین‌های بادی که سطوح مختلف ولتاژ dc را تولید می‌نمایند. در کنار مزایای موجود برای اینورترهای چند سطحی سری، معایبی نیز دارند که استفاده از تعداد زیاد منابع ولتاژ dc مستقل مهمترین آن به شمار می‌رود.

در این پروژه با هدف افزایش تعداد سطوح ولتاژ خروجی ضمن کاهش تعداد منابع ولتاژ dc ساختار پایه‌ای پیشنهاد شده است و از خازن در ساختار پایه معرفی شده استفاده می‌شود. ساختار پایه پیشنهادی به مراتب از بسیاری از ساختارهای موجود قابلیت تولید تعداد سطح ولتاژ خروجی بالاتر با تعداد کمتر اداوت الکترونیک قدرت را دارد که این مهم در فصل مربوط به آن بررسی و با سایر ساختارها مقایسه و ارزیابی خواهد شد. هم چنین امکان توسعه ساختار پایه با هدف ایجاد شکل موج سینوسی در خروجی با افزایش دامنه ولتاژ خروجی و کمترین تعداد منابع ولتاژ dc نیز در نظر گرفته شده است که در فصول بعد ارائه خواهد شد.

در این گزارش ابتدا انواع ساختار اینوررهای چند سطحی، کاربردها، مزایا و معایب و هم چنین انواع ساختارهای اینورترهای چند سطحی سری و ساختارهای بر پایه خازن به عنوان منبع ولتاژ dc ارائه و بررسی شده است تا مجری پروژه با دید وسیع از ساختارهای موجود اقدام به بررسی، معرفی و پیشنهاد ساختار جدید نماید.

در ادامه مطابق با شرح خدمات پروژه ساختار پایه پیشنهاد شده، الگوریتم دامنه منابع ولتاژ dc تعیین، معادلات حداکثر ولتاژ خروجی، حداکثر تعداد سطوح قابل تولید، الگوریتم کلیدزنی خازن ها و سایر تحلیل های مرتبط با ساختار انجام و با شبیه‌سازی و صحت‌سنجی عملکرد مبدل پیشنهادی بررسی خواهد شد. در این بخش با هدف انجام شبیه‌سازی ضروری تا روش کنترلی برای ساختار معین گردد. در همین راستا به بررسی انواع روش های کنترلی در اینورترهای چند سطحی پرداخته و روش مناسب ساختار تعیین می گردد.

سپس ساختار توسعه یافته معرفی، الگوریتم تعیین دامنه منابع ولتاژ dc معرفی و تحلیل ریاضی بر روی عملکرد مبدل انجام خواهد شد. شبیه سازی در محیط نرم افزاری PSCAD انجام می‌شود.

در ادامه مقایسه ای بین ساختار پیشنهادی با ساختارهای موجود از نقطه نظر تعداد سطح ولتاژ خروجی تولید شده، حداکثر دامنه ولتاژ dc، تعداد کلیدهای الکترونیک قدرت به کار رفته و سایر ادوات الکترونیک قدرت مورد نیاز انجام خواهد شد تا مزایا و معایب ساختار پیشنهادی مشخص گردد.

درهر بخش از مراحل قبل ظرفیت توانی ساختار با توجه به کاربردهای متفاوت آن بررسی و معین خواهد شد. در همین راستا حداکثر توانی که می‌توان از این ساختار دریافت نمود به منظور استفاده در نمونه آزمایشگاهی بررسی و معین خواهد شد.

در بخش بعدی نمونه آزمایشگاهی ساختار پایه بر اساس روش کنترلی مشخص شده انجام و با شبیه‌سازی انجام شده صحت سنجی خواهد شد.

فصل اول:بررسی منابع

۱-۱ مقدمه

یکی از ادوات الکترونیک قدرت که کاربردهای وسیعی در صنعت برق داشته و توجه بسیاری را در کاربردهای توان بالا و ولتاژ متوسط به خود اختصاص داده است اینورترهای چند سطحی است. کیفیت توان بالا، مولفه هارمونیکی کم‌تر، تلفات کلیدزنی پایین‌تر و سازگاری الکترومغناطیسی بهتر از مزایای دیگر اینورترهای چند سطحی هستند. در این فصل، ساختارهای مختلف از اینورترهای چند سطحی، نحوه عمل‌کرد، روش‌های کنترلی، مزایا، معایب و کاربردهای آن‌ها مورد بررسی قرار می‌گیرد. هم چنین تعدادی از ساختارهای ارائه شده در مقالات و روش‌های کنترلی آن‌ها در محیط نرم افزاری EMTDC/PSCAD شبیه‌سازی می‌شوند.

از آن‌جایی که مبدل منبع ولتاژ یک اینورتر کاهنده، یک یکسوکننده افزاینده ولتاژ و یک مبدل منبع جریان یک اینورتر افزاینده و یک یکسوکننده‌ی کاهنده می‌باشند امکان عمل‌کرد آن‌ها به صورت افزاینده–کاهنده وجود ندارد. هم چنین در مبدل‌های منبع ولتاژ و منبع جریان به ترتیب احتمال وقوع حالت اتصال کوتاه و مدار باز در ساق پل وجود دارد. لذا به منظور غلبه بر این مشکلات دسته دیگری از مبدل‌های الکترونیک قدرت مورد توجه قرار گرفته‌اند. این مبدل‌ها، مبدل‌های منبع امپدانسی نامیده شده است و در این فصل ساختارهای مختلف از آن‌ها که در مراجع ارائه شده به همراه روش‌های کنترلی آن‌ها مورد بررسی بیش‌تر قرار می‌گیرد.

۱-۲ بررسی اینورترهای چند سطحی و ساختارهای آن

امروزه به دلیل مشکلات زیست محیطی ناشی از سوخت‌های فسیلی و محدودیت این دسته از منابع، استفاده از انرژی‌های نو و تجدیدپذیر مانند سلول‌های خورشیدی، باد، زمین گرمایی و پیل‌های سوختی که عموماً دارای سطح ولتاژ dc تولیدی پایینی هستند به طور گسترده‌ای افزایش یافته است. لذا به منظور استفاده از این منابع، مبدل‌های الکترونیک قدرت بسیاری مورد توجه قرار گرفته‌اند تا سطوح پایین ولتاژ تولیدی این منابع را برای اتصال به بار یا شبکه به ولتاژ ac با دامنه مطلوب تبدیل نماید. از انواع مختلف مبدل‌های الکترونیک قدرت، اینورترهای چند سطحی در کاربردهای توان بالا و ولتاژ متوسط بیش‌تر مورد توجه بوده است. عنوان اینورترهای چند سطحی با اینورتر سه سطحی معرفی شده توسط Nabae شروع شده و سپس به اینورترهای چند سطحی گسترش یافته است. اولین اینورتر چند سطحی در سال ۱۹۷۵ معرفی شده است [۱].

۱-۳ مزایا و معایب اینورترهای چند سطحی

اینورترهای چند سطحی در مقایسه با اینورترهای مرسوم دو سطحی مزایای بسیاری دارند که در ادامه به تعدادی از آن‌ها اشاره خواهد شد [۲]، [۳]:

- کیفیت شکل موج خروجی:

اینورترهای چند سطحی علاوه برتولید ولتاژ خروجی با کمترین اعوجاج هارمونیکی ، فشار dv/dt را بر روی کلیدها و بار کاهش می‌دهند و لذا مشکل سازگاری الکترومغناطیسی کاهش یافته و هم‌چنین مقادیر ولتاژ نامی کلیدهای مورد نیاز کمتر شده که این امر سبب کاهش هزینه تمام شده اینورتر خواهد شد.

- ولتاژ مد مشترک[1]:

اینورترهای چند سطحی در نقطه مشترک ولتاژ کوچکی تولید می‌کنند. لذا تنش قابل تحمل موتور متصل به درایو تغذیه شده از اینورتر چند سطحی کاهش می‌یابد. هم‌چنین این ولتاژ نقطه مشترک با استفاده از استراتژی‌های مدولاسیون پیشرفته می‌تواند حذف شود.

[1] Common-mode voltage

- فرکانس کلیدزنی:

در اینورترهای چند سطحی امکان کلیدزنی هم در فرکانس اصلی و هم در فرکانس بالا وجود دارد. لازم به ذکر است که کلیدزنی در فرکانس پایین موجب کاهش تلفات کلیدزنی و افزایش راندمان اینورتر خواهد شد.

- در اینورترهای چند سطحی امکان استفاده از نیمه هادی‌های با سرعت پایین‌تر وجود دارد.
- قابلیت اطمینان اینورترهای چند سطحی:

در اینورترهای چند سطحی در صورت بروز خطا و معیوب شدن یکی از قطعات، عمل‌کرد اینورتر با کاهش در تعداد سطوح خروجی ادامه خواهد داشت. لازم به ذکر است که در اینورترهای چند سطحی به منظور ایجاد سطوح ولتاژ مطلوب بیش از یک روش وجود دارد.

یکی دیگر از نکات قبل توجه در خصوص اینورترهای چند سطحی توانایی آنها درتولید سطوح ولتاژ به مراتب بالاتر از مقدار ولتاژ کاری کلیدهای مورد استفاده است [۴]. در این نوع از اینورترها به منظور ایجاد سطوح بالای ولتاژ ترانسفورماتور مورد استفاده قرار نمی‌گیرد. با توجه به حجیم بودن و گران بودن ترانسفورماتورها، این ویژگی یکی دیگر از مزایای این نوع از اینورترها محسوب می‌شود [۳].

با وجود مزایای بسیار خوب، این نوع از اینورترها دارای معایبی هم هستند که از آن جمله می‌توان به افزایش قابل توجه در کلیدهای استفاده شده اشاره کرد و از آن‌جایی که هر کلید به یک مدار راه‌انداز نیاز دارد، افزایش تعداد کلیدهای الکترونیک قدرت سبب افزایش فضای نصب، هزینه کلی اینورتر و پیچیدگی سیستم کنترلی آن می‌شود. باید توجه شود که افزایش هزینه‌های ناشی از مدار راه‌انداز مورد نیاز برای هر کلید به دلیل استفاده از کلیدهای با ولتاژ نامی پایین‌تر کاهش خواهد یافت [۳]، [۵]. هم چنین افزایش تعداد قطعات استفاده شده احتمال خراب شدن یک قطعه را افزایش می‌دهد [۳].

۱-۴ کاربرد اینورترهای چند سطحی

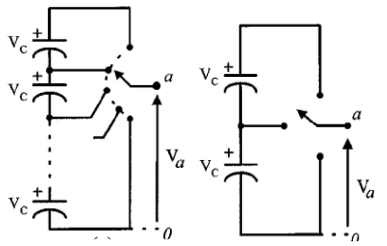
با توجه به اینکه اینورترهای چند سطحی شکل موج خروجی با طیف هارمونیکی مناسب و ولتاژ بالا ایجاد می‌کنند کاربردهای وسیعی در صنعت به خود اختصاص داده‌اند. از جمله کاربردهای اینورتر چند سطحی می‌توان به موارد زیر اشاره کرد [۳]، [۶-۷]:

- درایو موتورهای ac؛ استفاده ازاینورترهای چند سطحی در درایو ماشین‌های ac سبب کاهش محتوای هارمونیکی و عمل‌کرد بهتر ماشین می‌شود.
- ادوات FACTS؛ در ساخت ادوات مختلف سیستم‌های انتقال انعطاف پذیر ac، اینورترهای چند سطحی مورد استفاده قرار می‌گیرند که از آن جمله می‌توان به کنترل کننده یکپارچه سیلان توان (UPFC)، جبران‌کننده استاتیکی (STATCOM) و جبران کننده سری استاتیکی (SSSC) اشاره کرد.
- اتصال منابع تولید پراکنده؛ در حالت کلی منابع تولید پراکنده (مانند انرژی باد و فتوولتائیک) به یک واسط الکترونیک قدرت برای اتصال به شبکه و یا تغذیه بار نیاز دارند. اینورترهای چند سطحی نیز می‌توانند به عنوان واسط منابع تولید پراکنده عمل کنند. لذا یک کاربرد اینورترهای چند سطحی اتصال منابع تولید پراکنده مانند سلول‌های سوختی و فتوولتائیک به شبکه قدرت ac می‌باشد به نحوی که اینورتر چند سطحی واسط بین بار/شبکه و منابع تولید پراکنده می‌شود. هم چنین در اینورترهای چند سطحی منابع ولتاژ dc مختلف به منظور ایجاد ولتاژ ac مطلوب به کار برده می‌شود. لذا منابع تولید پراکنده منابع مورد نیاز اینورترهای چند سطحی را فراهم می‌کنند.
- بهبود ضریب توان بار، در صورت استفاده از اینورتر چند سطحی به منظور جبران توان راکتیو، ضریب توان بار بهبود خواهد یافت.

- خطوط انتقال HVDC
- کاربرد دیگر اینورترهای چند سطحی استفاده از آن‌ها در سیستم حمل و نقل کششی و خودروهای برقی می‌باشد زیرا در خودروهای برقی از تعداد زیاد منابع انرژی با سایزهای نسبتاً کوچک مانند باطری‌ها و سلول‌های سوختی استفاده می‌شود.

۱-۵ انواع اینورترهای چند سطحی

در مقالات ساختارهای مختلفی برای اینورترهای چند سطحی پیشنهاد شده است. شکل ۱-۱ نمایش مفهومی اینورتر چند سطحی را نشان می‌دهد [۱].



(ب) (الف)

شکل۱-۱: نمایش مفهومی اینورترهای چند سطحی، (الف) اینورتر سه سطحی، (ب) اینورتر چند سطحی عمومی

این نوع از اینورترها به دو دسته کلی اینورتر چند سطحی با منبع ولتاژ dc مشترک و اینورتر چند سطحی با منبع ولتاژ dc مستقل تقسیم می‌شوند. بر این اساس ساختارهای اصلی اینورترهای چند سطحی عبارتند از اینورتر چند سطحی برشگر دیودی[1] و اینورتر چند سطحی خازن‌های شناور[2] از مجموعه اینورترهای چند سطحی با منبع ولتاژ مشترک و اینورتر چند سطحی پل H سری شده[3] از مجموعه اینورترهای چند سطحی با منبع ولتاژ غیر مشترک. علاوه بر این ساختارها، انواع دیگری از اینورترهای چند سطحی نیز وجود دارند که ترکیبی از ساختارهای فوق می‌باشند که در ادامه به برخی از مهمترین آن‌ها اشاره خواهد شد.

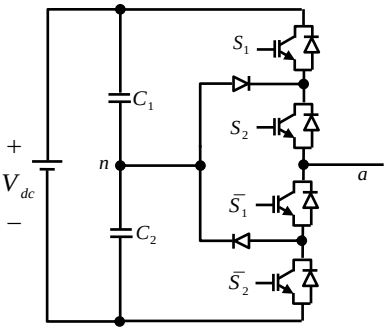
۱-۵-۱ اینورترهای چند سطحی از نوع برشگر دیودی و ساختارهای حاصل از آن

۱-۱-۵-۱ اینورترهای چند سطحی از نوع برشگر دیودی

اینورترهای چند سطحی برشگر دیودی اولین بار توسط Nabae، Takahashi وAkagi در سال ۱۹۸۱ معرفی شده است [۸]. در ساختار این اینورتر از بانک خازنی سری به منظور تقسیم ولتاژ باس dc و ایجاد سطوح مختلف ولتاژ استفاده شده است [۲]، [۱۰-۹]. کاربردهای اینورتر برشگر دیودی در راه انداز موتور و فیلترهای توان اکتیو می‌باشد [۱۰]. این اینورتر در واقع تغییر یافته اینورتر دو سطحی معمولی است که با اضافه شدن دو کلید الکترونیک قدرت و دو دیود جدید به سه سطحی تبدیل شده است. پیکربندی اینورتر برشگر دیودی سه سطحی در شکل ۱-۲ نشان داده شده است. این اینورتر دارای ۴ کلید قدرت تک جهته با دیودهای معکوس و ۲ دیود برشگر می‌باشد. که توسط دو خازن که به صورت سری متصل شده‌اند و ولتاژ dc ورودی را به دو قسمت مساوی تقسیم می‌کنند تغذیه می‌شوند [۹]. مزیت این اینورتر در مقایسه با اینورتر دو

[1] Diode-Clamped
[2] Flying Capacitors
[3] Cascaded H-Bridge

سطحی استاندارد وجود دیودهای برشگر می‌باشد که موجب شده تا ولتاژ $\frac{V_{dc}}{2}$ توسط هر کلید مسدود شود [۱۰-۹]، [۱]، هر چند که در این حالت تعداد کلیدهای به کار رفته دو برابر تعداد کلیدهای موجود در اینورتر دو سطحی مشابه است. مشکل این اینورتر در مقایسه با اینورتر دو سطحی عدم تعادل ولتاژ خازن‌های سری می‌باشد. یک روش متعادل کردن ولتاژ خازن‌ها اتصال منابع dc جداگانه برای هر فاز است. روش دیگر استفاده از کنترل فیدبک می‌باشد [۱۰].



شکل ۲-۱: اینورتر برشگر دیودی سه سطحی تک فاز ارائه شده در مرجع [۸]

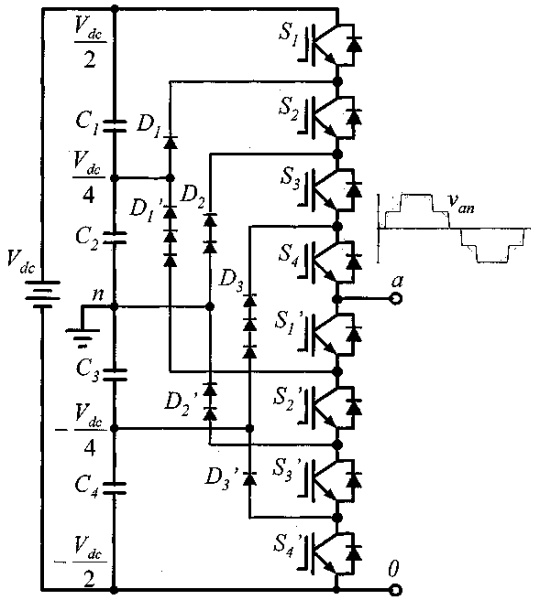
با فرض اینکه خازن‌ها به یک اندازه شارژ می‌شوند این اینورتر قادر به تولید سطوح ولتاژ $+\frac{V_{dc}}{2}$، 0، $-\frac{V_{dc}}{2}$ در خروجی خواهد بود. برای جلوگیری از بروز اتصال کوتاه، کلیدهای موجود در هر ساق به صورت جفت متمم عمل می‌کنند به این معنی که با روشن شدن هر کلید متمم آن خاموش خواهد شد. در کاربردهای عملی زمانی تحت عنوان زمان مرده[1] بین سیگنال‌های یک ترانزیستور و متمم آن در نظر گرفته می‌شود. این زمان به معنی آن است که هر دو جفت کلیدهای متمم ممکن است برای مدت زمان کوتاهی خاموش شوند [۹]. با صرف نظر کردن از حالت‌های کلیدزنی که تحت آن کلیدهای متمم یکدیگر به طور همزمان روشن شوند تنها چهار حالت کلیدزنی برای یک اینورتر برشگر دیودی سه سطحی وجود خواهد داشت که از میان حالت‌های فوق یکی از آن‌ها امکان پذیر نمی‌باشد و آن حالتی است که در آن $\bar{S_2}=on$ و $S_1=on$ است در این حالت هیچ مسیر تعریف شده‌ای برای عبور جریان وجود نخواهد داشت علت این مسئله آن است که کلیدهای S_2 و $\bar{S_1}$ هدایت نمی‌کنند [۱۱]. وضعیت کلیدها و سطوح ولتاژ قابل تولید در خروجی در جدول ۱-۱ داده شده است. در این جدول عدد یک به معنی روشن بودن و عدد صفر به معنی خاموش بودن هر کلید است.

جدول ۱-۱: وضعیت کلیدها در اینورتر برشگر دیودی تک فاز سه سطحی

ولتاژ خروجی	S_1	S_2	$\bar{S_1}$	$\bar{S_2}$
$+\frac{V_{dc}}{2}$	1	1	0	0
0	0	1	1	0
$-\frac{V_{dc}}{2}$	0	0	1	0

[1] Dead time

شکل ۱-۳ ساختار یک اینورتر برشگر دیودی پنج سطحی را نشان می‌دهد. هم‌چنان که در شکل دیده می‌شود بانک خازنی این اینورتر شامل چهار خازن C_1، C_2، C_3 و C_4 می‌باشد و با توجه به اینکه ولتاژ باس dc، برابر V_{dc} است ولتاژ عبوری از هر خازن $\frac{V_{dc}}{4}$ خواهد بود و لذا به دلیل وجود دیودهای برشگر افت ولتاژ روی هر کلید به مقدار سطح ولتاژ یک خازن که برابر $\frac{V_{dc}}{4}$ است محدود خواهد شد. با وجود اینکه هر کلید تنها سطح ولتاژ $\frac{V_{dc}}{4}$ را مسدود می‌کند اما دیودهای برشگر باید ولتاژ نامی متفاوتی به منظور مسدود کردن ولتاژ معکوس داشته باشند. به عنوان مثال در شکل فوق در صورتی که کلیدهای S_2' تا S_4' روشن باشند دیود برشگر D_1' باید سطح ولتاژ $\frac{3V_{dc}}{4}$ را مسدود کند، به طریق مشابه دیودهای D_2' و D_2 باید سطح ولتاژ $\frac{2V_{dc}}{4}$ را مسدود کنند و دیود D_3 سطح ولتاژ $\frac{3V_{dc}}{4}$ را مسدود خواهد کرد. در این شرایط در صورتی که ولتاژ نامی مسدود کننده دیودها، یکسان و برابر ولتاژ نامی یک خازن باشند باید از اتصال سری دیودها استفاده کرد [۱] در غیر این صورت باید دیودهایی استفاده شوند که توانایی مسدود کردن ولتاژ بالاتر را داشته باشند. بنابراین واضح است که با افزایش تعداد سطوح، در صورتی که اندازه ولتاژ باس dc ثابت باشد، فشار وارد شده بر روی قطعات کاهش خواهد یافت اما تعداد قطعات استفاده شده افزایش خواهد یافت.



شکل ۳-۱: ساختار یک اینورتر برشگر دیودی پنج سطحی تک فاز

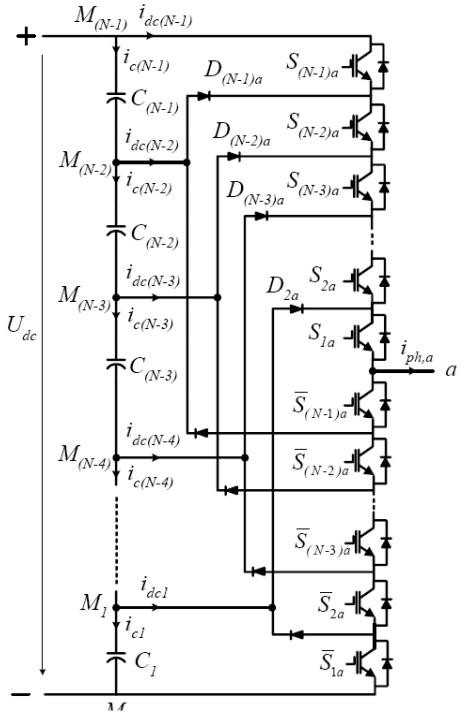
افزایش به اندازه یک سطح موجب اضافه شدن یک خازن، دو کلید و تعداد بیشتری دیود می‌شود [۱۱] بنابراین به منظور متعادل کردن ولتاژ خازن‌ها و فشار ولتاژ بالا بر روی دیودهای برشگر، این اینورتر بیشتر در حالت سه سطحی استفاده می‌شود زیرا متعادل کردن ولتاژ خازن‌ها در تعداد سطوح بیشتر از سه سطحی دشوار است [۹]. یک اینورتر برشگر دیودی n سطحی تک فاز در شکل ۱-۴ نشان داده شده است. در اینورتر n سطحی برشگر دیودی تعداد کلیدها قدرت (N_{Switch})، دیود برشگر (N_{diode}) و خازن مربوط به باس dc ($N_{capacitor-dc.}$) به ترتیب با روابط زیر بیان می‌شوند [۱۰-۹]:

$$N_{Switch} = 2(n-1) \qquad (۱-۱)$$

$$N_{diode} = (n-1)(n-2) \qquad (۱-۲)$$

$$N_{capacitor-dc.} = (n-1) \qquad (۱-۳)$$

در رابطه (۱-۲) تعداد دیودهای در نظر گرفته شده برمبنای مقادیر مختلف ولتاژ مسدود شده توسط آن‌ها می‌باشد. در صورتی که ولتاژ مسدود شده توسط دیودها یکسان در نظر گرفته شود تعداد دیودها به مراتب بیشتر خواهد بود.



شکل ٤-۱: ساختار اینورتر برشگر دیودی n سطحی تک فاز

در ادامه به برخی از مزایا و معایب اینورترهای برشگر دیودی اشاره خواهد شد [۲]، [۱۰].

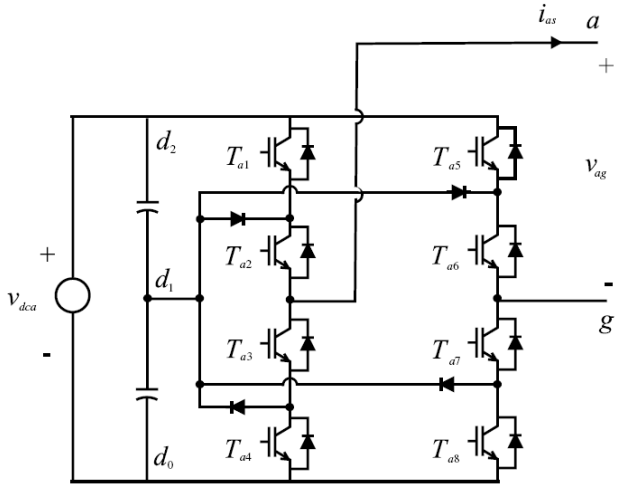
مزایا

- با افزایش تعداد سطوح ولتاژ خروجی، محتوای هارمونیکی شکل موج خروجی کاهش خواهد یافت و اندازه فیلتر مورد نیاز کوچک خواهد شد.
- با توجه به اینکه قطعات در فرکانس اصلی، بدون افزایش در محتوای هارمونیکی کلیدزنی می‌شوند تلفات کلیدزنی پایین خواهد بود.
- امکان انتقال توان راکتیو وجود دارد زیرا موجب نامتعادلی در ولتاژ خازن‌ها نمی‌شود.
- پاسخ دینامیکی سریعی دارد.
- امکان عملکرد پشت به پشت وجود دارد.
- با توجه به اینکه تمامی فازها از باس dc مشترک استفاده می‌کنند تعداد خازن مورد استفاده در این اینورتر کاهش خواهد یافت.

معایب

- با افزایش تعداد سطوح ولتاژ خروجی تعداد دیودهای برشگر مورد استفاده افزایش خواهد یافت و در نتیجه ساخت این اینورتر پیچیده خواهد شد.
- انتقال توان اکتیو سبب ایجاد نامتعادلی در ولتاژ خازن‌های باس dc شده و در نتیجه سبب پیچیدگی کنترل آن خواهد شد.
- از آنجایی که روش‌های اضافی جهت ایجاد سطوح ولتاژ متفاوت در این نوع اینورتر نسبت به اینورتر خازن شناور وجود ندارد، مشکل تعادل ولتاژ خازن‌ها افزایش یافته است.
- بهره‌وری پایین از منبع ولتاژ dc موجود زیرا بیش‌ترین مقدار ولتاژ خروجی به نصف مقدار منبع ولتاژ dc محدود شده است.
- توزیع نامتقارن تلفات در بین ادوات نیمه‌هادی و ضرورت کاربرد فیلتر در خروجی (به خصوص برای اینورتر سه سطحی) از مشکلات این اینورتر می‌باشد. مهم‌ترین عیب ساختاری اینورتر چند سطحی برشگر دیودی (سه سطحی) توزیع نامساوی تلفات و در نتیجه دمای نامساوی ادوات نیمه‌هادی می‌باشد.

در اینورتر چند سطحی برشگر دیودی حداکثر مقدار ولتاژ خروجی به نصف مقدار منبع ولتاژ dc محدود می‌شود. برای استفاده کامل از منبع ولتاژ dc و در حین حال افزایش تعداد سطوح ولتاژ خروجی، اینورتر پنج سطحی تمام پل با استفاده از ساق‌های اینورتر سه سطحی برشگر دیودی مطابق شکل ۱-۵ پیشنهاد شده است [۱۳-۱۲]. همان طور که اشاره شد این اینورتر حداکثر استفاده را از منبع ولتاژ dc می‌کند و با توجه به ساختار آن، مشکلی از نظر متعادل کردن ولتاژ خازن‌ها وجود ندارد.



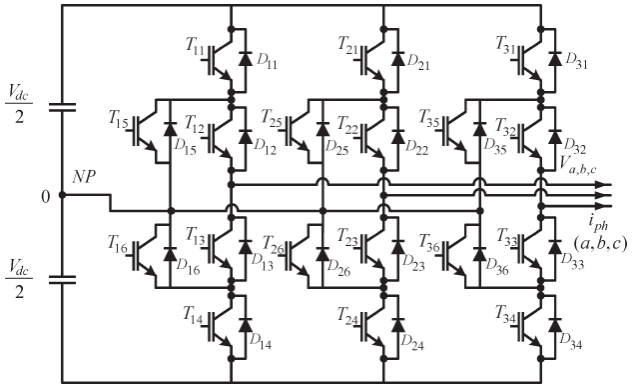
شکل ۵-۱: اینورتر تمام پل با استفاده از ساق‌های برشگر دیودی ارائه شده در مرجع [۱۲]

۲-۱-۵-۱ اینورترهای چند سطحی از نوع برشگر اکتیو نقطه خنثی

در ساختار اینورتر برشگر دیودی در صورت جایگزینی کلیدهای اکتیو با دیودهای برشگر ساختار اینورتر برشگر اکتیو نقطه خنثی (ANPC) حاصل می‌شود. مزیت این ساختار در مقایسه با اینورتر برشگر دیودی مرسوم توزیع مساوی تلفات در بین ادوات نیمه‌هادی می‌باشد. شکل ۱-۶ اینورتر سه فاز سه سطحی ANPC را نشان می‌دهد. این ساختار برای اولین بار در سال ۲۰۰۱ معرفی شد [۱۴]. باید توجه کرد که بر خلاف اینورتر برشگر دیودی معمولی، در این اینورتر بیش از یک حالت برای اتصال نقطه خنثی طرف dc به بار وجود دارد که از همین حالت اضافی برای توزیع مساوی تلفات در بین کلیدها استفاده

می‌شود [۱۶–۱۵]. لازم به ذکر است که نوع چهار و پنج سطحی اینورتر ANPC نیز در مقالات مطرح شده است [۱۸–۱۷]. در کنار مزایای به دست آمده، ساختار ANPC از تعداد کلیدهای الکترونیک قدرت بیش‌تری نسبت به برشگر دیودی معمولی استفاده می‌کند ولی با توجه به مشخصات خوبی که ANPC به وجود می‌آورد موجب کاربرد صنعتی نوع سه سطحی آن شده است.

در مراجع [۲۳–۱۹] ساختارهای دیگری از ANPCها به منظور کاهش تعداد کلیدهای مورد نیاز ارائه شده است.



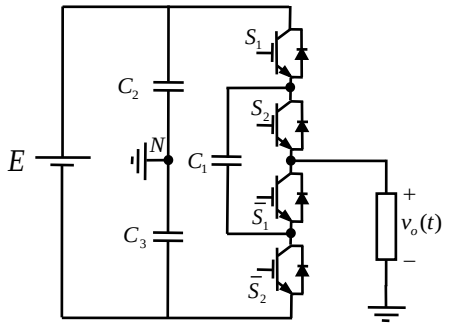
شکل ٦–۱: اینورتر سه فاز سه سطحی ANPC ارائه شده در مرجع [۱۵]

۱-۵-۲ اینورتر چند سطحی خازن شناور و ساختارهای حاصل از آن

۱-۲-۵-۱ اینورتر چند سطحی خازن شناور

اینورترهای چند سطحی خازن شناور که یکی از انواع اصلی اینورترهای چند سطحی است توسط Foch و Meynard در سال ۱۹۹۲ معرفی شده است [۲۴]. در اینورترهای چند سطحی خازن شناور ، به جای استفاده از دیود در اینورترهای چند سطحی برشگر دیودی، از خازن‌های شناور به منظور نگه داشتن ولتاژ بر روی عناصر کلیدزنی استفاده شده است [۱۰]. خازن‌های شناور در این اینورتر در یک ساختار نردبانی قرار دارند به طوری که ولتاژ روی هر خازن نسبت به خازن بعدی متفاوت خواهد بود و افزایش ولتاژ بین دو خازن مجاور سایز پله ولتاژ را در شکل موج خروجی نشان می‌دهد [۲]. کاربردهای این ساختار در منبع تغذیه ولتاژ بالا، فیلترهای اکتیو، اینورترهای dc به dc ، سیستم‌های حمل و نقل ریلی می‌باشد [۱۰]. این ساختار در مقایسه با اینورتر برشگر دیودی دارای چند حالت کلیدزنی اضافی است که موجب متعادل شدن ولتاژ خازن‌ها می‌شود، بنابراین تنها به یک منبع ولتاژ dc نیاز دارد [۹]، [۲۵].

ساختار یک اینورتر خازن شناور سه سطحی تک فاز در شکل ۱–۷ نشان داده شده است. این اینورتر دارای ۴ کلید قدرت تک جهته با دیودهای معکوس و ۳ خازن شناور می‌باشد. هر فاز این اینورتر از طریق دو خازن که به صورت سری متصل شده‌اند و ولتاژ dc ورودی را به دو قسمت مساوی تقسیم می‌کنند تغذیه می‌شوند.



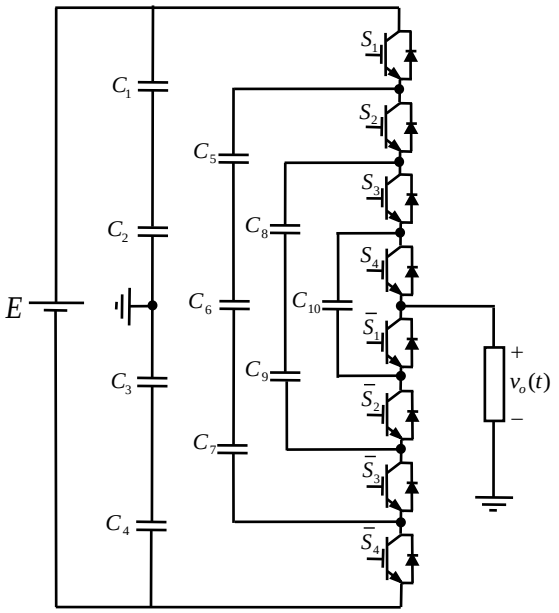
شکل ۷-۱: اینورتر خازن شناور سه سطحی تک فاز ارائه شده در مرجع [۲۴]

به منظور ایجاد سه سطح در خروجی، در هر لحظه تنها دو کلید از چهار کلید موجود در هر فاز روشن خواهد بود. در این نوع اینورتر نیز کلیدهای موجود در هر فاز به صورت جفت متمم عمل می‌کنند. جفت کلیدهای متمم عبارتند از (S_2، $\bar{S}_1$) و (S_1، $\bar{S}_2$). وضعیت کلیدها و سطوح ولتاژ قابل تولید در خروجی هر فاز در جدول ۱-۲ داده شده است. در این جدول عدد یک به معنی روشن بودن و عدد صفر به معنی خاموش بودن هر کلید است. در این اینورتر دو حالت کلیدزنی متفاوت برای ایجاد سطح ولتاژ صفر وجود دارد. با توجه به جهت جریان خازن شناور در هر فاز حالت‌های اضافه شده موجب شارژ و یا دشارژ خازن خواهد شد و ولتاژ خازن می‌تواند در مقدار مطلوب تنظیم شود [۹]. وقتی که کلیدهای S_1 و $\bar{S}_1$ روشن می‌شود خازن C_1 شارژ می‌شود و وقتی که کلیدهای S_2 و $\bar{S}_2$ وصل می‌شود، خازن دشارژ می‌شود [۱]. بنابراین با توجه به جهت جریان در خازن شناور، صرف نظر از جریان بار، ولتاژ خازن‌ها می‌توانند متعادل باشند [۹].

شکل۸-۱: وضعیت کلیدها در اینورتر خازن شناور تک فاز سه سطحی

S_1	S_2	$\bar{S}_1$	$\bar{S}_2$	V_o
1	1	0	0	$\frac{E}{2}$
0	1	0	1	0
1	0	1	0	
0	0	1	1	$-\frac{E}{2}$

شکل ۱-۸ ساختار یک اینورتر خازن شناور پنج سطحی را نشان می‌دهد. در این ساختار به منظور ایجاد سطوح مختلف ولتاژ حالت‌های کلیدزنی متفاوتی وجود دارد که این مسئله منجر به تعادل ولتاژ خازن‌ها می‌شود. در این اینورتر مشابه اینورتر برشگر دیودی در صورتی که ولتاژ نامی هر خازن برابر ولتاژ کلیدهای قدرت باشد، اینورتر برشگر خازنی به تعداد زیادی خازن مسدودکننده ولتاژ نیاز دارد [۱].



شکل ۹-۱: ساختار اینورتر خازن شناور پنج سطحی

یک اینورتر n سطحی خازن شناور تک فاز در شکل ۲-۹ نشان داده شده است. در این اینورتر تعداد کلیدها قدرت و خازن شناور($N_{capacitor.}$) و حداکثر دامنه ولتاژ خروجی ($V_{o,\max}$) به ترتیب با روابط زیر بیان می‌شوند [۱۰-۹]:

$$N_{Switch} = 2(n-1) \qquad (۱-۴)$$

$$N_{capacitor.} = (n-2) \qquad (۱-۵)$$

$$V_{o,\max} = \frac{E}{2} \qquad (۱-۶)$$

هم چنان که در رابطه (۱-۶) مشاهده می‌شود، حداکثر مقدار ولتاژ خروجی برابر نصف مقدار منابع ولتاژ dc استفاده شده می‌باشد لذا راندمان اینورتر پایین خواهد بود. از آن جایی که دامنه منبع ولتاژ dc دو برابر حداکثر مقدار ولتاژ خروجی است، به منظور تولید سطوح بالای ولتاژ، منبع dc نیازمند عایق بالایی می‌باشد.

با فرض اینکه خازن‌ها می‌توانند نرخ ولتاژ یکسان را تحمل نمایند، در اینورتر n سطحی تعداد خازن برای باس dc و تعداد خازن شناور به ترتیب با روابط زیر بیان می‌شوند:

$$N_{capacitor-dc.} = (n-1) \qquad (۱-۷)$$

$$N_{capacitor} = \frac{(n-1)(n-2)}{2} \qquad (۱-۸)$$

هم چنین در صورتی که از حالات کلیدزنی که تحت آن کلیدهای متمم روشن می‌شوند صرف نظر شود، تعداد حالات کلیدزنی ممکن برای یک اینورتر n سطحی (2^{n-1}) خواهد بود که در این صورت تعداد حالات مجاز بیشتر از تعداد سطوح ولتاژ خروجی خواهد بود [۱۱].

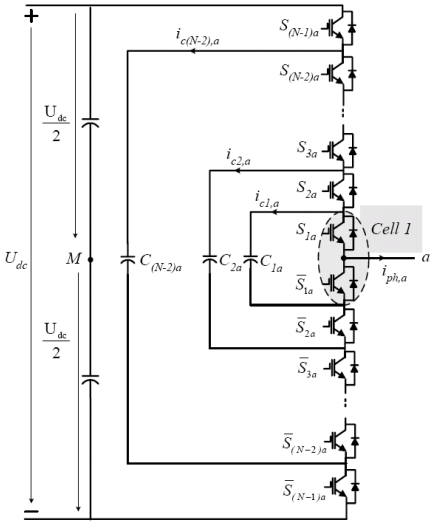
در ادامه مزایا و معایب اینورترهای چند سطحی خازن شناور بیان شده است [۲]، [۱۰].

مزایا

- با افزایش تعداد سطوح ولتاژ خروجی، محتوای هارمونیکی شکل موج خروجی و هم چنین اندازه فیلتر مورد نیاز کاهش می‌یابد.
- به منظور ایجاد یک سطح ولتاژ معینحالات مختلف کلیدزنی وجود دارد.
- پاسخ دینامیکی سریعی دارد.
- با توجه به امکان متعادل سازی ولتاژ خازن‌ها، امکان انتقال توان‌های اکتیو و راکتیو وجود دارد.

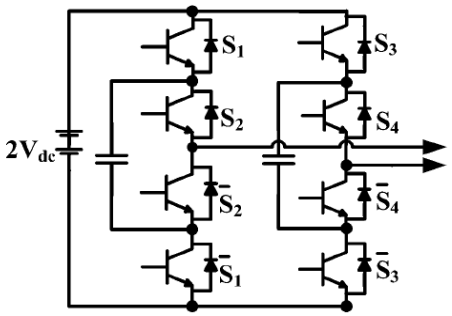
معایب

- با افزایش تعداد سطوح ولتاژ خروجی، تعداد خازن‌های شناور افزایش پیدا کرده و این امر موجب افزایش قیمت تمام شده و پیچیدگی ساخت و کنترل این اینورتر می‌شود.



شکل ۱۰-۱: ساختار اینورتر خازن شناور n سطحی تک فاز

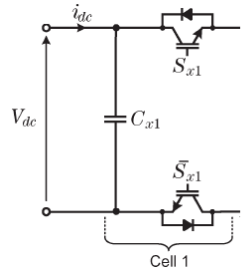
مشابه اینورترهای چند سطحی برشگر دیودی، اینورتر خازن شناور را نیز می‌توان به صورت تمام پل استفاده کرد. شکل ۱۰-۱ اینورتر تمام پل را با استفاده از اینورتر خازن شناور نشان می‌دهد. در این ساختار حداکثر استفاده از منبع ولتاژ dc صورت می‌گیرد [۲۶].



شکل ۱۱-۱: اینورتر تمام پل با استفاده از ساق‌های خازن شناور ارائه شده در مرجع [۲۶]

۱-۵-۲-۲ اینورتر چند سلولی خازن شناور

برای اینورتر چند سطحی خازن شناور علاوه بر ساختار نشان داده شده ساختار دیگری نیز وجود دارد. در این ساختار هر فاز اینورتر شامل اتصال سری چندین سلول کموتاسیون خواهد بود. هر سلول از دو کلید قدرت و یک خازن برشگر مطابق شکل ۱-۱۱ تشکیل شده است [۱۰].



شکل ۱۲-۱: ساختار یک سلول اینورتر خازن شناور ارائه شده در مرجع [۱۰]

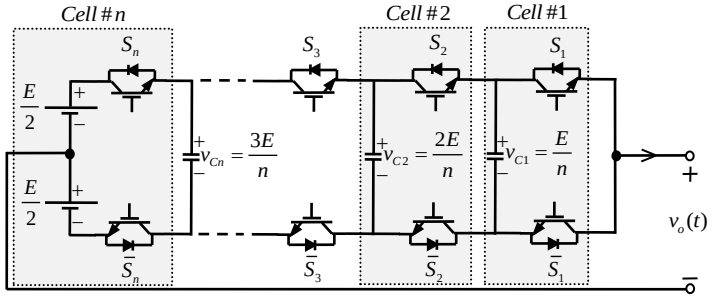
شکل ۱-۱۲ ساختار اینورتر n سلولی خازن شناور را نشان می‌دهد. این ساختار n سلول کموتاسیون که با "چرخه‌های کاری[1]" یکسان کنترل شده و دارای جابجایی فاز $\frac{2\pi}{n}$ نسبت به هم هستند تشکیل یافته است. در این اینورتر تعداد سطوح ولتاژ خروجی (N_{level})، تعداد خازن‌های شناور و تعداد کلیدهای نیمه‌هادی به ترتیب با روابط زیر بیان می‌شود:

$$N_{level} = n + 1 \qquad (۱-۹)$$

$$N_{capacitor.} = n - 1 \qquad (۱-۱۰)$$

$$N_{Switch} = 2n \qquad (۱-۱۱)$$

لازم به ذکر است که در این ساختار کلیدهای نیمه‌هادی با ولتاژهای نامی یکسان و برابر $\frac{E}{n}$ در نظر گرفته شده است که E مقدار کل ولتاژ منبع dc و n تعداد سلول‌های اینورتر است [۲۸-۲۷]. هم چنان که در شکل ۱-۱۲ نشان داده شده است شکل موج جریان در تمامی خازن‌های شناور یکسان بوده اما ولتاژ نامی خازن‌ها متفاوت بوده و ولتاژ خازن‌های C_1، C_2، ... و C_n به ترتیب برابر $\frac{E}{n}$، $\frac{2E}{n}$، ... و $(n-1)\frac{E}{n}$ می‌باشد.



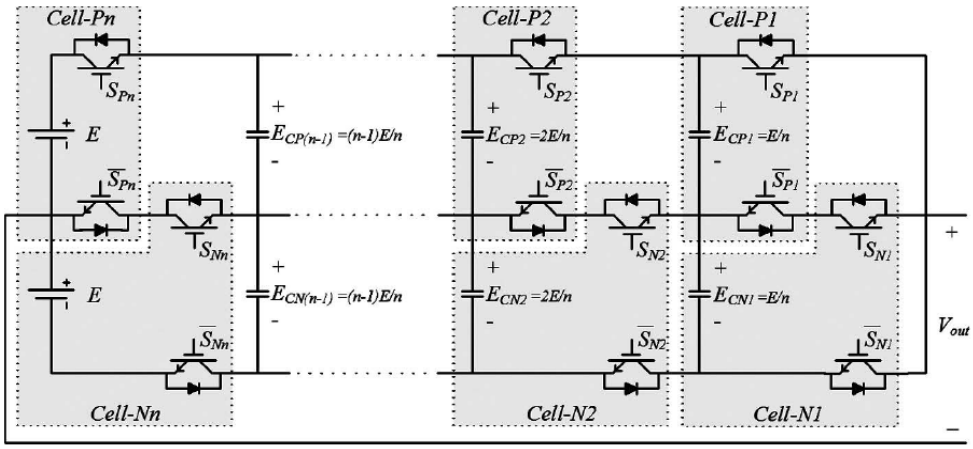
[1] Duty Cycle

شکل ۱۳-۱: ساختار اینورتر چند سلولی خازن شناور

از جمله مزیت‌های این اینورتر عدم نیاز آن به ترانسفورماتورهای ایزوله متعدد و یا عدم نیاز به منابع متعدد ولتاژ dc ورودی می‌باشد که این امر موجب کاهش هزینه و حجم اینورتر خواهد گردید. از دیگر مزیت‌های اینورتر چند سلولی خازن شناور قابلیت خود تنظیمی ولتاژ خازن‌های شناور می‌باشد که بدون نیاز به هیچ نوع فیدبک کنترلی صورت می‌گیرد و عمل‌کرد صحیح و مطمئن اینورتر را فراهم می‌سازد [۳۰-۲۹]. به منظور دستیابی به تعادل ولتاژ خازن‌های شناور، تمامی سلول‌ها بایستی با چرخه‌های کاری برابر و به صورت تصاعدی و منظم و با اختلاف فاز زمانی $\frac{2\pi}{n}$ نسبت به هم کلیدزنی شوند.

۳-۲-۵-۱ اینورتر چند سلولی پشته

اینورتر چند سلولی پشته[1] (SMC) زیر مجموعه‌ای از اینورترهای چند سلولی خازن شناور است. این اینورتر برای اولین بار توسط Gatea، Meynard و Foch در سال ۲۰۰۱ معرفی شده است [۳۱]. این ساختار از $m\times n$ آرایه‌ی سلول برای افزایش سطوح ولتاژ خروجی استفاده می‌کند. شکل کلی این ساختار در شکل ۱-۱۳ نشان داده شده است. همان طور که این شکل نشان می‌دهد، SMC نیز مانند خازن شناور از سلول‌های یکسان تشکیل شده است با این تفاوت که در این ساختار سلول‌ها به دو گروه تقسیم شده‌اند: سلول‌های گروه N و سلول‌های گروه P. در این ساختار تعداد سطوح ولتاژ قابل تولید در خروجی و حداکثر امنه ولتاژ خرجی مشابه ساختار خازن شناور می‌باشد. افزایش تعداد حالات کلیدزنی تکراری، کاهش دامنه ولتاژ خازن‌ها، کاهش انرژی ذخیره شده در آن‌ها و کاهش تلفات کلیدها از جمله مزایای این ساختار در مقایسه با ساختار خازن شناور می‌باشد.



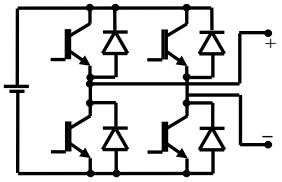
شکل ۱۴-۱: ساختار اینورتر چند سلولی پشته ارائه شده در مرجع [۳۱]

۳-۵-۱ اینورترهای چند سطحی از نوع سری[2]

[1] Stacked Multicell Converter
[2] Cascaded Multilevel Converter

اینورتر چند سطحی سری اولین بار در سال ۱۹۷۵ معرفی شده است [۳۲]. اینورترهای چند سطحی سری یکی از انواع اینورترهای چند سطحی است که از اتصال سری چندین اینورتر تکفاز تمام پل شکل ۱-۱۴ تشکیل می‌شود. هر پل H به یک منبع dc مستقل نیاز دارد و یک شکل موج مربعی با سیکل کاری متفاوت ایجاد می‌کند [۹]، [۳۲].

مدار شکل ۱-۱۴ ساختار پایه یک اینورتر پل H را نشان می‌دهد. این ساختار از چهار کلید الکترونیک قدرت یک طرفه ولتاژ و یک منبع ولتاژ dc تشکیل شده است. به منظور ایجاد سه سطح ولتاژ $+V_{dc}$ ، 0 ، $-V_{dc}$ در خروجی، در هر لحظه تنها دو کلید از چهار کلید موجود در هر فاز روشن خواهد بود. در این نوع اینورتر نیز کلیدهای موجود در هر فاز به صورت جفت متمم عمل می‌کنند. جفت کلیدهای متمم عبارتند از (S_1 ، S_3) و (S_2 ، S_4). وضعیت کلیدها و سطوح ولتاژ قابل تولید در خروجی هر فاز در جدول ۱-۳ داده شده است. هم‌چنان که در جدول دیده می‌شود در این اینورتر نیز دو حالت مختلف کلیدزنی برای ایجاد سطح ولتاژ صفر وجود دارد.



شکل ۱۵-۱: ساختار یک اینورتر سری سه سطحی تک فاز ارائه شده در مرجع [۳۲]

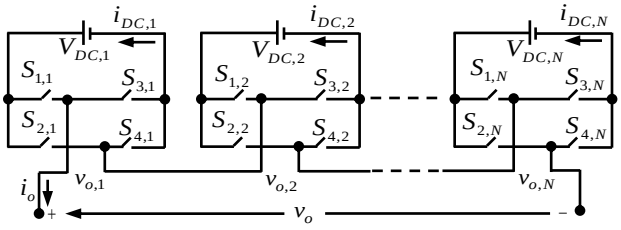
جدول ۲-۱: حالات کلیدزنی در یک اینورتر سری سه سطحی

S_1	S_2	S_3	S_4	V_0
1	0	0	1	$+\frac{V_{dc}}{2}$
1	1	0	0	0
0	0	1	1	
0	1	1	0	$-\frac{V_{dc}}{2}$

شکل ۱-۱۵ ساختار اینورترهای چند سطحی از نوع سری را نشان می‌دهد. ولتاژ خروجی اینورتر، برابر مجموع ولتاژهای خروجی تک تک پل‌ها بوده و با معادله زیر بیان می‌شود:

$$v_o(t)=v_{o,1}(t)+v_{o,2}(t)+\cdots+v_{o,N}(t) \qquad (۱-۱۲)$$

در رابطه فوق N تعداد پل‌های استفاده شده در اینورتر سری است [۳۲].



شکل ۱۶-۱: ساختار یک اینورتر چند سطحی سری تکفاز

هم چنین برای اینورتر (n) سطحی سری پل H نشان داده شده در شکل ۱-۱۵ با (N) طبقه، تعداد کلیدهای قدرت و تعداد منابع ولتاژ dc (N_{source}) به ترتیب بل روابط زیر بیان می‌شود:

$$N_{Switch} = 4N \qquad (۱-۱۳)$$

$$N_{source} = N \qquad (۱-۱۴)$$

در زیر برخی از مزایا و معایب اینورترهای چند سطحی سری خلاصه شده است [۱۰]، [۳۲].

مزایا

- در مقایسه با سایر اینورترهای چند سطحی برای تعداد سطوح ولتاژ خروجی یکسان کمترین تعداد قطعات را دارد. هیچ دیود برشگر و خازن تعادل ولتاژی ندارد.
- در این اینورتر روش کنترلی و تجهیزات حفاظتی لازم برای هر پل مشابه هم هستند به طوری که امکان بسته‌بندی هر پل به صورت یک بسته وجود دارد.
- با افزایش تعداد اینورترهای تمام پل تک فاز می‌توان تعداد سطوح ولتاژ خروجی را افزایش داد.
- پاسخ دینامیکی سریعی ایجاد می‌کند.

معایب

- امکان عملکرد پشت به پشت برای این اینورتر وجود ندارد زیرا موجب اتصال کوتاه دو اینورتر می‌شود.
- در این نوع اینورتر نسبت به اینورترهای سنتی در سیستم سه فاز تعداد کلیدهای بیشتری استفاده می‌شود به طوری که افزایش تعداد کلیدها و منابع ولتاژ dc در این اینورترها منجر به افزایش تلفات، ناحیه نصب، هزینه و پیچیدگی کنترل اینورترها می‌شوند[۴].
- اینورترهای سری به دلیل ساختار خود قادر به انتقال توان‌های اکتیو و راکتیو هستند. به منظور انتقال توان اکتیو منابع dc مستقل برای هر پل مورد نیاز است که عموماً در این نوع اینورتر از باطری‌ها به عنوان منابع dc استفاده می‌شود. هم چنین اگر خازن‌ها به عنوان منابع dc مورد استفاده قرار گیرند اینورترهای سری به عنوان یک تولیدکننده استاتیک توان راکتیو عمل خواهند کرد.

کاربردهای این ساختار در تنظیم سرعت درایوها، جبران کننده توان راکتیو و جبران کننده سری می‌باشد [۱۰].

۱-۳-۵-۱ اینورترهای چند سطحی سری متقارن و نامتقارن

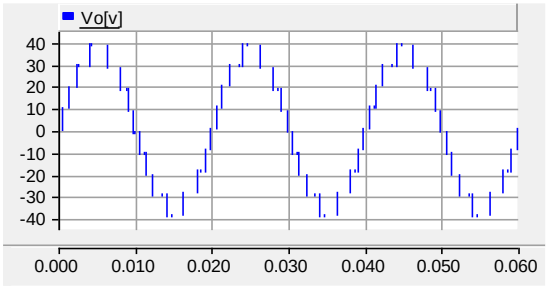
اینورترهای چند سطحی سری به دو دسته متقارن[1] و نامتقارن[2] تقسیم می‌شوند. در اینورتر چند سطحی سری متقارن اندازه تمامی منابع ولتاژ dc در تمامی پل‌ها یکسان است [۳۳]. اگر اندازه‌های تمامی منابع dc در مدار شکل ۲-۱۵ یکسان و برابر V_{dc} در نظر گرفته شوند تعداد سطوح ولتاژ خروجی برحسب تعداد پل‌های استفاده شده(N) به صورت زیر بیان خواهد شد:

$$N_{level} = 2N + 1 \qquad (۱-۱۵)$$

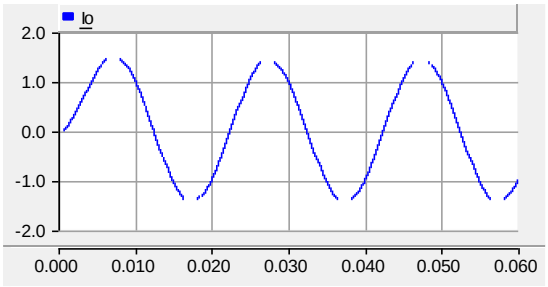
برای این نوع از اینورترها حداکثر دامنه ولتاژ خروجی قابل تولید برابر خواهد شد با:

$$V_{o,Max} = N \cdot V_{dc} \qquad (۱-۱۶)$$

شکل ۱-۱۶ شکل موج ولتاژ و جریان خروجی یک اینورتر سری متقارن ۹ سطحی را نشان می‌دهد. این ساختار متشکل از چهار پل H با منابع ولتاژ با دامنه یکسان می‌باشد. باتوجه به معادلات (۱-۱۵) و (۱-۱۶) و با در نظر گرفتن شکل ۱-۱۶، این اینورتر قادر به تولید ۹ سطح (چهار سطح مبت، چهار سطح منفی و یک سطح صفر) با حداکثر دامنه ۴۰ ولت می‌باشد. هم چنین شکل ۱-۱۷ ولتاژ کلیدهای $S_{1,1}$ را نشان می‌دهد. هم چنان که در این شکل دیده می‌شود دامنه ولتاژ مسدود شده بر روی کلید $S_{1,1}$ مقادیر مثبت و یا صفر دارد و هیچ ولتاژ منفی بر روی آن نیست لذا کلید $S_{1,1}$ از نوع یک‌طرفه ولتاژ است.



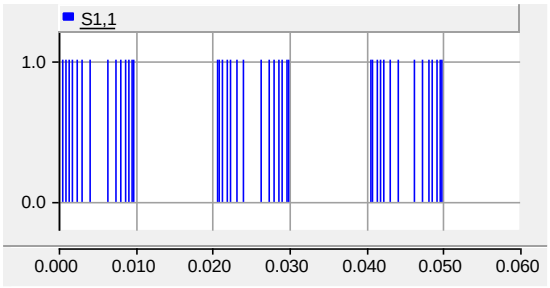
(الف)



(ب)

[1] Symmetric
[2] Asymmetric

شکل ۱۷-۱: نتایج شبیه‌سازی اینورتر ۹ سطحی سری متقارن؛ (الف) شکل موج ولتاژ خروجی؛ (ب) شکل موج جریان خروجی



شکل ۱۸-۱: شکل موج ولتاژ مسدود شده توسط کلید $S_{1,1}$ در اینورتر ۹ سطحی سری متقارن

در اینورترهای چند سطحی سری افزایش تعداد سطوح ولتاژ خروجی سبب افزایش تعداد قطعات مورد استفاده خواهد شد و در نتیجه قابلیت اطمینان و راندمان اینورتر کاهش، پیچیدگی روش‌های کنترلی و هزینه تمام شده افزایش خواهد یافت [۶]، [۳۴]. لذا به منظور ایجاد تعداد سطوح بیشتر در خروجی اینورتر چند سطحی سری بدون افزایش در تعداد پل‌ها، اینورتر چند سطحی سری نامتقارن پیشنهاد شده است. در این نوع اینورتر اگر حداقل دامنه یکی از منابع dc استفاده شده متفاوت از بقیه باشد اینورر فوق، اینورتر چند سطحی سری نامتقارن نامیده می‌شود [۳۳]. در مراجع مختلف اینورترهای چند سطحی متفاوتی پیشنهاد شده است. در مرجع [۳۶] پیشنهاد شده است که اندازه‌های منابع ولتاژ dc به صورت توان‌هایی از ۲ (باینری) انتخاب شود. در این حالت برای N پل سری شده تعداد سطوح ولتاژ خروجی و حداکثر ولتاژ خروجی به ترتیب با روابط زیر بیان خواهند شد:

$$N_{level}=2^{N+1}-1 \qquad if\ V_{dc,j}=2^{j-1}V_{dc} \qquad j=1,2,\cdots,N \qquad (۱-۱۷)$$

$$V_{o,Max}=(2^{N}-1)V_{dc} \qquad if\ V_{dc,j}=2^{j-1}V_{dc} \qquad j=1,2,\cdots,N \qquad (۱-۱۸)$$

هم چینی در مرجع [۳۶] پیشنهاد شده است که اندازه‌های منابع ولتاژ dc به صورت توان‌هایی از ۳ (ترایناری) انتخاب شود. در این حالت برای N پل سری شده تعداد سطوح ولتاژ خروجی و حداکثر ولتاژ خروجی به ترتیب با روابط زیر بیان خواهند شد:

$$N_{level}=3^{N} \qquad if\ V_{dc,j}=3^{j-1}V_{dc} \qquad j=1,2,\cdots,N \qquad (۱-۱۹)$$

$$V_{o,Max}=\left(\frac{3^{N}-1}{2}\right)V_{dc} \qquad if\ V_{dc,j}=3^{j-1}V_{dc} \qquad j=1,2,\cdots,N \qquad (۱-۲۰)$$

در مرجع [۳۳] یک نوع دیگر از اینورترهای چند سطحی نامتقارن پیشنهاد شده است که در آن اندازه منابع ولتاژ dc استفاده شده با معادلات زیر بیان شده است:

$$V_{dc,1}=V_{dc} \qquad (۱-۲۱)$$

$$V_{dc,j}=2V_{dc} \qquad j=2,3,4,\cdots,N \qquad (۱-۲۲)$$

برای این نوع اینورترها تعداد سطوح ولتاژ خروجی و ماکزیمم دامنه ولتاژ خروجی قابل تولید به ترتیب از روابطه زیر قابل محاسبه است:

$$N_{level} = 4N - 1 \quad (۱-۲۳)$$

$$V_{o,Max} = (2N - 1)V_{dc} \quad (۱-۲۴)$$

در مرجع [۳۷] یک نوع دیگر از اینورترهای چند سطحی سری نامتقارن پیشنهاد شده است که در آن اندازه منابع ولتاژ dc استفاده شده با معادلات زیر بیان شده است:

$$V_{dc,1} = V_{dc} \quad (۱-۲۵)$$

$$V_{dc,j} = 3V_{dc} \qquad j = 2, 3, \cdots, N \quad (۱-۲۶)$$

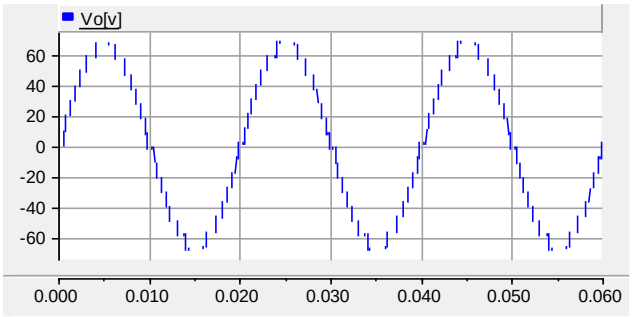
برای این نوع اینورترها تعداد سطوح ولتاژ خروجی و ماکزیمم دامنه ولتاژ خروجی قابل تولید به ترتیب از روابطه زیر قابل محاسبه است:

$$N_{level} = 6N - 3 \quad (۱-۲۷)$$

$$V_{o,\max} = (3N - 2)V_{dc} \quad (۱-۲۸)$$

با مقایسه معادلات (۱-۱۵) تا (۱-۲۰)، معادلات (۱-۲۳) و (۱-۲۴) و معادلات (۱-۲۷) و (۱-۲۸) مشاهده می‌شود که اینورترهای چند سطحی نامتقارن نسبت به اینورترهای سری متقارن با تعداد پل مشابه قادر به تولید ولتاژ با تعداد سطوح بیشتر و هم چنین ولتاژ خروجی با دامنه بیشتر هستند و لذا با یک مدار کوچک‌تر ولتاژ خروجی با کیفیت بالاتر حاصل می‌شود که این امر سبب کاهش پیچیدگی کنترل می‌شود. هم‌چنین در این حالت فیلترهای خروجی می‌توانند به طور قابل ملاحظه‌ای کاهش یابند و یا حذف شوند [۶].

شکل ۲-۱۸ شکل موج ولتاژ خروجی یک اینورتر سری نامتقارن ۱۵ سطحی را نشان می‌دهد. این ساختار متشکل از چهار پل H بر پایه الگورتم ارائه شده در مرجع [۳۳] می‌باشد. هم چنان که در این شکل دیده می‌شود تعداد سطوح ولتاژ خروجی تولید شده توسط اینورتر سری نامتقارن در مقایسه با اینورتر سری متقارن (شکل ۲-۱۶-الف) با تعداد طبقات یکسان بیشتر می‌باشد.



شکل ۱۹-۱: شکل موج ولتاژ خروجی اینورتر ۱۵ سطحی سری نامتقارن

در یک اینورتر چند سطحی سری متقارن تعداد زیادی ترکیبات مختلف کلیدزنی وجود خواهد داشت که سطوح ولتاژ مشابهی را در خروجی ایجاد می‌کنند در صورتی که اگر اینورتر فوق از نوع اینورتر چند سطحی نامتقارن باشد تعداد ترکیبات کلیدزنی اضافی کاهش خواهد یافت به عبارت دیگر حالات کلیدزنی که در اینورتر سری متقارن سطوح ولتاژ یکسان ایجاد کرده است در اینورتر سری نامتقارن سطوح ولتاژ جدیدی را ایجاد خواهد کرد.

در این نوع از اینورتر با N پل سری شده تعداد ترکیبات مختلف کلیدزنی (n_{state}) با رابطه زیر بیان می‌شود [۳۸]:

$$n_{state} = 3^N \qquad (۱-۲۹)$$

هم‌چنین برای بعضی از اینورترهای چند سطحی نامتقارن، تعدادی از سطوح ولتاژ خروجی تنها با جمع کردن ولتاژ dc طبقات مختلف با علامت‌های متفاوت ایجاد خواهد شد. در مدت زمانی که چنین سطوحی تولید می‌شوند، در بعضی از طبقات اینورتر توان از سمت منبع dc به طرف بار و در سایر طبقات توان از سمت بار به طرف منبع dc جاری خواهد شد. در نتیجه برای بسیاری از زمان‌های کاری اینورتر، علاوه بر توان مؤثر بار، یک توان گردشی بین طبقات مختلف وجود خواهد داشت که تلفات اینورتر را افزایش می‌دهد [۳۹].

۱-۵-٤ سایر ساختارهای اینورترهای چند سطحی

در کنار سه ساختار اصلی از اینورترهای چند سطحی که در بخش‌های قبلی مطرح شد ساختارهای دیگری نیز وجود دارد. بیش‌تر این ساختارها به صورت ترکیبی از دو ساختار اصلی است و یا با تغییرات کوچکی در ساختارهای اصلی ایجاد می‌شوند. در ادامه به برخی از این ساختارها به اختصار اشاره خواهد شد.

۱-۵-۴-۱ اینورترهای چند سطحی تعمیم یافته[1]

اینورتر چند سطحی تعمیم یافته که توسط Peng معرفی شده [۴۰] و P_2 نامیده می‌شود از تعدادی اینورتر مرسوم دو سطحی تشکیل شده است. ساختار اینورتر چند سطحی تعمیم یافته به گونه‌ای است که می‌تواند هر سطح ولتاژ با هر تعداد سطوحی را صرف نظر از مشخصات بار، تبدیل توان اکتیو یا راکتیو و بدون استفاده از هیچ مدار کمکی در خروجی خود ایجاد کند، [۲-۱]. اینورترهای چند سطحی مرسوم مانند اینورتر چند سطحی برشگر دیودی و اینورتر چند سطحی خازن شناور می‌توانند از ساختار اینورترهای چند سطحی تعمیم یافته ایجاد شوند، [۲-۱]، [۴۱]. ساختار یک اینورتر چند سطحی تعمیم یافته در شکل ۱-۱۹ نشان داده شده است. در این ساختار کلیدهای $S_{n1}-S_{n4}$ ، $S_{p1}-S_{p4}$ و هم‌چنین دیودهای موازی و معکوس آن‌ها از اجزاء اصلی اینورتر به حساب می‌آیند که وظیفه ایجاد شکل موج مطلوب در خروجی اینورتر را برعهده دارند. به جز قطعات اصلی تمامی کلیدها و دیودها به منظور متعادل کردن ولتاژ خازن‌ها استفاده شده است. در این اینورتر اندازه ولتاژ هر کلید، دیود و خازن برابر V_{dc} می‌باشد، به عبارت دیگر، اندازه ولتاژ هر قطعه در یک اینورتر n سطحی $\frac{1}{n-1}$ برابر ولتاژ باس dc می‌باشد [۲]. از معایب این اینورتر تعداد زیاد کلیدهای به کار رفته در آن است. افزایش تعداد کلیدها امکان خرابی یک قطعه را افزایش می‌دهد و در نتیجه قابلیت اطمینان اینورتر کاهش خواهد یافت. در این اینورتر در صورتی که قسمتی از مدار خراب شود، کار اصلی اینورتر با منابع اضافی داخلی فراهم می‌شود. جدول ۱-۴ ارتباط بین ولتاژ خروجی و حالات مختلف کلیدزنی را نشان می‌دهد. هم‌چنان که در جدول فوق دیده می‌شود چندین حالت کلیدزنی برای سطوح خروجی میانی وجود دارد در حالی که برای بیشترین و کمترین سطح ولتاژ خروجی تنها یک حالت کلیدزنی وجود دارد. به منظور ایجاد

[1] Generalized

سطوح ولتاژ صفر و $4V_{dc}$ تنها یک حالت کلیدزنی وجود دارد در حالی که برای سطوح ولتاژ V_{dc} و $3V_{dc}$ چهار حالت مختلف کلیدزنی و برای سطح ولتاژ $2V_{dc}$ شش حالت کلیدزنی وجود دارد. در این اینورتر زمانی که حالات کلیدزنی مطمئن به دلیل خرابی کلیدها دچار مشکل شود، ولتاژ خروجی مشابه با استفاده ازحالات کلیدزنی جانشین ایجاد خواهد شد [۴۱].

جدول ۳-۱: ارتباط بین ولتاژ خروجی و حالات مختلف کلیدزنی در اینورتر چند سحطی تعمیم یافته تکفاز

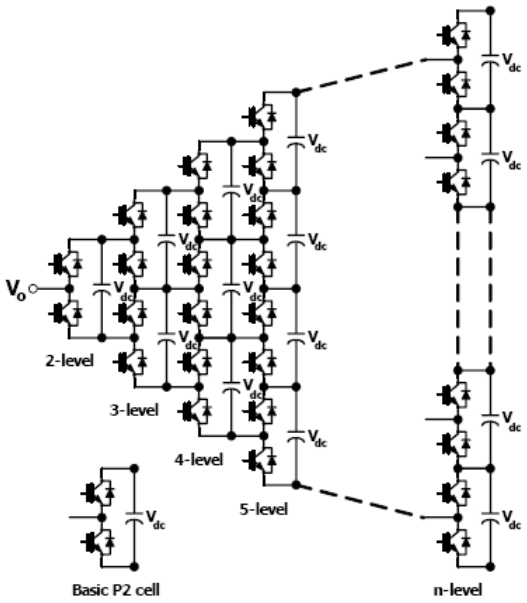
	$3V_{dc}$				$2V_{dc}$						$1V_{dc}$							ولتاژ خروجی V_o
																		حالات کلیدزنی

۲-۴-۵-۱ اینورترهای چند سطحی هیبرید[1]

اینورتر چند سطحی هیبرید از ترکیب ساختارهای اصلی اینورترهای چند سطحی ایجاد می‌شود. لازم به ذکر است که در برخی مراجع ترکیبی از ساختارهای مشابه با روش مدولاسیون متفاوت و یا ساختارها مشابهی که در آن ها بیش از یک نوع کلید الکترونیک قدرت استفاده شده است نیز به عنوان اینورتر چند سطحی هیبرید در نظر گرفته می‌شوند. در ادامه به این ساختارها اشاره خواهد شد.

[1] Haybrid

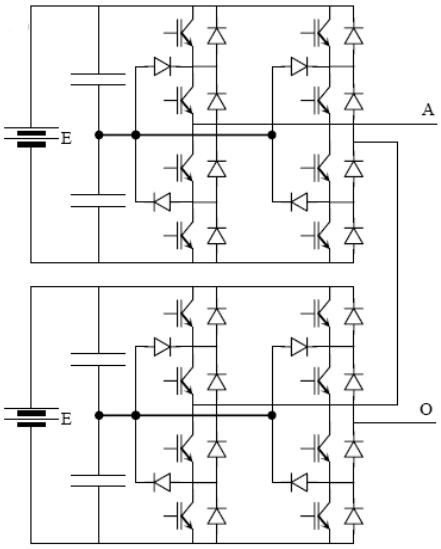
در یک اینورتر چند سطحی سری به منظور کاهش تعداد منابع dc جداگانه از اینورترهای چند سطحی برشگر دیودی و اینورترهای چند سطحی خازن شناور به عنوان سلول‌های تمام پل در ساختار سری استفاده می‌شود. اینورتر با این ساختار اینورتر چند سطحی هیبرید با سطوح مختلط نامیده می‌شود [۲]، [۱۲]، [۴۲].



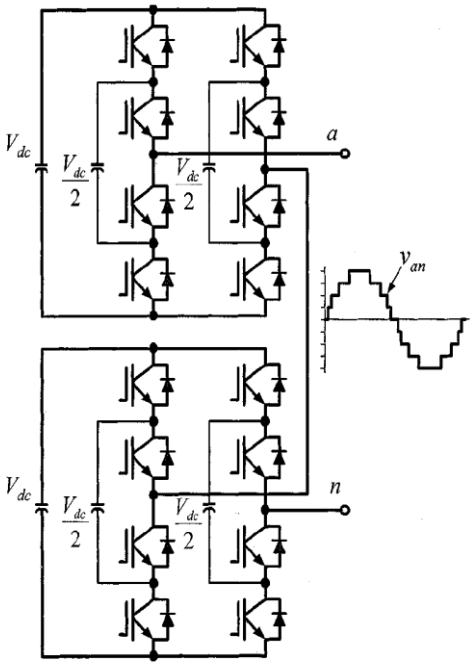
شکل ۲۰-۱: ساختاراینورتر چند سطحی تعمیم یافته تک فاز ارائه شده در مرجع [٤٠]

شکل ۱-۲۰ ساختار یک اینورتر هیبرید مختلط ۹ سطحی را نشان می‌دهد. هم‌چنان که در شکل دیده می‌شود در این ساختار از اینورتر برشگر دیودی به عنوان جایگزین سلول تمام پل در اینورتر سری استفاده شده است. یک اینورتر سری ۹ سطحی به چهار منبع dc جداگانه برای هر فاز و بنابراین به دوازده منبع dc در سه فاز نیاز دارد. در صورتی که یک اینورتر برشگر دیودی جایگزین سلول تمام پل در ساختار سری شود سطوح ولتاژ برای هر طبقه دو برابر خواهد شد بنابراین به منظور دستیابی به ۹ سطح ولتاژ خروجی، تنها دو منبع dc جداگانه برای هر فاز و بنابراین شش منبع در سه فاز نیاز خواهد بود، [۲-۱]، [۱۱]. مزیت این ساختار در مقایسه با اینورتر چند سطحی سری کاهش تعداد منابع ولتاژ dc مورد نیاز است اما به دلیل ساختار ترکیبی این اینورتر، سیستم کنترلی آن پیچیده می‌باشد [۲].

ساختار هیبرید دیگری برای اینورترهای چند سطحی در شکل ۱-۲۱ نشان داده شده است. در این ساختار دو اینورتر پل خازن شناور با هم سری شده است. لازم به ذکر است که اندازه منابع ولتاژ dc استفاده شده در این ساختارها می‌توانند متفاوت باشند تا تعداد سطوح بیش‌تری تولید شود و یا این که یکسان باشند تا از خاصیت مدولاریتی برخوردار باشد.



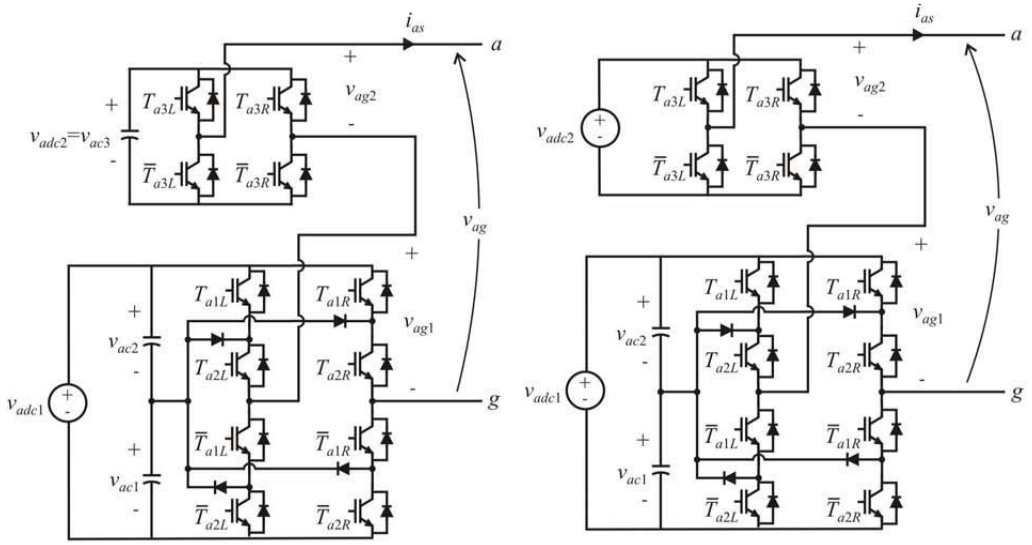
شکل ۲۱-۱: ساختار اینورتر هیبرید مختلط با استفاده از اینورتر برشگر دیودی



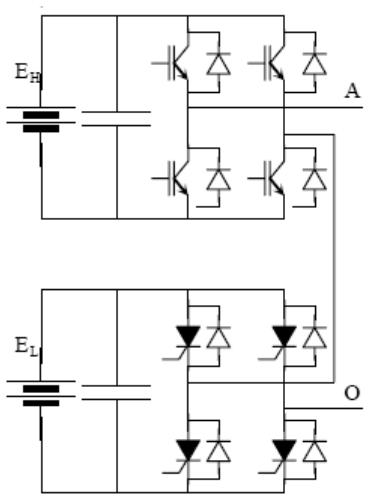
شکل۲۲-۱: ساختار اینورتر هیبرید مختلط با استفاده از اینورتر خازن شناور

شکل ۱-۲۲ یک اینورتر چند سطحی هیبرید دیگری را نشان می‌دهد که در آن یک اینورتر پل H با یک اینورتر برشگر دیودی سری شده [۴۵-۴۳]. شکل ۱-۲۲-الف حالتی را نشان می‌دهد که از دو منبع ولتاژ dc استفاده شده است. با توجه به اینکه منابع انرژی تجدید پذیر، خازن و یا باطری می‌توانند به عنوان منابع ولتاژ dc موجود در ساختار اینورترهای چند سطحی سری در نظر گرفته شوند، با جایگذاری منبع ولتاژ dc ساختار اینورتر نشان داده شده در شکل ۱-۲۲-الف با یک خازن ساختار اینورتر چند سطحی هیبرید دیگری حاصل می‌شود که در شکل ۱-۲۲-ب نشان داده شده است. خازن استفاده شده در این

ساختار به مقدار دلخواه شارژ می‌شود که این امر سبب افزایش تعداد سطوح ولتاژ خروجی می‌شود. هم چنین با توجه به تقسیم شدن ولتاژ کاری بین دو اینورتر سری شده، امکان عمل‌کرد در ولتاژهای بالاتری وجود دارد.. توجه به این نکته حائز اهمیت است که در اینورترهای چند سطحی برشگر دیودی توسعه به تعداد سطوح ولتاژ بیش‌تر مشکل می‌باشد و اینورتر چند سطحی سری نیز نیاز به یک منبع ولتاژ dc مستقل برای هر یک از پل‌ها دارد. بنابراین،به منظور افزایش تعداد سطوح ولتاژ خروجی با کمترین تعداد منابع dc مستقل این ساختار هیبرید ارائه شده است. نسبت ولتاژهای dc دو قسمت سری شده می‌تواند براساس اهداف مختلف تعیین شود. به عنوان نمونه اگر هدف حداکثر تعداد سطوح ولتاژ خروجی در نظر گرفته شود، برای اینورتر هیبرید نشان داده شده در شکل ۱-۲۲-ب ولتاژ dc قسمت اینورتر برشگر دیودی باید شش برابر ولتاژ dc قسمت اینورتر پل معمولی می‌باشد. با این انتخاب برای منابع ولتاژ dc، این اینورتر ۱۵ سطحی خواهد شد. لازم به ذکر است که در حالت کلی می‌توان هر تعداد اینورتر پل معمولی را با هر تعداد اینورتر پل برشگر دیودی سری کرد تا به سطوح ولتاژ مورد نظر رسید. ساختار دیگری از اینورتر چند سطحی هیبرید اتصال سری چند طبقه با کلیدهای متفاوت است. هم‌چنین این ساختار می‌تواند در فرکانس کلیدزنی پایین یا بالا عمل کند [۹]. شکل ۱-۲۳ ساختار یک اینورتر پنج سطحی هیبرید را نشان می‌دهد.



شکل ۲۳-۱: ساختار اینورتر هیبرید نامتقارن چند سطحی هیبرید، با استفاده از اتصال سری اینورتر پل H و پل برشگر دیودی، (الف) با دو منبع ولتاژ dc، (ب) با یک منبع ولتاژ dc



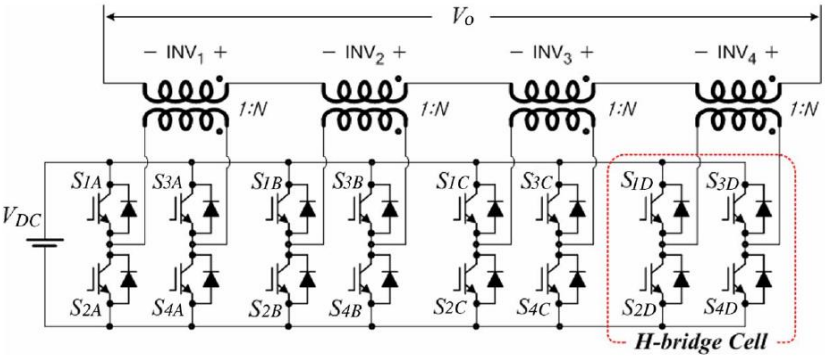
شکل ٢٤-١: ساختار یک اینورتر هیبرید نامتقارن تک فاز با فرکانس کلیدزنی مختلف

هم چنان که در شکل دیده می‌شود در سلول تمام پل بالایی از کلیدهای IGBT استفاده شده است در حالی که در سلول تمام پل پایینی کلیدهای GTO استفاده شده است. طبقه‌ای از اینورتر که در آن کلیدهای GTO به کار رفته است در فرکانس پایین کلیدزنی می‌شود بنابراین این طبقه در فرکانس اصلی کلیدزنی می‌شود و سلول بر پایه IGBT به منظور ایجاد شکل موج مطلوب در یک فرکانس بالا کلیدزنی می‌شود [B1]. طبقه‌ای از اینورتر که در فرکانس پایین کلیدزنی می‌شود ولتاژ بیشتری را ایجاد می‌کند و لذا خروجی این طبقه برای مدت طولانی‌تری از یک پریود ثابت نگه داشته می‌شود [۱۱].

۱-۵-۴-۳ اینورتر چند سطحی با ساختار چند ترانسفورماتوری[1]

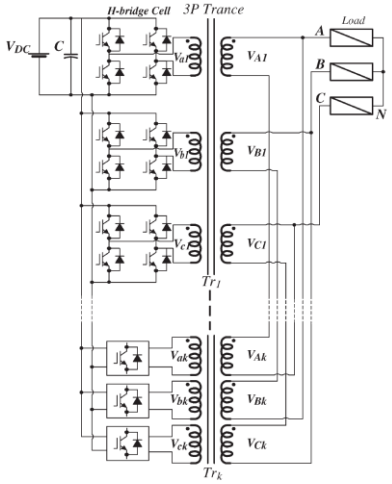
شکل ۱-۲۴ ساختار یک اینورتر چند ترانسفورماتوری را نشان می‌دهد. این اینورتر ساختاری مشابه با ساختار اینورتر چند سطحی سری دارد و از چندین سلول تمام پل (پل H) تشکیل شده است با این تفاوت که در اینورتر چند سطحی سری خروجی پل‌های H به طور مستقیم با یکدیگر سری شده‌اند در حالی که در ساختار فوق خروجی هر پل H به سیم پیچ اولیه ترانسفورماتور متصل شده است و سپس سیم پیچ‌های ثانویه ای ترانس با هم سری شده‌اند. بنابراین برای تمامی پل‌های H این ساختار تنها یک منبع dc مورد نیاز است [۴۷-۴۶]. با توجه به اینکه نسبت تبدیل ترانسفورماتور می‌تواند مقادیر مختلفی داشته باشد لذا امکان افزایش سطح ولتاژ خروجی با استفاده از سطوح ولتاژ پایین در سمت ورودی وجود دارد، هم چنین این اینورتر می‌تواند در دو حالت متقارن و نامتقارن از نقطه نظر جریان به کار برده شود. وجود چندین ترانسفورماتور فرکانس پایین با وجود ساختار محکم و قابل اطمینان آن تنها مشکل این ساختار است. ازآن جایی که ترانسفورماتور سه‌فاز در مقایسه با سه ترانس تک فاز ارزان‌تر بوده و فضای کمتری را اشغال می‌کند، در حالت سه فاز این ساختار از ترانسفورماتور سه فاز استفاده می‌شود. شکل ۱-۲۵ ساختار اینورتر سه فاز چندترانسفورماتوری را نشان می‌دهد[۴۸].

[1] Multiple-transformer

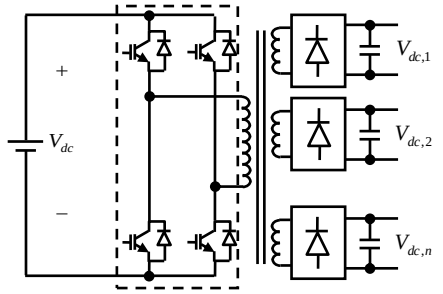


شکل ۲۵-۱: ساختار پل H سری شده توسط چندین ترانسفورماتور ایزوله

یکی از روش‌های تولید منابع ولتاژ dc ایزوله برای اینورترهای چند سطحی سری استفاده از ترانسفورماتور فرکانس بالا می‌باشد. به طور کلی ترانس‌های فرکانس بالا در مقایسه با ترانسفورماتورهای فرکانس پایین دارای وزن، حجم و هزینه کمتری می‌باشند. یک نمونه از ترانسفورماتور فرکانس بالا برای تولید منابع ولتاژ مورد نیاز اینورترهای چند سطحی سری در شکل ۱-۲۶ نشان داده شده است. هم چنان که در این شکل دیده می‌شود در این ساختار تنها یک منبع ولتاژ dc استفاده شده است سپس خروجی اینورتر به ترانسفورماتور فرکانس بالا متصل شده است. این ترانس دارای یک سیم پیچ اولیه و چندین سیم پیچ ثانویه به منظور تولید ولتاژ ac با دامنه‌های مختلف می‌باشد. هر یک از خروجی‌های ترانسفورماتور فرکانس بالا به یک یکسوساز اعمال می‌شود تا ولتاژهای ac خروجی تبدیل به ولتاژهای dc شوند. بدین ترتیب، منابع dc ایزوله شده به دست می‌آیند[۴۹].



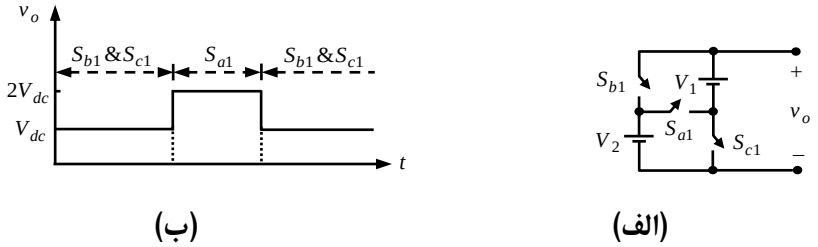
شکل ۲۶-۱: ساختار پل H سری شده سه فاز توسط ترانسفورماتور سه فاز ایزوله



شکل ۲۷-۱: ترانسفورماتور فرکانس بالا برای تولید منابع ولتاژ مورد نیاز اینورترهای چند سطحی سری

۱-۵-۴-۴ ساختار ارائه شده در مرجع [۵۰]

شکل ۱-۲۷-الف ساختار پایه ارائه شده در مرجع [۵۰] را برای اینورترهای چند سطحی نشان می‌دهد. این ساختار شامل دو عدد منبع ولتاژ dc و سه عدد کلید یک طرفه ولتاژ S_{a1}، S_{b1} و S_{c1} می‌باشد. با روشن کردن کلید S_{a1}، منابع ولتاژ V_1 و V_2 با هم سری شده و در سمت خروجی ولتاژ V_1+V_2 تولید می‌شود. به همین ترتیب با روشن کردن کلیدهای S_{b1} و S_{c1} منابع ولتاژ V_1 و V_2 با هم موازی شده و می‌توان در خروجی ولتاژ $v_o=V_1=V_2$ را تولید کرد. واضح است که کلید S_{a1} و کلیدهای S_{b1} و S_{c1} به صورت مکمل هم عمل می‌کنند. چرا که در غیر این صورت باعث اتصال کوتاهی منابع ولتاژ dc می‌شود. به دلیل قابلیت موازی شدن منابع ولتاژ dc، باید اندازه منابع ولتاژ dc با هم برابر باشند. اندازه منابع ولتاژ V_1 و V_2 با هم مساوی و برابر با V_{dc} فرض می‌شوند. یک نمونه از شکل موج ولتاژ خروجی (v_o) ساختار پایه در شکل ۱-۲۷-ب نشان داده شده است.

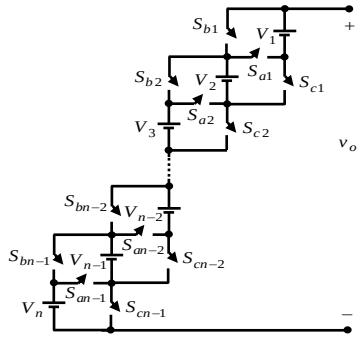


شکل ۲۸-۱: (الف) ساختار پایه ارائه شده در مرجع [B50]؛ (ب) یک نمونه از شکل موج ولتاژ خروجی ساختار پایه

شکل ۱-۲۸ یک ساختار گسترش یافته بر اساس ساختار پایه نشان داده شده در شکل ۱-۲۷-الف را نشان می‌دهد. در این ساختار n تعداد منابع ولتاژ dc می‌باشد. با توجه به ساختار پایه نشان داده شده در شکل ۱-۲۷-الف، حداقل مقدار ممکن برای n در ساختار گسترش یافته برابر با ۲ می‌باشد. در ساختار نشان داده شده برای واحد گسترش یافته به دلیل موازی شدن منابع ولتاژ dc باید شرط زیر رعایت شود:

$$V_j = V_{dc} \qquad for \quad j = 1, 2, \cdots, n \tag{۱-۳۰}$$

جدول ۱-۵، مقادیر مختلف ولتاژ خروجی (v_o) را به ازای حالت‌های مختلف کلیدها نشان می‌دهد.



شکل ۲۹-۱: ساختار گسترش یافته ارائه شده در مرجع [۵۰]

جدول ٤-۱: مقادیر مختلف v_o به ازای حالت‌های مختلف کلیدها در واحد گسترش یافته

v_o		V_{dc}	$2V_{dc}$	…	$(n-1)V_{dc}$	nV_{dc}
Switches states	$S_{a,1}$	0	1	…	1	1
	$S_{a,2}$	0	0	…	1	1
	⋮	⋮	⋮	…	⋮	⋮
	$S_{a,n-2}$	0	0	…	1	1
	$S_{a,n-1}$	0	0	…	0	1
	$S_{b,1}$	1	0	…	0	0
	$S_{b,2}$	1	1	…	0	0
	⋮	⋮	⋮	…	⋮	⋮
	$S_{b,n-2}$	1	1	…	0	0
	$S_{b,n-1}$	1	1	…	1	0
	$S_{c,1}$	1	0	…	0	0
	$S_{c,2}$	1	1	…	0	0
	⋮	⋮	⋮	…	⋮	⋮
	$S_{c,n-2}$	1	1	…	0	0

	$S_{c,n-1}$	1	1	…	1	0

هم چنان که در جدول دیده می‌شود ساختار گسترش یافته توانایی تولید سطح ولتاژ صفر و سطوح ولتاژ منفی را در خروجی ندارد. تعداد سطوح ولتاژ خروجی (N_{level}) در ساختار گسترش یافته از رابطه زیر به دست می‌آید:

$$N_{level} = n \qquad (۱-۳۱)$$

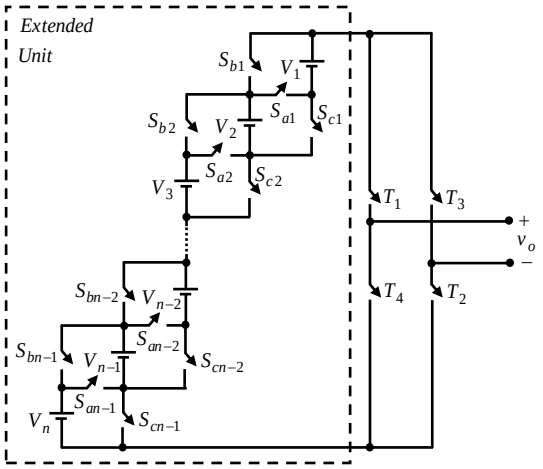
تعداد کلیدها (N_{switch})،تعداد منابع ولتاژ dc (N_{source}) و حداکثر ولتاژ قابل تولید به ترتیب از روابط زیر قابل محاسبه هستند:

$$N_{switch} = 3(n-1) \qquad for \quad n \geq 2 \qquad (۱-۳۲)$$

$$N_{source} = n \qquad for \quad n \geq 2 \qquad (۱-۳۳)$$

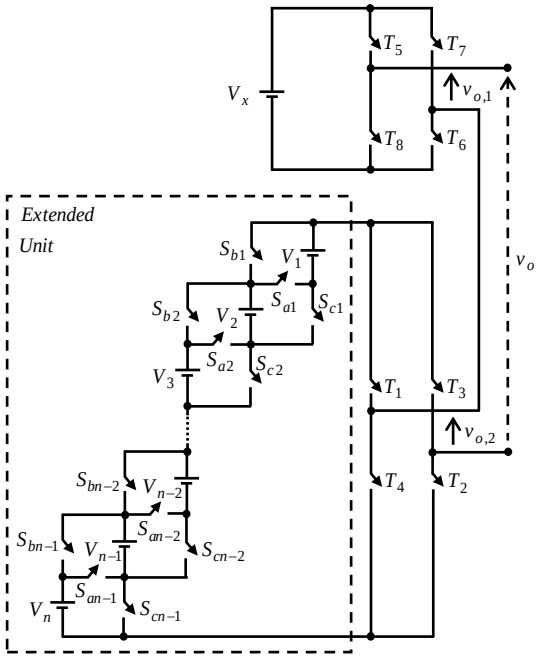
$$V_{o,\max} = nV_{dc} \qquad for \quad n \geq 2 \qquad (۱-۳۴)$$

به منظور تولید سطح ولتاژ صفر و سطوح ولتاژ منفی می‌توان از یک پل H در خروجی ساختار گسترش یافته مطابق شکل ۱-۲۹ استفاده کرد.



شکل ۳۰-۱: ساختار گسترش یافته ارائه شده در مرجع [۵۰] به همراه پل H

هم چنین به منظور دست‌یابی به تعداد سطوح ولتاژ بیش‌تر در خروجی می‌توان از ترکیب سری ساختار نشان داده شده در شکل ۱-۲۹ با یک پل H با منبع ولتاژ dc به اندازه V_x مطابق شکل ۱-۳۰ استفاده کرد.



شکل ۳۱-۱: اینورتر چند سطحی ارائه شده در مرجع [۵۰]

لازم به ذکر است که برای تولید سطوح ولتاژ $\pm(2V_{dc}-V_x)$، $\pm 2V_{dc}$، $\pm(2V_{dc}+V_x)$، ... و $\pm\left[(n-1)V_{dc}+V_x\right]$ بیش از یک ترکیب از حالت‌های روشن و خاموش کلیدها وجود دارد. برای این ساختار تعداد کلیدها و تعداد منابع ولتاژ dc به ترتیب از روابط زیر قابل محاسبه هستند:

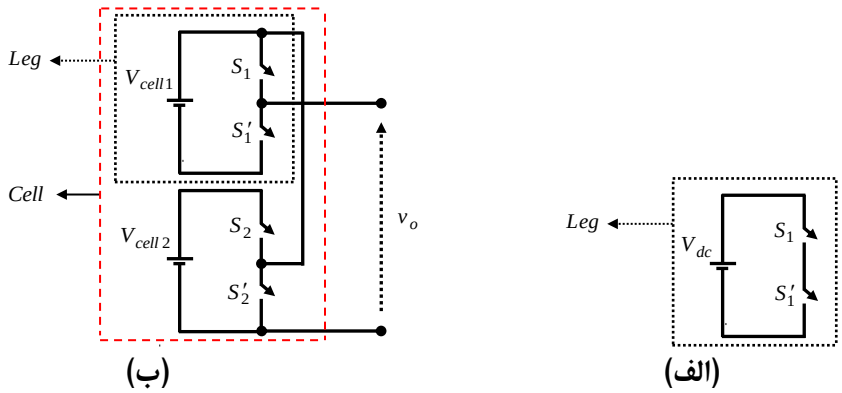
$$N_{switch}=3n+5 \qquad for \quad n\geq 2 \qquad (۱-۳۵)$$

$$N_{source}=n+1 \qquad for \quad n\geq 2 \qquad (۱-۳۶)$$

تعداد سطوح ولتاژ خروجی در اینورتر چند سطحی نشان داده شده در شکل ۱-۲۷ منحصراً به الگوریتم تعیین اندازه منابع ولتاژ dc وابسته است. بنابراین بدون داشتن یک الگوریتم برای تعیین اندازه منابع ولتاژ dc نمی‌توان یک رابطه کلی برای N_{step} تعریف کرد.

۱-۵-۴-۵ ساختار ارائه شده در مرجع [۵۱]

در مرجع [۵۱] ساختار جدیدی برای اینورترهای سه فاز ارائه شده است که برای کاربرد در درایو ماشین‌های الکتریکی مناسب است. بر خلاف اینورتر پل H سری شده، این ساختار بر اساس اتصال سری سلول‌های قدرت که هر سلول شامل دو پایه سری است تشکیل شده است. شکل ۱-۳۱-الف پایه‌ی اصلی اینورتر ارائه شده در مرجع [۵۱] را برای اینورترهای چند سطحی نشان می‌دهد. پایه‌ی اصلی اینورتر شامل یک منبع ولتاژ dc به اندازه V_{dc} و دو کلید الکترونیک قدرت یک طرفه ولتاژ S_1 و S_1' است. واضح است که هر دو کلید S_1 و S_1' نمی‌توانند به طور هم زمان روشن باشند چرا که منبع ولتاژ V_{dc} را اتصال کوتاه می‌نمایند. شکل ۱-۳۱-ب ساختار سلول ارائه شده در مرجع [۵۱] را نشان می‌دهد. در این ساختار از دو پایه اینورتر که به صورت سری به هم وصل شده‌اند استفاده شده است.



شکل ۳۲-۱: (الف) ساختار پایه ارائه شده در مرجع [۵۱] برای اینورترهای چند سطحی؛ (ب) سلول قدرت ارائه شده در مرجع [۵۱] با ولتاژ خروجی چهار سطحی

ولتاژ خروجی v_o در سلول قدرت نشان داده شده در شکل ۱-۳۱-ب قادر به تولید چهار سطح ولتاژ $+V_{cell2}$ ، $-V_{cell1}$ ، $V_{cell2}-V_{cell1}$ و صفر است. جدول ۱-۶ ولتاژهای خروجی سلول نشان داده شده در شکل ۱-۳۱-ب را به ازای حالت‌های مختلف کلیدها نشان می‌دهد. لازم به ذکر است که در صورت برابر بودن اندازه منابع ولتاژ V_{cell1} و V_{cell2} با روشن کردن کلیدهای S_1' و S_2 سطح ولتاژ صفر تولید خواهد شد که در این حالت سلول قدرت به جای تولید چهار سطح ولتاژ مختلف فقط سه سطح ولتاژ تولید خواهد کرد.

جدول ۵-۱: مقادیر مختلف v_o برای حالت‌های مختلف کلیدها

حالت	حالات کلیدها				v_o
	S_1	S_1'	S_2	S_2'	
1	1	0	1	0	V_{cell2}
2	0	1	0	1	$-V_{cell1}$
3	0	1	1	0	$V_{cell2}-V_{cell1}$
4	1	0	0	1	0

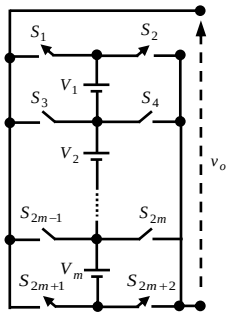
۱-۵-۴-۶ ساختار ارائه شده در مرجع [٤]

شکل ۱-۳۲-الف ساختار پایه ارائه شده در مرجع [۴] را برای اینورترهای چند سطحی نشان می‌دهد. این مدار از یک منبع ولتاژ dc با اندازه V_{dc} و چهار عدد کلید الکترونیک قدرت یک طرفه ولتاژ تشکیل شده است. این ساختار می‌تواند سه سطح ولتاژ $+V_{dc}$ ، 0 و $-V_{dc}$ را در خروجی تولید کند. شکل ۱-۳۲-ب یک نمونه از ولتاژ خروجی ساختار پایه را نشان می‌دهد.

(ب) (الف)

شکل ۳۳-۱: (الف) ساختار پایه ارائه شده در مرجع [٤]؛ (ب) یک نمونه از شکل موج ولتاژ خروجی ساختار پایه

با ترکیب m واحد از ساختار پایه، ساختار گسترش یافته مطابق شکل ۱-۳۳ به دست می‌آید. ساختار گسترش یافته شامل m عدد منبع ولتاژ dc، چهار عدد کلید یک طرفه ولتاژ و $2(m-1)$ عدد کلید دو طرفه است. کلیدهای دو طرفه به کار رفته در این ساختار، باید توانایی بلوکه کردن ولتاژ و هدایت جریان را در دو جهت داشته باشند. لازم به ذکر است که کلیدهای S_1، S_2، S_{2m+1} و S_{2m+2} می‌توانند از نظر بلوکه کردن ولتاژ یک‌طرفه و بقیه کلیدها دو طرفه هستند. در ساختار گسترش یافته, دو کلید بین دو منبع ولتاژ dc مشترک می‌باشد.



شکل ٣٤-١: ساختار گسترش یافته ارائه شده در مرجع [٤] برای اینورترهای چند سطحی

جدول ۱-۷، مقادیر مختلف ولتاژ خروجی (v_o) را به ازای حالت‌های مختلف کلیدهای S_1 تا S_{2m+1} و S_2 تا S_{2m+2} نشان می‌دهد. همان‌طور که این جدول نشان می‌دهد به منظور جلوگیری از اتصال کوتاهی منابع ولتاژ در ساختار نشان داده شده در شکل ۱-۳۳, در هر لحظه تنها دو کلید، یکی از مجموعه کلیدهای سمت چپ (کلیدهای S_1 تا S_{2m+1}) و دیگری از مجموعه کلیدهای سمت راست (کلیدهای S_2 تا S_{2m+2}) باید روشن شوند.

تعداد سطوح ولتاژ خروجی در ساختار گسترش یافته منحصراً به الگوریتم تعیین اندازه منابع ولتاژ dc وابسته است. بنابراین بدون داشتن یک الگوریتم برای تعیین اندازه منابع ولتاژ dc نمی‌توان یک رابطه کلی برای N_{level} تعریف کرد. تعداد کلیدها ،تعداد منابع ولتاژ dc و حداکثر ولتاژ قابل تولید به ترتیب از روابط زیر قابل محاسبه هستند:

$$N_{switch} = 2(m+1) \qquad (۱-۳۷)$$

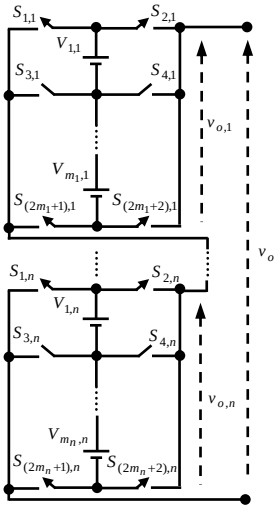
$$N_{source} = m \qquad (۱-۳۸)$$

$$V_{o,\max} = \sum_{j=1}^{m} V_j \qquad (۱-۳۹)$$

به منظور دست‌یابی به تعداد سطوح ولتاژ بیش‌تر در خروجی می‌توان از n عدد واحد گسترش یافته نشان داده شده در شکل ۱-۳۳، مطابق شکل ۱-۳۴ به صورت سری استفاده کرد. در این ساختار، واحدهای اول، دوم، ... و nام به ترتیب شامل m_1، m_2، ... و m_n عدد منبع ولتاژ dc با مقادیر متفاوت می‌باشند.

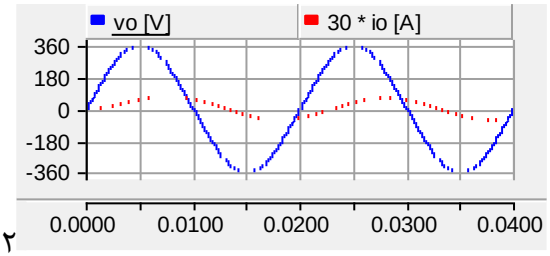
جدول ٦-١: حالت‌های مختلف کلیدها برای مقادیر مختلف v_o در ساختار گسترش یافته ارائه شده در مرجع [٤]

State	ON switches	v_o
1	$S_4\ S_1$	V_1
2	$S_2\ S_3$	$-V_1$
3	$S_6\ S_3$	V_2
4	$S_4\ S_5$	$-V_2$
⋮	⋮	⋮
$2m-1$	$S_{2m+2}\ S_{2m-1}$	V_m
$2m$	$S_{2m}\ S_{2m+1}$	$-V_m$
$2m+1$	$S_6\ S_1$	V_1+V_2
$2m+2$	$S_2\ S_5$	$-(V_1+V_2)$
⋮	⋮	⋮
$m(m+1)-1$	$S_{2m+2}\ S_1$	$+\sum_{j=1}^{m} V_j$
$m(m+1)$	$S_2\ S_{2m+1}$	$-\sum_{j=1}^{m} V_j$
$m(m+1)+1$	or (S_3,S_4) or ⋯ (S_{2m+1},S_{2m+2}) (S_1,S_2)	0



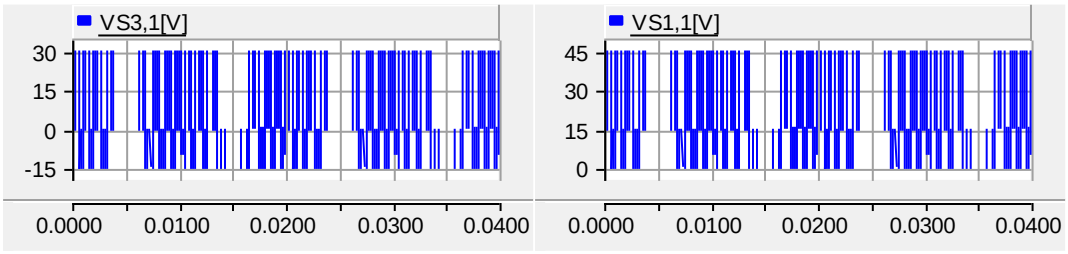
شکل ۳۵-۱: ساختار گسترش یافته ارائه شده در مرجع [٤] برای اینورترهای چند سطحی

شکل ۱-۳۵ شکل موج ولتاژ و جریان خروجی یک اینورتر ۴۹ سطحی بر پایه ساختار گسترش یافته ارائه شده در مرجع [۴] مطابق شکل ۱-۳۴ متشکل از دو واحد سری شده با دو منبع ولتاژ dc در هر طبقه را نشان می‌دهد. هم چنین شکل ۱-۳۶ شکل موج ولتاژ دو سر کلیدهای $S_{1,1}$ و $S_{3,1}$ را نشان می‌دهد. هم چنان که در این شکل دیده می‌شود دامنه ولتاژ مسدود شده بر روی کلید $S_{1,1}$ مقادیر مثبت و یا صفر دارد و هیچ مقدار ولتاژ منفی بر روی آن نیست اما مقادیر مثبت و منفی ولتاژ توسط کلید $S_{3,1}$ مسدود شده است لذا کلید $S_{1,1}$ از نوع یک‌طرفه ولتاژ و کلید $S_{3,1}$ از نوع دو طرفه ولتاژ است.



۲

شکل ۳۶-۱: نتایج شبیه‌سازی شکل موج ولتاژ و جریان خروجی اینورتر ۴۹ سطحی ارائه شده در مرجع [٤]

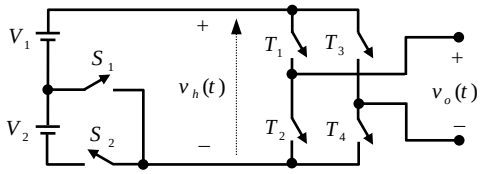


(ب) **(الف)**

شکل ۳۷-۱: شکل موج ولتاژ مسدود شده توسط کلیدها در اینورتر ۴۹ سطحی ارائه شده در مرجع [٤]؛ (الف) $S_{1,1}$ ؛ (ب) $S_{3,1}$

۱-۵-۴-۷ ساختار ارائه شده در مرجع [۵۲]

ساختار پایه ارائه شده در مرجع [۵۲] برای اینورترهای چند سطحی در شکل ۱-۳۷ نشان داده شده است. ساختار پایه ارائه شده شامل ۲ منبع ولتاژ dc، دو کلید الکترونیک قدرت یک طرفه ولتاژ و یک پل H است. با کنترل مناسب کلیدهای S_1 و S_2 می‌توان دو سطح ولتاژ V_1 و V_1+V_2 را در ورودی پل تولید کرد. با استفاده از پل H و کنترل مناسب کلیدهای آن می‌توان ولتاژهای 0، $\pm V_1$ و $\pm(V_1+V_2)$ را در خروجی اینورتر تولید کرد. بنابراین تعداد سطوح ولتاژ تولیدی در ساختار پایه پیشنهادی برابر ۵ می‌باشد. جدول ۱-۸ مقادیر مختلف ولتاژ خروجی اینورتر را به ازای حالت‌های مختلف از وضعیت روشن و خاموش کلیدها نشان می‌دهد. با توجه به جدول ۱-۸ مشاهده می‌شود که حداکثر دامنه ولتاژ قابل تولید در خروجی اینورتر برابر V_1+V_2 می‌باشد.



شکل ۳۸-۱: ساختار پایه ارائه شده در مرجع [۵۲] برای اینورترهای چند سطحی سری

جدول۷-۱: مقادیر مختلف ولتاژ خروجی برای ساختار پایه ارائه شده در مرجع [۵۲]

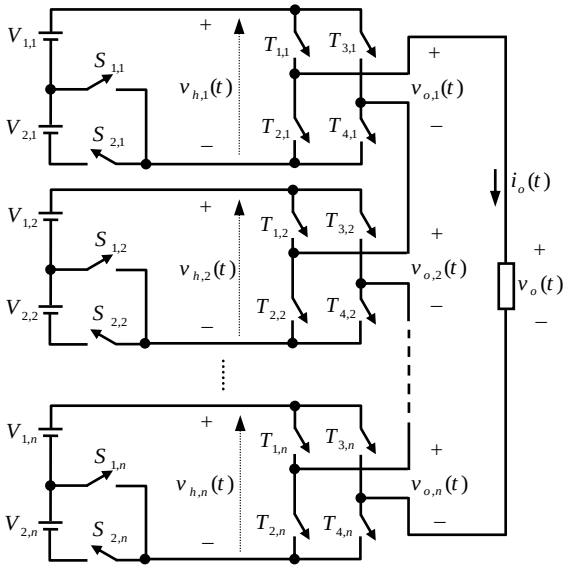
State	S_1	S_2	T_1	T_2	T_3	T_4	v_o
1	0						0
		0					
2	0						$+V_1$
3	1						$+(V_1+V_2)$
4	0						$-V_1$
5	1						$-(V_1+V_2)$

اینورتر چند سطحی سری نشان داده شده در شکل ۱-۳۸، مبتنی بر اتصال سری n اینورتر پایه ارائه شده در مرجع [۵۲] است. ولتاژ خروجی (v_o) اینورتر چند سطحی برابر مجموع ولتاژهای خروجی هر کدام از ساختارهای پایه است.

در این ساختار تعداد کلیدهای استفاده شده و تعداد منابع ولتاژ dc به ترتیب با روابط زیر قابل محاسبه هستند:

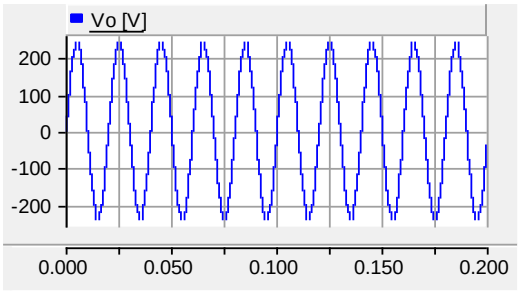
$$N_{switch} = 6n \qquad (۱-۴۰)$$

$$N_{source} = 2n \qquad (۱-۴۱)$$

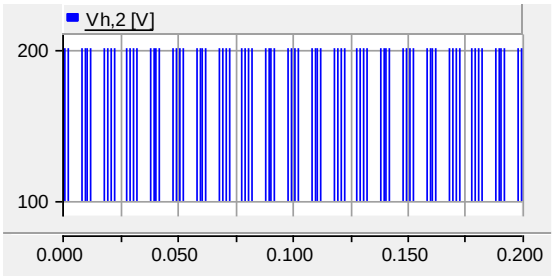


شکل ۳۹-۱: ساختار اینورتر چند سطحی سری ارائه شده در مرجع [۵۲]

شکل ۱-۳۹ شکل موج ولتاژ خروجی یک اینورتر ۲۵ سطحی مطابق شکل ۱-۳۸ که متشکل از دو طبقه و دو منبع ولتاژ dc در هر طبقه است را نشان می‌دهد. با توجه به اینکه از یک اینورتر تمام پل در انتهای هر طبقه استفاده شده است لذا انتظار می‌رود که هر طبقه تنها سطوح مثبت ولتاژ را تولید نماید. شکل ۱-۴۰ ولتاژ خروجی طبقه دوم قبل از پل H را نشان می‌دهد.



شکل ۴۰-۱: نتایج شبیه‌سازی شکل موج ولتاژ خروجی اینورتر ۲۵ سطحی ارائه شده در مرجع[۵۲]



شکل ۴۱-۱: شکل موج ولتاژ خروجی طبقه دوم اینورتر ۲۵ سطحی ارائه شده در مرجع [۵۲] قبل از اینورتر تمام پل

۱-۵-۴-۸ ساختار ارائه شده در مرجع [۵۳]

شکل ۱-۴۱-الف ساختار واحد ارائه شده در مرجع [۵۳] را نشان می‌دهد که از این پس آن را "ماجول چند سطحی (MLM)"[1] خواهیم نامید و برای پیاده سازی ساختار اینورتر چند سطحی ارائه شده در مرجع [۵۳] به کار گرفته شده است. این ساختار از m منبع ولتاژ dc و m کلید تشکیل شده است. هر MLM یک شکل موج ولتاژ پله‌ای با پلاریته مثبت تولید می‌کند. با اتصال آن به یک اینورتر تمام پل تک فاز که می‌توان در خروجی یک شکل موج پله‌ای مثبت و یا منفی تولید کرد. کلیدهای استفاده شده در اینورتر تمام پل یک طرفه ولتاژ هستند. ساختار MLM به همراه پل H واحد پایه گفته خواهد شد. یک نمونه از شکل موج‌های v_o' و v_o در شکل ۱-۴۱-ب نشان داده شده‌اند. لازم به ذکر است که فقط یک کلید در مدهای مختلف کاری هر MLM روشن است. هم‌چنین هر دو کلید T_1 و T_4 (یا T_2 و T_3) نمی‌توانند به طور هم زمان روشن باشند چرا که در این صورت منابع ولتاژ dc اتصال‌کوتاه می‌شوند. مقادیر ولتاژ خروجی MLM و اینورتر تمام پل مربوطه برای تمامی مدهای کاری کلیدهای S_1، S_2، ...، S_m، T_1، T_2، T_3 و T_4 به صورت خلاصه در جدول ۱-۹ آورده شده است. برای سادگی از افت ولتاژ حالت هدایت کلیدها صرف نظر شده است. همان‌طورکه دیده می‌شود $2m+1$ مقدار مختلف می‌توان برای v_o به دست آورد. همان‌طور که در جدول ۱-۹ نشان داده شده است جهت جلوگیری از دو طرفه شدن کلید S_1، برای تولید سطح صفر کلید S_2 نیز روشن می‌شود. در ساختار ارائه شده در شکل ۱-۴۱-الف کلیدهای S_1 و S_m از نوع یک طرفه ولتاژ ولی بقیه کلیدها از نوع دو طرفه ولتاژ هستند

با توجه به شکل ۱-۴۱-الف، تعداد سطوح ولتاژ خروجی، تعداد کلیدها و حداکثر دامنه ولتاژ خروجی قابل تولید به ترتیب برابر خواهند شد با:

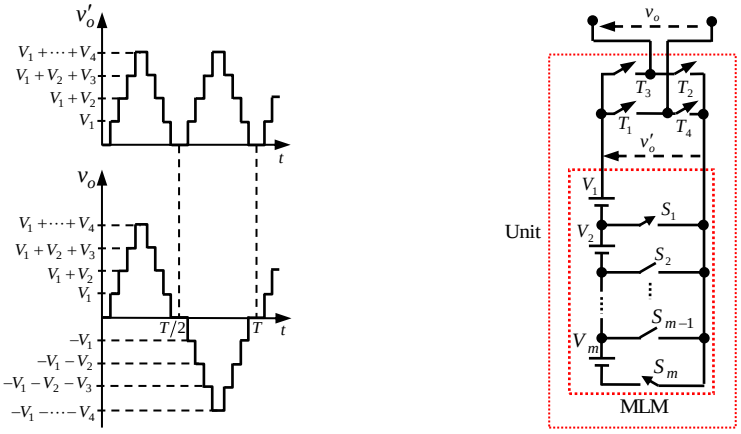
$$N_{level} = 2m+1 \qquad (۱-۴۲)$$

$$N_{switch} = m+4 \qquad (۱-۴۳)$$

$$V_{o,\max} = \sum_{i=1}^{m} V_i = m\,V_{dc} \qquad (۱-۴۴)$$

ساختار اینورتر چند سطحی ارائه شده در مرجع [۵۳] که بر مبنای ترکیب MLMها و اینورترهای تمام پل می‌باشد در شکل ۱-۴۲ نشان داده شده است.

[1] Multilevel module

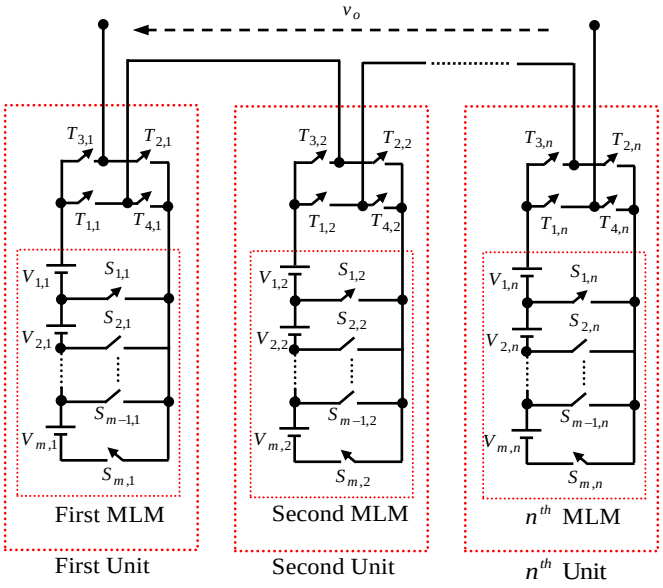


(ب) (الف)

شکل ٤٢-١: (الف) ساختار MLM ارائه شده در مرجع [۵۳]؛ (ب) یک نمونه از شکل موج‌های v_o' و v_o

جدول۸-۱: مقادیر مختلف v_o' و v_o برای حالت‌های مختلف از وضعیت روشن و خاموش کلیدها

		حالات کلیدها								ال ت



شکل ۴۳-۱: ساختار ارائه شده در مرجع [۵۳]

لازم به ذکر است که در حالت کلی تعداد منابع ولتاژ dc در واحد اول برابر m_1، در واحد دوم برابر m_2 و در واحد nام برابر m_n است. برای داشتن بیش‌ترین تعداد سطوح ولتاژ در خروجی به ازای تعداد قطعات معین، تعداد منابع ولتاژ dc در تمامی واحدها باید با هم برابر باشند. در ساختار ارائه شده در شکل ۱-۴۲ در همه ساختارهای MLM از m منبع ولتاژ dc استفاده شده است. سطوح مختلف ولتاژ خروجی را می‌توان به وسیله ترکیب حالت‌های مختلف از وضعیت روشن و خاموش کلیدهای MLMها تعیین نمود. واضح است که بدون در نظر گرفتن حالت صفر ولتاژ MLM، در هر مد کاری اینورتر تنها یک کلید در هر MLM روشن می‌شود. اگر مقادیر مناسبی برای منابع ولتاژ dc انتخاب گردند ولتاژ خروجی اینورتر بین $-\sum_{i=1}^{m}\sum_{j=1}^{n}V_{i,j}$ و $\sum_{i=1}^{m}\sum_{j=1}^{n}V_{i,j}$ به دست می‌آید.

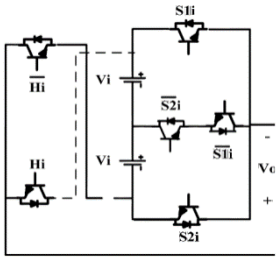
۹-۴-۵-۱ ساختار ارائه شده در مرجع [۵۴]

شکل ۱-۴۳ ساختار واحد ارائه شده در مرجع [۵۴] را نشان می‌دهد. این ساختار از اتصال دو منبع ولتاژ dc با مقادیر یکسان و شش کلید یک‌طرفه ولتاژ تشکیل شده است. جدول ۱-۱۰، مقادیر مختلف ولتاژ خروجی (V_o) را به ازای حالت‌های مختلف کلیدها نشان می‌دهد. ساختار اینورتر چند سطحی ارائه شده در مرجع [۵۴] در شکل ۱-۴۴ نشان داده شده است. این ساختار از اتصال سری چندین واحد پایه تشکیل شده است و به تعداد $(2n)$ منبع ولتاژ dc و $(6n)$ کلید الکترونیک قدرت دارد که توانایی تولید تمامی سطوح مثبت و منفی ولتاژ را دارد. در تمامی زمان‌های عمل‌کرد اینورتر جفت کلیدهای $(S1i, \bar{S}1i)$، $(S2i, \bar{S}2i)$ و $(H1i, \bar{H}1i)$ به صورت متمم هم عمل می‌کنند. از مزایای این ساختار قابلیت امکان استفاده از سلول‌های خورشیدی به عنوان منابع ولتاژ مورد نیاز در این ساختار است. در سلول‌های خورشیدی، مقادیر منابع ولتاژ dc متفاوت خواهد بود. به منظور تولید تمامی سطوح ولتاژ با پله‌های ولتاژ یکسان باید ولتاژ سلول‌های مختلف یکسان باشند و یا از یک چاپر dc-dc در خروجی سلول‌ها استفاده شود. در اینورتر چند سطحی ارائه شده در مرجع [۵۴] به منظور تولید تمامی سطوح ولتاژ با پله‌های ولتاژ یکسان باید منابع ولتاژ dc موجود در هر واحد مشابه باشند اما منابع ولتاژ dc موجود در واحدهای مختلف

می‌توانند متفاوت از یکدیگر در نظر گرفته شوند که لذا امکان استفاده از سیستم‌های فتوولتائیک را فراهم می‌سازد. لازم به ذکر است که این اینورتر می‌تواند در دو حالت متقارن و نامتقارن تمامی سطوح ولتاژ dc را تولید نماید. با توجه به شکل ۱-۴۴، تعداد سطوح ولتاژ خروجی و حداکثر دامنه ولتاژ خروجی قابل تولید به ترتیب برابر خواهند شد با:

$$N_{level} = 2\frac{V_{o,\max}}{V_1} + 1 \qquad (۱-۴۵)$$

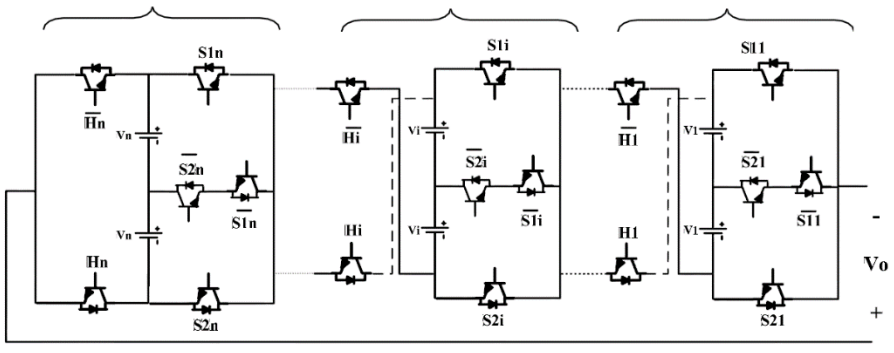
$$V_{o,\max} = \sum_{i=1}^{n} V_i \qquad (۱-۴۶)$$



شکل ٤٤-۱: ساختار پایه ارائه شده در مرجع [٥٤] برای اینورترهای چند سطحی سری

جدول ۹-۱: مقادیر مختلف ولتاژ خروجی برای ساختار پایه ارائه شده در مرجع [٥٤]

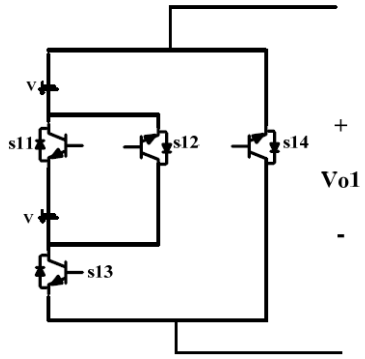
$S1i$	$\bar{S}1i$	$S2i$	$\bar{S}2i$	Hi	$\bar{H}i$	v_o
1	0	0	1	1	0	0
0	1	1	0	0	1	
0	1	0	1	1	0	$+V_i$
0	1	1	0	1	0	$+2V_i$
0	1	0	1	0	1	$-V_i$
1	0	0	1	0	1	$-2V_i$



شکل ٤٥-۱: ساختار اینورتر چند سطحی سری ارائه شده در مرجع [٥٤]

۱۰-٤-٥-۱ ساختار ارائه شده در مرجع [۵۵]

ساختار پایه اینورتر چند سطحی سری ارائه شده در مرجع [۵۵] در شکل ۱-۴۵ نشان داده شده است. هم چنان که در این شکل دیده می‌شود ساختار پایه شامل دو منبع ولتاژ dc و چهار کلید یک‌طرفه ولتاژ است. از مزایای این ساختار در مقایسه با اینورتر چند سطحی پل H با تعداد منابع ولتاژ dc یکسان می‌توان به تعداد کمتر کلیدهای الکترونیک قدرت مورد نیاز اشاره کرد. به بیان بهتر برای هر منبع ولتاژ dc در ساختار ارائه شده تنها دو کلید الکترونیک قدرت اختصاص داده شده است. هر واحد پایه قابلیت تولید سه سطح ولتاژ 0، $+V$ و $+2V$ را دارد. باید توجه شود که هر واحد پایه به همراه یک پل H توانایی تولید پنج سطح (دو سطح مثبت، دو سطح منفی و یک سطح صفر) را دارد. لذا ساختار ارائه شده در حالی که بیش از سه منبع ولتاژ dc (دو منبع متعلق به واحد پایه و یک منبع ولتاژ dc مستقل) داشته باشد در مقایسه با اینورتر چند سطحی سری پل H تعداد سطوح بیشتری را با استفاده از تعداد کلیدهای کمتر تولید می‌نماید. جدول کلیدزنی واحد پایه متقارن در جدول ۱-۱۱ نشان داده شده است. به منظور جلوگیری از اتصال کوتاه شدن منابع ولتاژdc در ساختار پایه در تمامی زمان‌های عمل‌کرد اینورتر جفت کلیدهای $(S11,S12)$ و $(S13,S14)$ به صورت مکمل هم روشن می‌شوند.

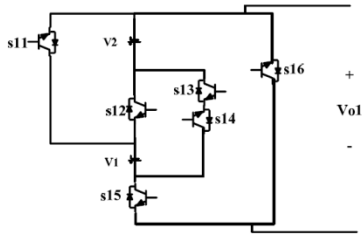


شکل ٤٦-۱: ساختار پایه متقارن برای اینورترهای چند سطحی سری ارائه شده در مرجع [۵۵]

حدول ۱۰-۱: مقادیر مختلف ولتاژ خروجی برای ساختار پایه متقارن ارائه شده در مرجع [۵۵]

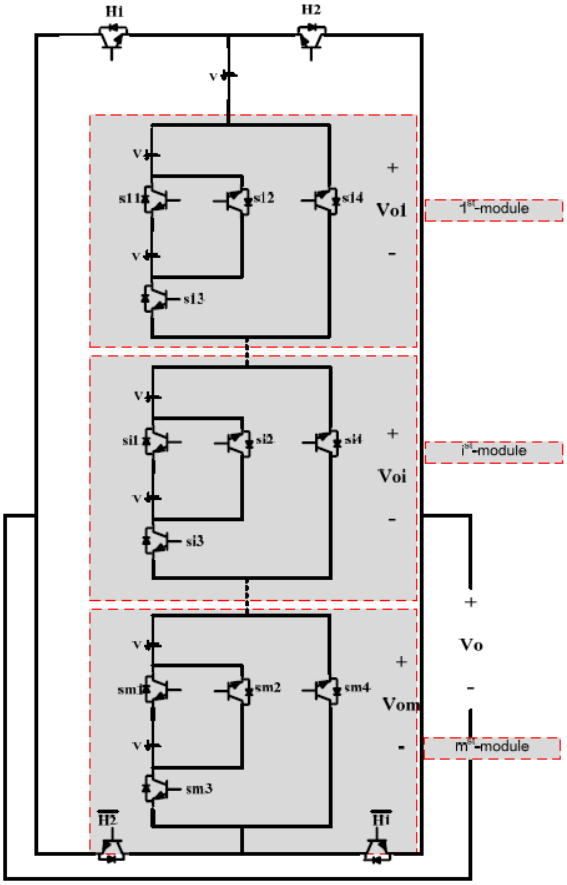
S11	S12	S13	S14	v_o
0	۱	0	۱	0
0	۱	۱	0	$+V$
۱	0	۱	0	$+2V$

شکل ۱-۴۶ ساختار پایه نامتقارن ارائه شده در مرجع [۵۵] را نشان می‌دهد. این ساختار با اضافه کردن یک کلید یک‌طرفه ولتاژ در سمت راست ساختار متقارن و تغییر کلید یک‌طرفه ولتاژ میانی با یک کلید دو طرفه ولتاژ حاصل می‌شود. در این ساختار به منظور جلوگیری از روشن شدن دیود مربوط به کلید $S14$ در زمان روشن بودن کلید $S11$، کلید $S13$ در نظر گرفته شده است که هم چنین از اتصال کوتاه شدن منابع ولتاژ dc V_{11} و V_{21} جلوگیری می‌کند. به منظور جلوگیری از اتصال کوتاه شدن منابع ولتاژ dc در ساختار پایه جفت کلیدهای $(S11,S13)$، $(S12,S14)$ و $(S15,S16)$ به صورت مکمل هم روشن می‌شوند. علاوه بر این جفت کلید $(S11,S12)$ نیز نباید به طور همزمان روشن شوند.



شکل ٤٧-١: ساختار پایه نامتقارن برای اینورترهای چند سطحی سری ارائه شده در مرجع [٥٥]

با اتصال سری چندین ساختار پایه متقارن نشان داده شده در شکل ۱-۴۵، ساختار اینورتر چند سطحی سری توسعه یافته حاصل می‌شود. ساختار اینورتر توسعه یافته در شکل ۱-۴۷ نشان داده شده است. در این ساختار دامنه منابع ولتاژ dc کاملا یکسان بوده و یک منبع ولتاژ dc تنها علاوه بر واحدهای پایه به منظور افزایش تعداد سطوح ولتاژ خروجی بدون نیاز به اضافه کردن کلیدهای بیشتر در نظر گرفته شده است.

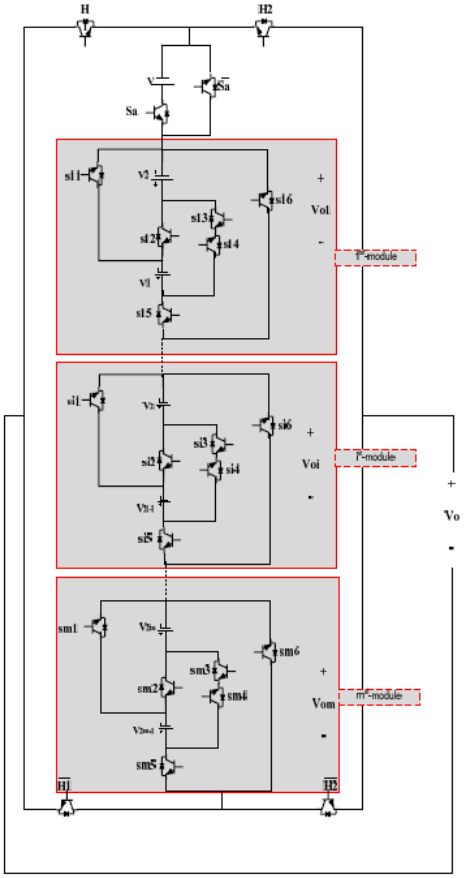


شکل ٤٨-١: ساختار اینورترهای چند سطحی سری متقارن توسعه یافته ارائه شده در مرجع [٥٥]

از معایب این ساختار این است که تعداد واحدهای پایه سری شده باید عددی فرد باشد. هم چنین در این ساختار از اینورتر پل H به منظور تولید تمامی سطوح زوج و فرد استفاده شده است. از دیگر معایب این ساختار می‌توان به تعداد زیاد منابع ولتاژ dc استفاده شده اشاره کرد. لازم به ذکر است که منابع انرژی تجدیدپذیر مانند پانل‌های خورشید، سلول‌های سوختی و ادوات ذخیره‌کننده انرژی مانند خازن‌ها و باطری ها می‌توانند در این ساختار به کار روند. هم چنین در صورت وجود

منابع ولتاژ ac منابع ولتاژ dc ایزوله می‌توانند توسط ترانسفورماتورها و یا یکسوکننده‌ها فراهم شوند. به منظور افزایش تعداد سطوح ولتاژ خروجی با تعدا منابع ولتاژ dc یکسان با ساختار متقارن، ساختار چند سطحی سری نامتقارن توسعه یافته در مرجع [۵۵] ارائه شده است. این ساختار در شکل ۱-۴۸ نشان داده شده است به منظور افزایش ولتاژ خروجی یک منبع ولتاژ dc به همراه دو کلید یک‌طرفه ولتاژ به ساختار نامتقارن اضافه شده است. هدف از اضافه کردن این کلیدها حذف و یا در مدار قراردادن منبع ولتاژ dc است تا سطوح ولتاژ مطلوب ایجاد شود. هم چنین در واحد i ام به منظور ایجاد مسیری برای تولید سطح ولتاژ V_{2i-1} در خروجی کلید $Si1$ در نظر گرفته شده است که این امرسبب اضافه شدن کلیدهای $Si3$ و $Si4$ در این واحد پایه برای جلوگیری از اتصال کوتاه شدن منابع ولتاژ dc در نظر گرفته شده است. با کلیدزنی مناسب و انتخاب درست منابع ولتاژ dc این اینورتر توانایی تولید سطوح ولتاژ از $-\left(\sum_{i=1}^{n-1}V_{oi}+V\right)$ تا $+\left(\sum_{i=1}^{n-1}V_{oi}+V\right)$ را خواهد داشت که در آن V_{oi} با رابطه زیر بیان می‌شود:

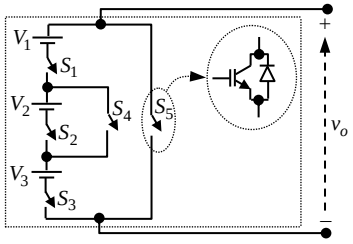
$$V_{oi\,(\max)}=V_{2i-1}+V_{2i} \qquad (۱-۴۷)$$



شکل ۴۹-۱: ساختار اینورترهای چند سطحی سری نامتقارن توسعه یافته ارائه شده در مرجع [۵۵]

۱۱-۴-۵-۱ ساختار ارائه شده در مرجع [۵۶]

شکل ۱–۴۹ واحد پایه ارائه شده در مرجع [۵۶] را نشان می‌دهد. همانطور که در شکل ۱–۴۹ نشان داده شده است ساختار پایه از پنج کلید الکترونیک قدرت یک طرفه ولتاژ و سه منبع ولتاژ dc تشکیل شده است. منابع ولتاژ dc ایزوله شده که توسط منابع انرژی تجدید پذیر مانند سلول‌های سوختی و فتوولتائیک تامین می‌شوند، در ساختار اینورتر چند سطحی ارائه شده، استفاده شده است. در این ساختار، روشن شدن هم زمان کلیدهای (S_2, S_4)، (S_1, S_3, S_4, S_5) و (S_1, S_2, S_3, S_5) منجر به اتصال کوتاه شدن منابع ولتاژ می‌شود، بنابراین باید از روشن کردن هم زمان این کلیدها خودداری کرد. جدول ۳–۱ ولتاژ خروجی واحد پایه را به ازای حالت‌های مختلف کلیدزنی نشان می‌دهد. هم چنان که در این جدول مشاهده می‌شود، واحد پایه قادر به تولید ۳ سطح مختلف ولتاژ 0، V_1+V_3 و $(V_1+V_2+V_3)$ در خروجی است. توجه به این نکته ضروری است که واحد پایه ارائه شده تنها قادر به تولید سطوح مثبت ولتاژ در خروجی است.



شکل ۵۰-۱: واحد پایه پیشنهادی

جدول ۱۱-۱: ولتاژ خروجی واحد پایه پیشنهادی به ازای حالت‌های مختلف کلیدزنی

حالت	وضعیت کلیدها					v_o
	S_1	S_2	S_3	S_4	S_5	
1	off	off	Off	off	on	0
2	on	off	On	on	off	V_1+V_3
3	on	on	On	off	off	$V_1+V_2+V_3$

به منظور افزایش تعداد سطوح ولتاژ خروجی امکان اتصال سری n تعداد از مبدل واحد پایه پیشنهادی وجود دارد [۴۳]. ار آن جایی که این اینورتر قادر به تولید تمامی سطوح ولتاژ به استثنای سطح ولتاژ V_1 در خروجی است ضرورت استفاده از یک منبع ولتاژ dc اضافه با دامنه V_1 و دو کلید یک‌طرفه ولتاژ که به صورت سری به واحد پایه متصل شده است، وجود دارد. ساختار اینورتر چند سطحی سری تک فاز که قادر به تولید تمامی سطوح ولتاژ در خروجی است در شکل ۱–۵۰–الف نشان داده شده است. در این اینورتر، منبع ولتاژ dc با دامنه V_1 و کلیدهای قدرت S_1' و S_2' به منظور تولید کم‌ترین سطح ولتاژ مورد استفاده قرار گرفته‌اند. دامنه منبع ولتاژ برابر $V_1 = V_{dc}$ در نظر گرفته شده است (مساوی کم‌ترین سطح ولتاژ).

سطح ولتاژ خروجی هر واحد پایه با $v_{o,1}$، $v_{o,2}$، ...، $v_{o,n}$ و v'_o نشان داده می‌شود. ولتاژ خروجی اینورتر چند سطحی پیشنهادی (v_o) برابر است با:

$$v_o(t) = v_{o,1}(t) + v_{o,2}(t) + \cdots + v_{o,n}(t) + v'_o(t) \qquad (۱-۴۸)$$

جدول ۱-۱۳ ولتاژ خروجی تولید شده توسط اینورتر پیشنهادی را به ازای حالت‌های مختلف کلیدزنی نشان می‌دهد. هم چنان که پیش‌تر بیان شد و از جدول ۱-۱۳ مشاهده می‌شود اینورتر نشان داده شده در شکل ۱-۵۰-الف تنها قادر به تولید سطوح مثبت ولتاژ در خروجی است. بنابراین، به منظور تولید سطوح مثبت و منفی ولتاژ در خروجی یک مبدل پل H با چهار کلید T_1 تا T_4 به ساختار پیشنهادی اضافه می‌شود. این ساختار، اینورتر چند سطحی سری توسعه یافته نامیده می‌شود و در شکل ۱-۵۰-ب نشان داده شده است [۵۶]. اگر کلیدهای T_1 و T_4 روشن شوند ولتاژ بار (v_L) برابر v_o خواهد بود در حالی که اگر کلیدهای T_2 و T_3 روشن شوند ولتاژ بار برابر $-v_o$ خواهد بود.

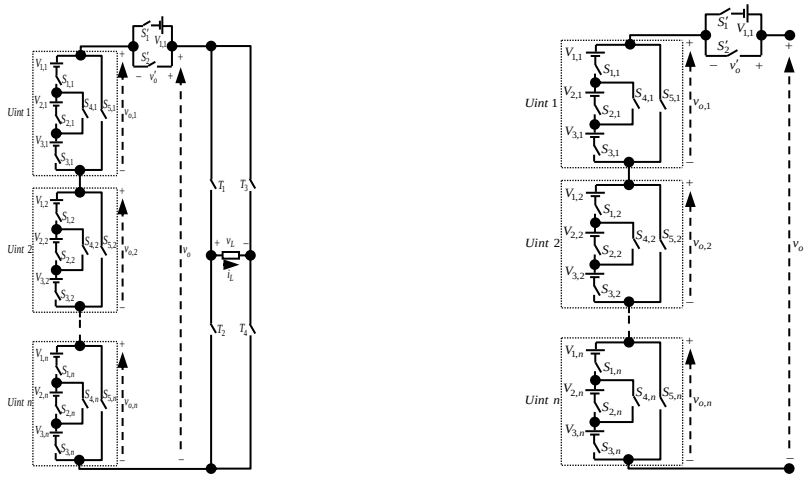
برای اینورتر چند سطحی پیشنهادی تعداد کلیدها (N_{switch}) و تعداد منابع ولتاژ dc (N_{source}) به ترتیب از روابط زیر محاسبه می‌شوند:

$$N_{switch} = 5n + 6 \qquad (۱-۴۹)$$

$$N_{source} = 3n + 1 \qquad (۱-۵۰)$$

در روابط فوق n تعداد واحدهای پایه سری شده است.

از آن جایی که کلیدهای یک‌طرفه ولتاژ در ساختار اینورتر چند سطحی پیشنهادی استفاده شده است لذا تعداد کلیدها برابر تعداد مدارات راه‌انداز، دیودهای قدرت و IGBTها می‌باشد.



(ب) (الف)

شکل ۱-۵۱: اینورتر چند سطحی ارائه شده در مرجع [۵۶]؛ (الف) ساختار پیشنهادی، (ب) ساختار پیشنهادی توسعه یافته

جدول ۱-۱۲: ولتاژ خروجی اینورتر چند سطحی سری پیشنهادی (v_o)به ازای حالت‌های مختلف کلیدزنی

v_o																		
0	ff	n	ff	ff	ff	ff	n	ff	ff	ff	ff	n		ff	ff	ff	ff	n

V_1	n	ff	ff	ff	ff	ff	n	ff	ff	ff	ff	n		ff	ff	ff	ff	n
$V_{1,1}+V_{3,1}$	ff	n	n	ff	n	n	ff	ff	ff	ff	ff	n		ff	ff	ff	ff	n
$V_{1,1}+V_{2,1}+V_{3,1}$	ff	n	n	n	n	ff	ff	ff	ff	ff	ff	n		ff	ff	ff	ff	n
$V_{1,2}+V_{3,2}$	ff	n	ff	ff	ff	ff	n	n	ff	n	n	ff		ff	ff	ff	ff	n
$V_{1,2}+V_{2,2}+V_{3,2}$	ff	n	ff	ff	ff	ff	n	n	n	n	ff	ff		ff	ff	ff	ff	n
$V_{1,1}+V_{1,2}+V_{1,3}+V_{2,1}+V_{2,3}$	ff	n	n	n	n	ff	ff	n	ff	n	n	ff		ff	ff	ff	ff	n
$V_{1,1}+V_{1,2}+V_{1,3}+V_{2,1}+V_{2,2}+V_{2,3}$	ff	n	n	n	n	ff	ff	n	n	n	ff	ff		ff	ff	ff	ff	n
⋮																		
$\sum_{j=1}^{n}(V_{1,j}+V_{2,j}+V_{3,j})$	ff	n	n	n	n	ff	ff	n	n	n	ff	ff		ff	ff	ff	ff	n
$V_{1,1}+\sum_{j=1}^{n}(V_{1,j}+V_{2,j}+V_{3,j})$	n	ff	n	n	n	ff	ff	n	n	n	ff	ff		ff	ff	ff	ff	n

از دیگر پارامترهای مهم جهت ارزیابی هزینه تمام شده یک اینورتر، حداکثر ولتاژ مسدود شده توسط کلیدها است. هر چه حداکثر ولتاژ مسدود شده توسط کلیدها برای یک اینورتر کم‌تر باشد قیمت تمام شده آن کم‌تر خواهد بود. علاوه بر این، این مقدار تاثیر مهمی در انتخاب ادوات نیمه هادی مورد استفاده دارد چرا که رنج ولتاژ کلیدهای قدرت بر اساس مقدار این شاخص تعیین می‌شود. لذا به منظور محاسبه این شاخص، لازم است حداکثر ولتاژ مسدود شده توسط هر کدام از کلیدها محاسبه شود. با توجه به شکل ۱-۵۰-الف حداکثر ولتاژ مسدود توسط هر یک از کلیدهای برابر است با:

$$V_{S'1} = V_{S'2} = V_{1,1} \quad (۱-۵۱)$$

$$V_{S1,j} = V_{S3,j} = \frac{V_{1,j}+V_{2,j}+V_{3,j}}{2} \quad (۱-۵۲)$$

$$V_{S4,j} = V_{S2,j} = V_{2,j} \quad (۱-۵۳)$$

$$V_{S5,j} = V_{1,j}+V_{2,j}+V_{3,j} \quad (۱-۵۴)$$

$$V_{T1} = V_{T2} = V_{T3} = V_{T4} = V_{o,\max} \quad (۱-۵۵)$$

بنابراین حداکثر اندازه ولتاژ مسدود شده توسط کلیدهای اینورتر چند سطحی پیشنهادی (V_{block}) به صورت زیر خواهد بود:

$$V_{block} = \sum_{j=1}^{n} V_{block,j} + V'_{block} + V_{block,H} \quad (۱-۵۶)$$

در رابطه فوق، $V_{block,j}$، V'_{block} و $V_{block,H}$ به ترتیب ولتاژ مسدود شده توسط j^{th} واحد پایه، منبع ولتاژ dc اضافه شده و مبدل پل H می‌باشد.

در اینورتر توسعه یافته، تعداد و حداکثر دامنه ولتاژ قابل تولید شده در خروجی بر پایه دامنه منابع ولتاژ dc مشخص می‌شوند. در ادامه، به منظور تولید تمامی سطوح ولتاژ در خروجی اینورتر توسعه یافته، چهار الگوریتم مختلف برای تعیین دامنه منابع ولتاژ dc پیشنهاد شده است.

۱-۱۱-۴-۵-۱الگوریتم پیشنهادی اول

در الگوریتم اول دامنه منابع ولتاژ dc در شکل ۱-۲-ب یکسان در نظر گرفته می‌شوند. این مقادیر با معادلات زیر تعیین می‌شوند:

$$V_{1,j} = V_{2,j} = V_{3,j} = V_{dc} \qquad for \quad j = 1, 2, \cdots, n \quad (۱-۵۷)$$

در این الگوریتم، حداکثر تعداد سطوح ولتاژ خروجی (N_{level}) برابر است با:

$$N_{level} = 6n + 3 \quad (۱-۵۸)$$

در این شرایط، حداکثر دامنه سطوح ولتاژ تولید شده در خروجی $(V_{o,\max})$ و حداکثر مقدار ولتاژ مسدود شده توسط کلیدها (V_{block}) به ترتیب با روابط زیر محاسبه می‌شوند:

$$V_{o,\max} = (3n+1)V_{dc} \quad (۱-۵۹)$$

$$V_{block} = (21n+6)V_{dc} \quad (۱-۶۰)$$

۱-۱۱-۴-۵-۱الگوریتم پیشنهادی دوم

در الگوریتم ارائه شده دوم دامنه منابع ولتاژ dc در ساختار اینورتر چند سطحی توسعه یافته با معادلات زیر تعیین می‌شوند:

$$V_{1,1} = V_{2,1} = V_{3,1} = V_{dc} \quad (۱-۶۱)$$

$$V_{1,j} = V_{2,j} = V_{3,j} = 2V_{dc} \qquad for \ j = 2, 3, \cdots, n \quad (۱-۶۲)$$

در این الگوریتم، حداکثر تعداد سطوح ولتاژ خروجی، حداکثر دامنه سطوح ولتاژ تولید شده در خروجی و حداکثر مقدار ولتاژ مسدود شده توسط کلیدها به ترتیب با روابط زیر محاسبه می‌شوند:

$$N_{level} = 12n - 3 \qquad for \ n = 1, 2, 3, \cdots \quad (۱-۶۳)$$

$$V_{o,\max} = 6n - 2 \qquad for \ n = 1, 2, 3, \cdots \quad (۱-۶۴)$$

$$V_{block} = (40n - 13)V_{dc} \quad (۱-۶۵)$$

۱-۱۱-۴-۵-۱الگوریتم پیشنهادی سوم

در الگوریتم سوم دامنه منابع ولتاژ dc در ساختار اینورتر چند سطحی توسعه یافته با معادلات زیر تعیین می‌شوند:

$$V_{1,1} = V_{2,1} = V_{3,1} = V_{dc} \quad (۱-۶۶)$$

$$V_{1,j} = \frac{1}{3}V_{2,j} = V_{3,j} = 3^{j-2}V_{dc} \qquad for \ j = 2, 3, \cdots, n \quad (۱-۶۷)$$

در این شرایط حداکثر تعداد سطوح ولتاژ خروجی، حداکثر دامنه سطوح ولتاژ تولید شده در خروجی و حداکثر مقدار ولتاژ مسدود شده توسط کلیدها به ترتیب با روابط زیر محاسبه می‌شوند:

$$N_{level} = 5(3^{n-1}) + 4 \qquad for \;\; n = 1, 2, 3, \cdots \tag{۱-۶۸}$$

$$V_{o,\max} = \left[\frac{5(3^{n-1}) + 3}{2}\right] V_{dc} \qquad for \;\; n = 1, 2, 3, \cdots \tag{۱-۶۹}$$

$$V_{block} = [82(3^{n-1}) - 7] V_{dc} \tag{۱-۷۰}$$

۱-۵-۴-۱۱-۴ الگوریتم پیشنهادی چهارم

در الگوریتم چهارم دامنه منابع ولتاژ dc در ساختار اینورتر چند سطحی توسعه یافته با معادلات زیر تعیین می‌شوند:

$$V_{1,j} = 0.5V_{2,j} = V_{3,j} = 2^{j-1} V_{dc} \quad for \;\; j = 1, 2, \cdots, n \tag{۱-۷۱}$$

در این شرایط خواهیم داشت:

$$N_{level} = 2^{n+3} - 5 \tag{۱-۷۲}$$

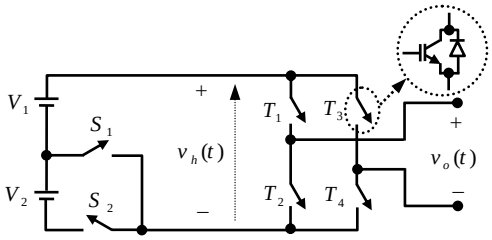
$$V_{o,\max} = (2^{n+2} - 3) V_{dc} \tag{۱-۷۳}$$

$$V_{block} = \left(7(2^{n+2}) - 22\right) V_{dc} \tag{۱-۷۴}$$

از آن جایی که دامنه منابع ولتاژ dc در تمامی الگوریتم‌های بالا به استثنای الگوریتم پیشنهادی اول متفاوت هستند اینورتر چند سطحی سری ارائه شده در مرجع [B56] بر اساس این الگوریتم‌ها به عنوان اینورتر سری نامتقارن شناخته می‌شود. توجه به این نکته الزامی است که بر اساس معادلات مربوط به حداکثر تعداد سطوح ولتاژ خروجی و حداکثر دامنه ولتاژ تولید شده در خروجی، اینورتر پیشنهادی بر پایه الگوریتم‌های نامتقارن قادر به تولید تعداد سطوح ولتاژ خروجی با دامنه بالاتر نسبت به الگوریتم متقارن مشابه با تعداد مشابه منابع ولتاژ dc و کلیدهای قدرت می‌باشد.

۱-۵-۴-۱۲ ساختار ارائه شده در مرجع [۵۷]

ساختار پایه ارائه شده در مرجع [۵۷] برای اینورترهای چند سطحی در شکل ۱-۵۱ نشان داده شده است [۱۰۲]. ساختار پایه، شامل ۲ منبع ولتاژ dc، دو کلید الکترونیک قدرت یک طرفه و یک پل H است. با کنترل مناسب کلیدهای S_1، S_2 و $T_1 - T_4$ اینورتر پیشنهادی قادر به تولید ۵ سطح ولتاژ 0، $\pm V_1$ و $\pm(V_1 + V_2)$ در خروجی می‌باشد. جدول ۱-۱۴ مقادیر مختلف ولتاژ خروجی اینورتر را به ازای حالت‌های مختلف از وضعیت کلیدها نشان می‌دهد. در این جدول یک به معنی روشن بودن کلید و صفر به معنی خاموش بودن آن است. با توجه به جدول ۱-۱۴ مشاهده می‌شود که ماکزیمم دامنه ولتاژ قابل تولید در خروجی اینورتر برابر $V_1 + V_2$ می‌باشد.



شکل ۱-۵۲: ساختار پایه ارائه شده در مرجه [۵۷] برای اینورترهای چند سطحی سری

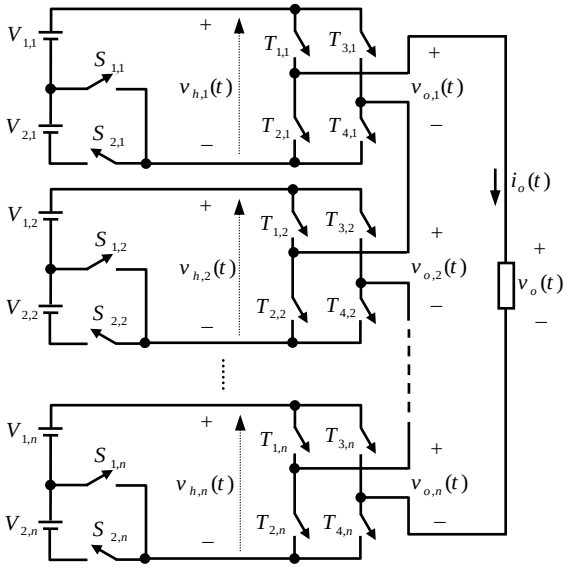
جدول ۱۳-۱: مقادیر مختلف ولتاژ خروجی برای ساختار پایه ارائه شده در مرجع [۵۷]

State	S_1	S_2	T_1	T_2	T_3	T_4	v_o
1	1	0	0	1	0	1	0
	0	0	1	0	1	0	
2	0	0	0	1	1	0	$+V_1$
3	1	1	0	1	1	0	$+(V_1+V_2)$
4	0	0	1	0	0	1	$-V_1$
5	1	1	1	0	0	1	$-(V_1+V_2)$

به منظور افزایش در تعداد سطوح ولتاژ خروجی امکان اتصال n اینورتر پایه پیشنهادی وجود دارد. ساختار اینورتر چند سطحی سری پیشنهادی در شکل ۱-۵۲ نشان داده شده است. ولتاژ خروجی (v_o) اینورتر چند سطحی سری پیشنهادی برابر مجموع ولتاژهای خروجی هر کدام از ساختارهای پایه است. به عبارت دیگر:

$$v_o = v_{o,1} + v_{o,2} + \cdots + v_{o,n} \quad (۱-۷۵)$$

در رابطه فوق، $v_{o,1}$, $v_{o,2}$ و $v_{o,n}$ به ترتیب ولتاژهای خروجی ساختارهای پایه اول، دوم و nام است.



شکل ۵۳-۱: ساختار اینورتر چند سطحی سری پیشنهادی

برای ساختار معرفی شده ۹ الگوریتم مختلف به منظور تعیین دامنه منابع ولتاژ dc ارائه شده است. هم چنین محاسبات مربوط به تعداد ادات الکترونیک قدرت و منابع ولتاژ dc استفاده شده در این ساختار به همراه روابط مربوط به حداکثر تعداد

سطوح ولتاژ خروجی و حداکثر دامنه ولتاژ تولیدی در مرجع [۵۷] صورت گرفته است. علاوه بر این مقایسه‌ای بین ساختار پیشنهادی و ساختارهای مرسوم انجام شده است. به منظور بررسی بیش‌تر این ساختار به مرجع [۵۷] مراجعه شود.

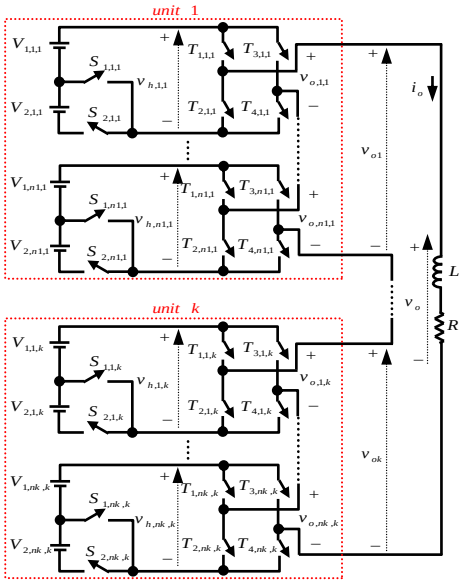
۱-۵-۴-۱۳ ساختار زیر-متقارن ارائه شده در مرجع [۵۷]

این ساختار که ساختار زیرمتقارن پیشنهادی نامیده می‌شود و در شکل ۱-۵۳ نشان داده شده است، ساختار توسعه یافته‌ای از اینورتر چند سطحی سری ارائه شده در مرجع [۵۷] می‌باشد. این ساختار شامل k واحد و هر واحد شامل $n_j \ (j=1,\ 2,\cdots,\ k)$ طبقه از ساختار پایه پیشنهاد شده در شکل ۱-۵۱ است. در ساختار زیرمتقارن شکل زیر، ولتاژ خروجی برابر با جمع ولتاژهای خروجی هر واحد است به طوری که ولتاژ خروجی هر واحد نیز از جمع ولتاژهای خروجی ساختارهای پایه استفاده شده در همان واحد به دست می‌آید. به عبارت دیگر:

$$v_o(t)=v_{o1}(t)+v_{o2}(t)+\cdots+v_{ok}(t) \qquad (۱-۷۶)$$

در رابطه فوق, v_{o1}, v_{o2} و v_{ok} به ترتیب ولتاژهای خروجی واحدهای پایه اول، دوم و k ام است و با روابط زیر بیان می‌شوند:

$$v_{o,j}(t)=\sum_{i=1}^{n_j} v_{o,i,j} \qquad for\ \ j=1,\ 2,\ 3,\ \cdots,\ k \qquad (۱-۷۷)$$



شکل ٥٤-۱: ساختار زیرمتقارن پیشنهادی با قابلیت اعمال روش‌های کنترلی شارژ متعادل

در ساختار زیرمتقارن، در صورت عدم تولید سطوح ولتاژ یکسان توسط واحدهای مختلف، حداکثر تعداد سطوح ولتاژ خروجی (n_{step}) قابل تولید برابر خواهد بود با:

$$n_{step}=\prod_{j=1}^{k} n_{step,j} \qquad (۱-۷۸)$$

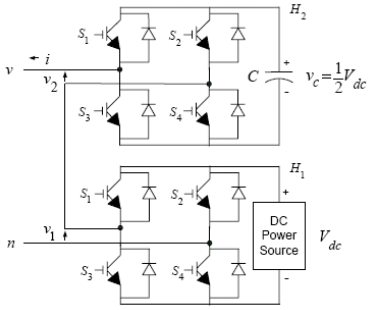
که در آن، $n_{step,j}$ تعداد سطوح ولتاژ خروجی در هر واحد است.

به منظور اعمال روش‌های کنترل شارژ متعادل در ساختار زیرمتقارن پیشنهادی لازم است اندازه مقادیر منابع ولتاژ dc در هر واحد یکسان و برابر با $V_j \ (j=1,\ 2,\cdots,k)$ باشد اما در حالت کلی, اندازه منابع ولتاژ dc استفاده شده در واحدهای

مختلف می‌توانند متفاوت از هم باشند. لازم به ذکر است که هر دو روش شارژ متعادل نیم موج و شارژ متعادل تمام موج که در ادامه به تفسیر بیان خواهد شده برای ساختار زیر–متقارن فوق قابل اجرا می‌باشد. برای دستیابی به اطلاعات بیش‌تر در خصوص این ساختار به مرجع [۵۷] مراجعه شود.

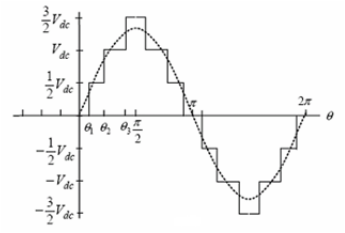
۱-۵-۴-۱۴ ساختار ارائه شده در مرجع [۵۸]

ساختاری از اینورتری‌های سری در مرجع [۵۸]جهت کاهش تعداد منابع ولتاژ dc پیشنهاد شده است. در این ساختار طبقه اول دارای یک منبع dc جداگانه است و برای $n-1$ منبع باقی مانده یک خازن قرار داده شده است. ساختار اینورتر چند سطحی سری دو طبقه در شکل ۱–۵۴ نشان داده شده است. هم چنان که در شکل ۱–۵۴ دیده می‌شود منبع ولتاژ dc طبقه اول یک باطری یا یک سلول سوختی با مقدار ولتاژ V_{dc} است و منبع ولتاژ dc طبقه دوم یک خازن می‌باشد که باید ولتاژ آن در مقدار V_c ثابت نگه داشته شود [۵۸].



شکل ۵۵–۱: ساختار اینورتر چند سطحی سری پیشنهاد شده در مرجع[۵۸]

با کلیدزنی مناسب ولتاژ خروجی v_1 می‌تواند مقادیر $+V_{dc}$، 0، $-V_{dc}$ را داشته باشد در حالی که ولتاژ خروجی طبقه دوم (H_2) مقادیر $-V_c$، 0، $+V_c$ را خواهد داشت. در این حالت ولتاژ خروجی اینورتر می‌تواند مقادیر $-(V_{dc}+V_c)$، $-V_{dc}$، $-(V_{dc}-V_c)$، $-V_c$، 0، $+V_c$، $+(V_{dc}-V_c)$، $+V_{dc}$ و $+(V_{dc}+V_c)$ را داشته باشد. از میان سطوح ولتاژ ایجاد شده در یک دوره تناوب، سطوح ولتاژ $(V_{dc}-V_c)$ و $-(V_{dc}-V_c)$ به منظور شارژ کردن خازن و سطوح ولتاژ $(V_{dc}+V_c)$، V_c، $-V_c$، $-(V_{dc}+V_c)$ برای دشارژ کردن خازن می‌تواند استفاده شود. یک نمونه ولتاژ خروجی ۷ سطحی در شکل ۱–۵۵ نشان داده شده است. در این اینورتر مقدار ولتاژ خازن $V_c=\frac{V_{dc}}{2}$ در نظر گرفته شده است. جدول ۱–۱۵ ولتاژ خروجی اینور تر ۷ سطحی را نشان می‌دهد. چنان که در جدول ۱–۱۵ دیده می‌شود به منظور داشتن سطح ولتاژ $\frac{V_{dc}}{2}$ ضمن حفظ تعادل ولتاژ خازن، دو روش مختلف وجود دارد. به منظور شارژ کردن خازن چنانچه جریان اینورتر $i>0$ باشد کلیدزنی با $v_1=V_{dc}$ و $v_2=-\frac{V_{dc}}{2}$ انتخاب می‌شود اما اگر جریان اینورتر $i<0$ باشد کلیدزنی با $v_1=0$ و $v_2=\frac{V_{dc}}{2}$ انجام خواهد شد [۵۸].



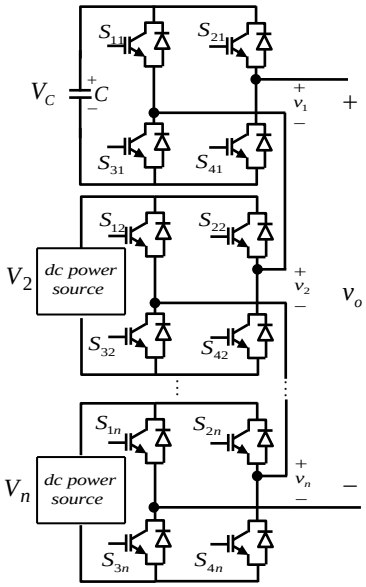
شکل ٥٦-١: شکل موج ولتاژ خروجی یک اینورتر ۷ سطحی سری ارائه شده در مرجع [۵۸]

جدول ١٤-١: ولتاژ خروجی اینورتر ۷ سطحی ارائه شده در مرجع[۵۸]

θ	v_1	v_2	$v = v_1 + v_2$
$0 \le \theta \le \theta_1$	0	0	0
$\theta_1 \le \theta \le \theta_2$	0	$\frac{V_{dc}}{2}$	$\frac{V_{dc}}{2}$
$\theta_1 \le \theta \le \theta_2$	V_{dc}	$-\frac{V_{dc}}{2}$	$\frac{V_{dc}}{2}$
$\theta_2 \le \theta \le \theta_3$	V_{dc}	0	V_{dc}
$\theta_3 \le \theta \le \frac{\pi}{2}$	V_{dc}	$\frac{V_{dc}}{2}$	$3\frac{V_{dc}}{2}$

۱۵-۴-۵-۱ ساختار ارائه شده در مرجع [۵۹]

ساختار پیشنهادی در این مرجع در شکل ۱-۵۶ نشان داده شده است. در این ساختار از n طبقه پل H سری شده استفاده شده است. هم چنان که در این شکل دیده می‌شود از یک خازن به عنوان یک منبع ولتاژ dc استفاده شده است. به بیان بهتر منبع dc استفاده شده برای طبقه اول یک خازن با ولتاژ V_c در نظر گرفته شده است که ولتاژ آن در این مقدار ثابت نگه داشته می‌شود در حالی که منابع ولتاژ dc استفاده شده در سایر طبقات منابع dc مستقل مانند یک باطری یا یک سلول سوختی با ولتاژی برابر V خواهند بود. لازم به ذکر است که جهت حفظ تعادل ولتاژ خازن مورد استفاده در اینورترهای سری نامتقارن معیارهایی لازم است که عبارتند از: مقدار ولتاژ خازن استفاده شده باید کم‌تر از ولتاژ سایر منابع dc باشد، ظرفیت خازن به اندازه کافی بزرگ باشد به طوری که تغییرات ولتاژ خازن ناچیز و مدت زمان لازم جهت شارژ خازن از مدت زمان دشارژ آن بیش‌تر باشد[۵۸].



شکل ۵۷-۱: ساختار اینورتر سری پیشنهادی با خازن

ولتاژ خروجی طبقات مختلف به ترتیب با v_1، v_2، ... و v_n نشان داده شده‌اند. با کلیدزنی مناسب ولتاژ خروجی v_1 می‌تواند مقادیر $-V_c$ ، 0 و $+V_c$ را داشته باشد در حالی که ولتاژ خروجی سایر طبقات مقادیر $+V$، 0 و $-V$ را خواهند داشت. ولتاژ خروجی (v_o) اینورتر چند سطحی پیشنهادی با رابطه زیر بیان می‌شود:

$$v_o = v_1 + v_2 + \cdots + v_n \qquad (۷۹-۱)$$

برای این نوع از اینورترها حداکثر دامنه ولتاژ خروجی قابل تولید $(V_{o,\max})$ برابر خواهد شد با:

$$V_{o,\max} = (n \cdot V) + V_c \qquad (۸۰-۱)$$

با در نظر گرفتن حالات مختلف کلیدزنی و با توجه به مقدار منابع ولتاژ به کار رفته، سطوح ولتاژ مختلف در خروجی اینورتر سری ایجاد می‌شود. با توجه به این که این ساختار می‌تواند در فرکانس کلیدزنی پایین یا بالا برای کاربردهای ولتاژ بالا یا پایین عمل کند لذا در این ساختار امکان استفاده از روش‌های شارژ متعادل وجود دارد.

با در نظر گرفتن ساختار پیشنهادی و به منظور تولید تمامی سطوح ولتاژ (زوج و فرد) در خروجی این اینورتر دو الگوریتم به منظور تعیین اندازه منابع ولتاژ dc پیشنهاد می‌شود که در ادامه بیان می‌شوند.

۱-۵-۴-۱۵-۱ الگوریتم پیشنهادی اول

در این قسمت اندازه منابع ولتاژ dc اینورتر نشان داده شده در شکل ۱-۵۶ با معادلات زیر بیان می‌شود:

$$V_c = V_{dc} \qquad (۸۱-۱)$$

$$V_j = 2V_{dc} \qquad j = 2, 3, 4, \cdots, n \qquad (۸۲-۱)$$

از آن جایی که اندازه منابع استفاده شده در تمامی پل‌ها یکسان نیستند اینورتر از نوع نامتقارن می‌باشد. هم چنان که در شکل ۱-۵۶ دیده می‌شود از یک خازن به عنوان منبع ولتاژ dc طبقه اول استفاده شده است. در این اینورتر کلیدزنی به گونه‌ای صورت خواهد گرفت که ولتاژ خازن در یک مقدار ثابت باشد.

برای این الگوریتم حداکثر تعداد سطوح ولتاژ خروجی (n_{step}) از رابطه زیر قابل محاسبه است:

$$n_{step} = 4n-1 \qquad for\ n = 1,\ 2,\ 3,\cdots \tag{۱-۸۳}$$

در این حالت حداکثر دامنه ولتاژ خروجی قابل تولید برابر خواهد بود با:

$$V_{o,\max} = (2n-1)V_{dc} \tag{۱-۸۴}$$

۱-۵-۴-۱۵-۲ الگوریتم پیشنهادی دوم

در این قسمت اندازه منابع ولتاژ dc اینورتر نشان داده شده در شکل ۱-۵۶ با معادلات زیر بیان می‌شود:

$$V_c = V_{dc} \tag{۱-۸۵}$$

$$V_j = 3V_{dc} \qquad j = 2,3,4,\cdots,n \tag{۱-۸۶}$$

در این حالت, حداکثر تعداد سطوح قابل تولید در ولتاژ خروجی برابر خواهد بود با:

$$n_{step} = 6n-3 \qquad for\ n = 1,\ 2,\ 3,\cdots \tag{۱-۸۷}$$

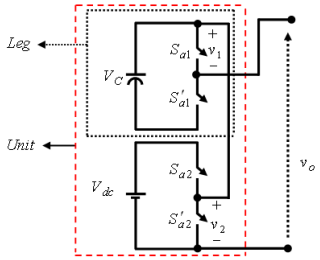
برای این نوع از اینورترها, حداکثر دامنه ولتاژ خروجی قابل تولید با رابطه زیر قابل محاسبه است:

$$V_{o,\max} = (3n-2)V_{dc} \tag{۱-۸۸}$$

در این ساختار با توجه به این که از یک خازن با ولتاژ ثابت به عنوان یکی از منابع ولتاژ استفاده شده است و سایر منابع با ولتاژ یکسان هستند با اعمال روش‌های شارژ متعادل، بازه زمانی تولید ولتاژ در طبقات مختلف یکسان شده و در نتیجه منابع ولتاژ dc موجود در تمامی طبقات به یک اندازه شارژ و یا دشارژ خواهند شد و عمر آن‌ها به شرط آن که دارای انرژی اولیه یکسانی باشند به یک اندازه خواهد بود.

۱-۵-۴-۱۶ ساختار ارائه شده در مرجع [۶۰]

ساختار پایه پیشنهادی در شکل ۱-۵۷ نشان داده شده است. هم چنان که در شکل دیده می‌شود هر واحد پایه از دو پل اینورتر که سری شده‌اند تشکیل شده است. هر پل اینورتر شامل یک منبع ولتاژ و دو کلید یک طرفه ولتاژ می‌باشد. هر منبع ولتاژ می‌تواند یک منبع ولتاژ dc و یا یک خازن باشد. هر کلید یک طرفه نیز شامل یک IGBT و یک دیود موازی و معکوس خواهد بود. جدول ۱-۱۶ سطوح ولتاژ قابل تولید به ازاء حالات مختلف کلیدزنی را در این واحد نشان می‌دهد. هم‌چنان که در این جدول دیده می‌شود این ساختار قادر به تولید ۳ سطح ولتاژ V_{dc}، 0 و $-V_C$ در خروجی خواهد بود. توجه به این نکته ضروری است که در صورتی که خازن در طبقه پایینی ساختار پیشنهادی باشد این ساختار قادر به تولید سطوح $-V_{dc}$، 0 و V_C در خروجی خواهد بود. هم چنین به منظور جلوگیری از اتصال کوتاه منابع موجود در هر پل در هر حالت کلیزنی یکی از کلیدهای (S_{a1} or S'_{a1}) و (S_{a2} or S'_{a2}) روشن خواهند بود. به بیان بهتر کلیدهای قرار گرفته در هر پل از اینورتر به صورت جفت متمم هم عمل می‌کنند. شایان ذکر است به منظور تولید تمامی سطوح ولتاژ خروجی ضروری است تا مقدار ولتاژ خازن در نظر رگفته شود.

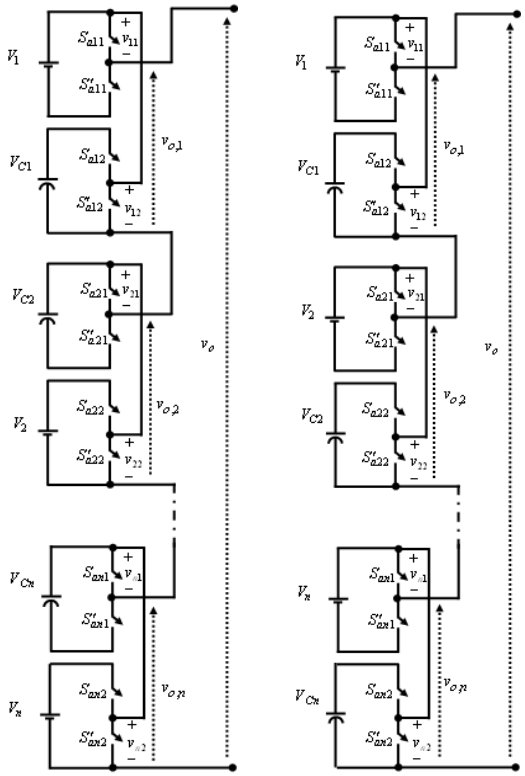


شکل ۱-۵۸: ساختار پایه پیشنهادی

State	S_{a2}	S'_{a2}	S_{a1}	S'_{a1}	V_o
1	1	0	1	0	V_{dc}
2	1	0	0	1	0
	0	1	1	0	
3	0	1	0	1	$-V_C$

جدول۱۵-۱: ولتاژ خروجی ساختار پایه پیشنهادی بر حسب حالات مختلف کلیدزنی ارائه شده در مرجع[۶۰]

ساختار جدیدی از ابنورترهای چند سطحی سری می‌تواند از اتصال n واحد پایه پیشنهادی تشکشل شود. این ساختار در شکل ۱-۵۸ نشان داده شده است. هم چنان که پیشتر بیان شد خازن در حالات مختلف می تواند استفاده شود بر همین اساس دو شکل از این ساختار در شکل ۱-۵۸ نشان داده شده است. شکل ۱-۵۸-الف ساختار سری نمایش داده شده است که در آن خازن در واحد پایه دوم قرار دارد حال آن که در شکل ۱-۵۸-ب خازن بین طیقات اول و دوم هر واحد پایه به صورت چرخشی قرار می‌گیرد.



شکل ۵۹-۱: ساختار اینورتر سری پیشنهادی: الف) ساختار با وضعیت ثابت برای خازن ، ب) ساختار با حالت چرخشی برای خازن

براساس شکل ۱-۵۸، ولتاژ خروجی اینورتر سری پیشنهادی از رابطه زیر بدست می‌آید:

$$v_o(t)=v_{o,1}(t)+v_{o,2}(t)+\cdots+v_{o,n}(t) \quad (۱-۸۹)$$

هم چنین تعداد ادوات الکترونیک قدرت به کار رفته در این ساختار براساس رئابط زیر محاسبه خواهند شد:

$$N_{switch}=N_{IGBT}=N_{driver}=4n \quad (۱-۹۰)$$

$$N_{source}=n \quad (۱-۹۱)$$

$$N_{capacitor}=n \quad (۱-۹۲)$$

توجه به این نکته ضروری است که دامنه منبع ولتاژ dc نقش موثری در تعداد سطوح ولتاژ خروجی و ظرفیت خازن استفاده شده خواهد داشت. در همین راستا و با عدف تولید تمامی سطوح مثبت و منفی در خروجی ۳ الگوریتم جهت تعیین منابع ولتاژ dc در نظر گرفته شده است که در جدول ۱-۱۷ نشان داده شده است. در این جدول V_j نشان دهنده دامنه منبع ولتاژ dc در j^{th} طبقه و V_{Cj} دامنه ولتاژ خازن واقع در همان طبقه خواهد بود در حال که $j=1,2,\cdots,n$ در نظر گرفته شده است. توجه به این نکته مهم است که این الگوریتم‌ها و نتایج حاصل از آن برای هر دو ساختار پیشنهادی قابل استفاده خواهد بود.

جدول ١٦-١: الگوریتم پیشنهادی جهت تعیین دامنه منایع ولتاژ dc و خروجی‌های حاصل از مبدل براساس این الگوریتم

Proposed algorithms	V_j	V_{Cj}	N_{level}	$V_{o,\max}$
First proposed algorithm	V_{dc}	V_{dc}	$2n+1$	nV_{dc}
Second proposed algorithm	$V_1=V_{dc}$, $V_{j+1}=2V_{dc}$	V_j	$4n-1$	$(2n-1)V_{dc}$
Third proposed algorithm	$2^{j-1}V_{dc}$	V_j	$2^{n+1}-1$	$(2^n-1)V_{dc}$

هم چنان که مشاهده می‌شود این ساختار قابلیت تولید تعداد سطوح بالاتری را در مقایسه با ساختار ارائه شده در [۴۴] خواهد داشت و تفاوت دو ساختار پیشنهادی در زمان شارژ و دشارژ خازن خواهد بود.

۱-۵-۴-۱۷ ساختار اینورترهای چند سطحی با ترکیب خاص منابع و کلید

علاوه بر ساختارهای ارائه شده در بالا ساختارهای دیگری نیز برای اینورترهای چند سطحی در مراجع پیشنهاد شده‌اند. این ساختارها که برگرفته از سه ساختار اصلی اینورتهای چند سطحی هستند با اهداف مختلف معرفی شده‌اند. ساختار ارائه شده در مرجع [۶۱] که از مجموعه ساختارهای هیبرید می‌باشد از ترکیب یک اینورتر سه فاز دو سطحی با یک اینورتر تمام پل با هدف افزایش تعداد سطوح ولتاژ تولیدی و در نتیجه افزایش کیفیت شکل موج خروجی با استفاده از تعداد کم منابع ولتاژ dc می‌باشد. در مرجع [۶۱] ساختار دیگری از اینورترهای چند سطحی سری از ترکیب اینورترهای نیم پل ارائه شده است. به منظور تعداد سطوح ولتاژ معین، تعداد کلیدهای الکترونیک قدرت مورد نیاز در این ساختار برابر با ساختار اینورتر چند سطحی سری بوده اما به دلیل استفاده از منابع ولتاژ dc مستقل در هر طبقه، منابع ولتاژ بیشتری نیاز دارد. هم چنین ساختارهای دیگری از اینورترهای چند سطحی سری متقارن و نامتقارن در مراجع [۶۵-۶۲] ارائه شده است. در هر یک از این مراجع

هدف تولید بیشترین تعداد سطوح ولتاژ خروجی با استفاده از کمترین تعداد کلیدهای الکترونیک قدرت، منابع ولتاژ dc ،کمترین مقدار ولتاژ مسدود شده توسط کلیدها، کاهش تلفات کلیدزنی و غیره است اما هنوز ساختاری که بتواند بیشتر این مزایا را داشته باشد پیشنهاد نشده است لذا در خصوص اینورترهای چند سطحی ساختارهای جدیدی قابل ارائه میباشد.

۱-۶ نتیجه‌گیری

در این فصل با توجه به اهمیت و جایگاه اینورترهای چند سطحی در کاربردهای صنعتی، توسعه استفاده ازمنابع انرژی نو وتجدید پذیر و اهمیت آن‌ها در کاهش آلودگی‌های زیست محیطی ناشی از سوخت‌های فسیلی ساختارهای مختلف از اینورترهای چند سطحی و روش‌های کنترلی آن‌ها مورد بررسی قرار گرفته است. هم چنان که بررسی‌ها نشان می‌دهد، برای اینورترهای چند سطحی سه ساختار اصلی اینورتر چند سطحی برشگر دیودی، اینورتر چند سطحی خازن شناور و اینورتر چند سطحی سری وجود دارد. در میان این ساختارها، اینورترهای چند سطحی سری به دلیل توانایی تولید سطوح بالای ولتاژ با تعداد کم‌تر ادوات الکترونیک قدرت، سادگی روش‌های کنترلی، قابلیت اطمینان و راندمان بالاتر بیش‌تر مورد توجه قرار گرفته‌است. اینورترهای چند سطحی سری به دو دسته کلی اینورتهای چند سطحی سری متقارن و نامتقارن تقسیم‌بندی می‌شود. تفاوت این دو ساختار در دامنه منابع ولتاژ dc استفاده شده می‌باشد که سبب افزایش تعداد سطوح ولتاژ تولیدی خروجی در ساختار نامتقارن در مقایسه با ساختار متقارن با تعداد ادوات الکترونیک قدرت مشابه می‌شود. علاوه بر ساختارهای مذکور، ساختارهای دیگری نیز برای اینورترهای چند سطحی مورد بررسی قرار گرفته است. این ساختارها ترکیبی از سه ساختار اصلی با تغییر در نحوه اتصال و تعداد ادوت الکترونیک قدرت استفاده شده می‌باشند. از جمله این ساختارها می‌توان به اینورترهای چند سطحی تعمیم یافته، اینورترهای چند سطحی هیبرید، اینورتر چند سطحی با ساختار چند ترانسفورماتوری، اینورترهای چند سطحی با ترکیب خاص منابع و کلید و غیره اشاره کرد. هم چنین در این فصل به دلیل موضوع پروژه برخی از ساختارهای بر پایه خازن نیز مورد بررسی قرار گرفته‌اند تا جایگاه این دسته از اینورترها و مزایا معایب آن‌ها مشخص گردد.

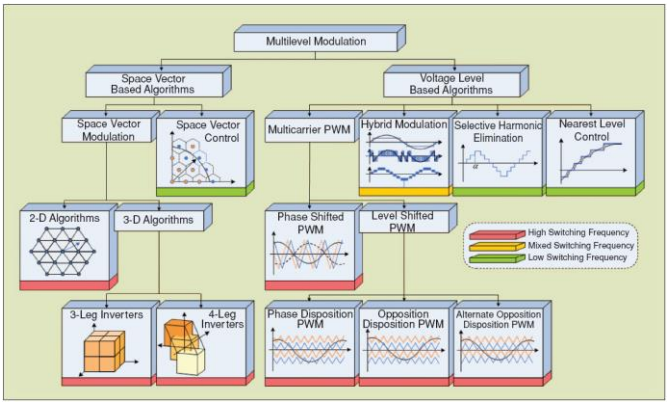
فصل دوم: بررسی انواع روش‌های کنترلی اینورترهای چند سطحی

۲-۱ مقدمه

در این فصل انواع روش‌های کنترلی اینورترهای چند سطحی بررسی خواهند شد. در این بررسی تقسیم‌بندی روش‌های مدولاسیون از نقطه نظر تغییر سطح ولتاژ و فرکانس انجام شده است و روش‌های کلیدزنی پایه به همراه روش‌های توسعه یافته ارائه شده در مقالات بررسی و تحلیل خواهند شد.

۲-۲ روش‌های مدولاسیون اینورترهای چند سطحی

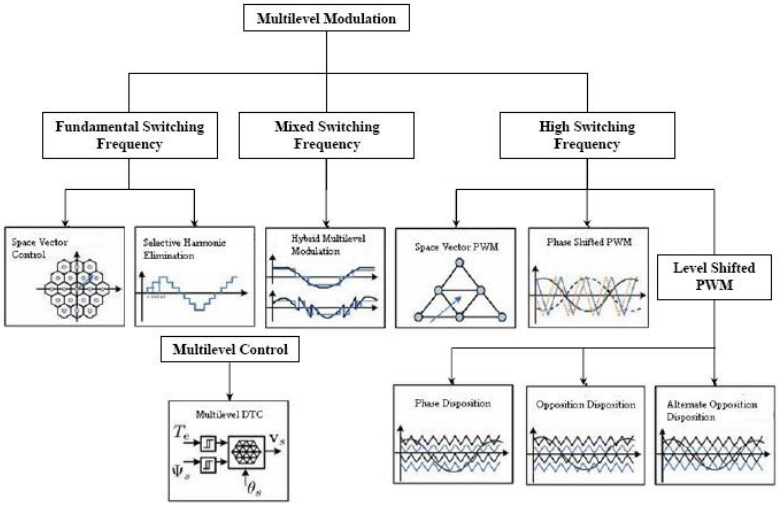
در اینورترهای چند سطحی به منظور تولید سطوح بالای ولتاژ تعداد نسبتا زیاد کلیدهای مورد نیاز سبب پیچیگی روش‌های کنترلی شده است. برای اینورترهای چند سطحی روش‌های مدولاسیون مختلفی پیشنهاد شده است که برای تقسیم‌بندی این روش‌ها نیز دیدگاه‌های مختلفی وجود دارد. شکل ۲-۱ طبقه بندی روش‌های مدولاسیون اینورترهای چند سطحی را نشان می‌دهد [۶۶].



شکل ۱-۲:دسته‌بندی روش‌های مختلف مدولاسیون اینورترهای چند سطحی ارائه شده در مرجع [٦٦]

هم چنان که در این شکل دیده می‌شود روش‌های مدولاسیون به دو گروه روش‌های برمبنای بردار فضایی و روش‌های برمبنای سطوح ولتاژ تقسیم بندی می‌شوند. شکل ۲-۲ تقسیم‌بندی روش‌های مدولاسیون را براساس فرکانس کلیدزنی نشان می‌دهد. هم چنان که در شکل دیده می‌شود مدولاسیون‌های چند سطحی بر اساس فرکانس کلیدزنی به سه گروه فرکانس کلیدزنی پایه، فرکانس کلیدزنی مختلط[۱] و فرکانس کلیدزنی بالا[۲] تقسیم می‌شوند. در روش مدولاسیون با فرکانس کلیدزنی پایه، کموتاسیون بین کلیدها در فرکانس اصلی خروجی انجام می‌شود [۶۷]. روش‌های مدولاسیون بردار فضایی[۳] و حذف هارمونیک انتخابی در این گروه قرار دارند. مدولاسیون با فرکانس کلیدزنی مختلط روشی است که در آن کلیدها در فرکانس‌های مختلف هدایت می‌شوند. مدولاسیون چند سطحی هیبرید[۴] که برای اینورترهای چند سطحی از نوع هیبرید مناسب است در این گروه قرار دارد. در این روش طبقات مختلف اینورتر چند سطحی هیبرید می‌توانند در فرکانس‌های مختلف هدایت کنند. مدولاسیون با فرکانس کلیدزنی بالا شامل روش‌های PWM بردار فضایی[۵]، PWM شیفت فاز و PWM شیفت سطح می‌باشد. در این زیر بخش روش‌های مختلف کلیدزنی به اختصار بیان می‌شود.

[1]Mixed switching frequency
[22] High switching frequency
[3] Space vector control
[4] Hybrid multilevel modulation
[5] Space vector PWM(SVPWM)



شکل ۲-۲: دسته‌بندی روش های مختلف مدولاسیون براساس فرکانس کلیدزنی ارائه شده در مرجع [٦٧]

۲-۳ روش‌های مدولاسیون مبتنی بر فرکانس کلیدزنی بالا

در این روش کلیدهای الکترونیک قدرت در فرکانس بالا کلیدزنی می‌شوند که موجب کاهش هارمونیک‌های مرتبه پایین، حجم و هزینه فیلتر مورد نیاز خواهد شد. از معایب این روش افزایش تلفات کلیدزنی می‌باشد. این روش مدولاسیون شامل روش PWM بردار فضایی[1]، PWM شیفت فاز و PWM شیفت سطح می‌باشد. در روش مدولاسیون شیفت سطح و شیفت فاز شکل موج سیگنال مرجع که معمولاً سینوسی است با چندین سیگنال حامل که اغلب شکل موج‌های مثلثی هستند، مقایسه شده و پالس‌های کلیدزنی تولید می‌شوند. هم چنین فرکانس موج سینوسی، فرکانس شکل موج خروجی را مشخص می‌کند و تعداد پالس‌های کلیدزنی در هر نیم سیکل توسط فرکانس شکل موج حامل تعیین می‌شود [۶۸].

۲-۳-۱ روش مدولاسیون PWM شیفت فاز

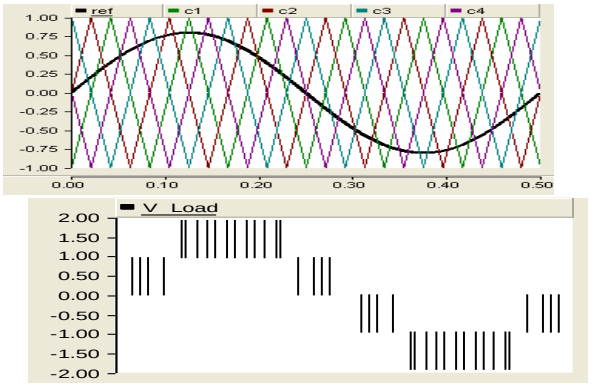
روش مدولاسیون شیفت فاز برای تمامی ساختارهای اینورترهای چند سطحی قابل استفاده بوده اما بیشتر در اینورترهای چند سطحی از نوع سری و خازن شناور استفاده می‌شود زیرا در این ساختارها سیگنال‌های مدولاسیون هرطبقه (سلول) مستقل از سایر طبقات خواهد بود [۱۱]، [۶۹].در این روش برای یک اینورتر n سطحی $(n-1)$ سیگنال حامل با دامنه و فرکانس یکسان ولی با فازهای متفاوت استفاده شده است. هر سیگنال حامل با سیگنال حامل مجاورش به اندازه $\frac{360}{n-1}$ درجه اختلاف فاز دارد تا شکل موج پله‌ای تولید شود [۶۹]. هم چنین به دلیل ساختار مدولار اینورترهای چند سطحی خازن شناور و سری سیگنال حامل واحدهای مختلف مستقل از یکدیگر بوده و تنها یک سیگنال مرجع در نظر گرفته می‌شود. بنابراین، عمل‌کرد کلیدهای موجود در واحدهای مختلف یکسان بوده و سبب توزیع یکسان توان در آن‌ها می‌شود. کاهش هارمونیک‌های جریان در اینورترهای چند سطحی سری و متعادل کردن ولتاژ خازن‌ها در اینورتر چند سطحی خازن شناور از دیگر مزایای این روش مدولاسیون می‌باشد.

[1] Space vector PWM(SVPWM)

ارتباط بین فرکانس کلیدزنی سیگنال حامل (f_c) و فرکانس خروجی (f_{out}) برای یک اینورتر n سطحی با معادله زیر بیان می‌شود [۱۱]:

$$f_{out} = (n-1)\, f_c \qquad (۲-۱)$$

در این روش مدولاسیون هارمونیک‌ها در اطراف فرکانس $(n-1)\, f_c$ قرار دارند [۶۸]. سیگنال‌های حامل و مرجع برای یک اینورتر ۵ سطحی سری با استفاده از این روش مدولاسیون در شکل ۲-۳ نشان داده شده است.



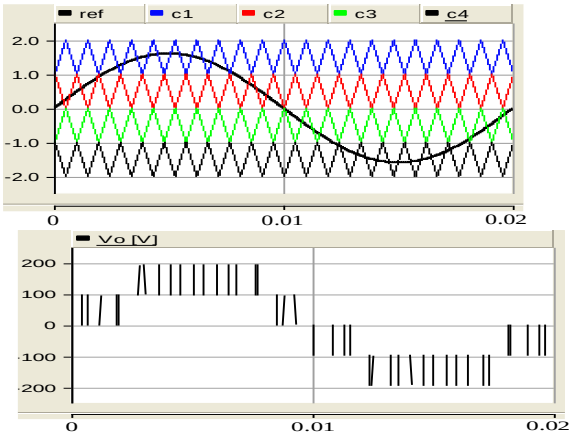
(ب) (الف)

شکل ۳-۲: روش مدولاسیون PSPWM برای یک اینورتر ۵ سطحی سری الف) سیگنال‌های مرجع و حامل‌ها, ب) ولتاژ خروجی

۲-۳-۲ روش‌های مدولاسیون PWM شیفت سطح

این روش مدولاسیون بر مبنای اختلاف سطح سیگنال مرجع و سیگنال حامل می‌باشد. در روش مدولاسیون شیفت سطح دامنه و فرکانس سیگنال های حامل با هم برابر بوده اما سطح حامل‌ها با هم متفاوت خواهد بود. هم چنین مشابه روش مدولاسیون PSPWM برای یک اینورتر n سطحی $(n-1)$ سیگنال حامل به منظور تولید سیگنال‌های کلیدزنی، لازم است. لازم به ذکر است که سیگنال‌های حامل تمامی دامنه‌ای که اینورتر چند سطحی می‌تواند تولید کند را پوشش می‌دهد. در این روش در هر لحظه سیگنال مرجع با سیگنال‌های حامل مقایسه شده و سیگنال‌های لازم جهت هدایت کلیدها به منظور دستیابی به یک سطح ولتاژ خروجی معین حاصل می‌شود. با وجود اینکه این روش مدولاسیون برای تمامی اینورترهای چند سطحی مورد استفاده قرار می‌گیرد ولی در اکثر مقالات برای اینورترهای چند سطحی از نوع برشگر دیودی پیشنهاد شده است زیرا سیگنال‌های مقایسه‌ای بدست آمده از این روش و مقادیر منفی آن‌ها می‌توانند یک جفت کلید را در اینورتر برشگر دیودی به صورت مستقل راه‌اندازی کنند [۶۹]، [۱۱]. در این روش مدولاسیون در صورتی که سیگنال‌های حامل به صورت هم فاز ولی با سطوح dc متفاوت در نظر گرفته شوند روش مدولاسیون PD-PWM نامیده می‌شود. در این روش فرکانس هارمونیک اصلی برابر با فرکانس سیگنال حامل خواهد بود [۶] و سایر مؤلفه‌های هارمونیکی در مجاورت فرکانس حامل قرار خواهند داشت. بنابراین مهمترین هارمونیک در هر فاز روی فرکانس سیگنال حامل بوده و لذا در ولتاژ خط ظاهر نخواهد شد [۷۰-۶۹]. در روش مدولاسیون شیفت سطح در صورتی که سیگنال‌های حامل بالای محور صفر با هم، هم فاز و سیگنال‌های حامل زیر محور صفر نیز با هم، هم فاز باشند اما سیگنال‌های حامل بالای محور صفر با سیگنال‌های حامل زیر محور صفر ۱۸۰ درجه اختلاف فاز داشته باشند روش مدولاسیون POD-PWM نامیده

می‌شود. در این روش کنترلی هارمونیک‌های مهم در دو باند مجاور فرکانس حامل (f_c) قرار دارند و هیچ هارمونیکی در فرکانس f_c وجود ندارد [۶]. این هارمونیک‌ها هم در ولتاژ فاز و هم در ولتاژ خط وجود خواهند داشت [۶۸]. یکی دیگر از روش‌های مدولاسیون شیفت سطح، روش APOD می‌باشد که در آن هر سیگنال حامل با سیگنال حامل مجاورش به اندازه ۱۸۰ درجه اختلاف فاز دارد. در این روش مهمترین هارمونیک‌ها در یک باند مجاور فرکانس حامل (f_c) قرار دارند و هیچ هارمونیکی در فرکانس f_c وجود ندارد [۶]، [۶۸]. سیگنال‌های حامل و مرجع برای یک اینورتر ۵ سطحی سری با استفاده از روش مدولاسیون APOD در شکل ۲-۴ نشان داده شده است.



(ب) (الف)

شکل ٤-۲: روش مدولاسیون APOD برای یک اینورتر ۵ سطحی سری الف) سیگنال‌های مرجع و حامل‌ها, ب) ولتاژ خروجی

در هر سه روش ارائه شده در بالا هر کلید تنها زمانی که سیگنال مرجع به ناحیه مورد نظر تعلق داشته باشد، در فرکانس حامل هدایت می کند در غیر این صورت هم چنان که اینورتر در حال هدایت است کلید در وضعیت قبلی خود نگه داشته شده است و لذا فرکانس کلیدزنی اینورتر برابر فرکانس سیگنال حامل خواهد بود.

۲-۴ روش‌های مدولاسیون مبتنی بر فرکانس کلیدزنی مختلط

روش مدولاسیون پهنای پالس هیبرید (H-PWM) یکی از روش‌های مدولاسیون برمبنای فرکانس کلیدزنی مختلط است. این روش گسترش مدولاسیون پهنای پالس به اینورترهای چند سطحی سری با منابع ولتاژ dc متفاوت می‌باشد. از آنجایی که در ساختارهای هیبرید طبقات با توان‌های متفاوت وجود دارند مهم‌ترین هدف کاهش تلفات کلیدزنی و در نتیجه افزایش راندمان در طبقه با توان بالا می‌باشد. لذا روش کنترلی طبقات با توان‌های مختلف متفاوت خواهد بود به طوری که سلول‌های با توان پایین به روش مدولاسیون پهنای پالس معمولی و طبقات با توان بالا به روش کنترلی موج مربعی کلیدزنی می‌شوند. در این روش برای اینورتر با N طبقه با مقادیر مختلف ولتاژ dc، روش کنترلی موج مربعی برای واحد (طبقه) با بیشترین توان (بالاترین دامنه منبع ولتاژ dc) در نظر گرفته می‌شود به طوری که سیگنال مرجع سینوسی با یک موج مربعی با دامنه $h_N = V_{N-1} + V_{N-2} + \cdots + V_1$ مقایسه شده و نتیجه این مقایسه به عنوان سیگنال مرجع طبقه پایین‌تر در نظر گرفته می‌شود. این روند تکرار شده تا در نهایت برای

سلول با کمترین توان، روش PWM معمولی مورد استفاده قرار می‌گیرد. لازم به ذکر است که در این حالت سیگنال مرجع از مقایسه سیگنالهای طبقه بالاتر حاصل می‌شود.

۲-۵ روش‌های مدولاسیون مبتنی بر فرکانس کلیدزنی پایین

یکی از روش‌های کنترلی در اینورترهای چند سطحی کنترل کلیدزنی در فرکانس پایین می‌باشد. این روش کلیدزنی سبب کاهش تلفات شده و راندمان اینورتر را افزایش می‌دهد. لذا برای کاربردهای توان بالا مناسب است. از معایب این روش می‌توان به تولید هارمونیک‌های مرتبه پایین متناسب با فرکانس کلیدزنی اشاره کرد که موجب افزایش سایز و هزینه فیلتر مورد نیاز خواهد شد. این روش کنترلی شامل روش مدولاسیون حذف هارمونیک انتخابی و بردار فضایی است.

۲-۵-۱ حذف هارمونیک انتخابی (SHE)

هم چنان که پیشتر توضیح داده شد با کلیدزنی در فرکانس پایین هارمونیک‌های مرتبه پایین در اینورترهای چند سطحی ایجاد شده که سبب اعوجاج هارمونیکی شکل موج خروجی می‌شوند. در روش مدولاسیون حذف هارمونیک انتخابی با انتخاب زوایای کلیدزنی مناسب تعدادی از این هارمونیک‌ها حذف شده و ولتاژ خروجی در مقدار مطلوب نگه داشته می‌شود. در این روش تعداد هارمونیک‌هایی که به صورت هم زمان حذف خواهند شد به تعداد سطوح ولتاژ خروجی اینورتر بستگی دارد. هم چنین در تعیین زاویای کلیدزنی از توسعه شکل موج ولتاژ خروجی به بسط فوریه استفاده می‌شود. با توجه به اینکه در ولتاژ خروجی اینورترهای چند سطحی مولفه dc وجود ندارد و شکل موج خروجی اغلب از تقارن نیم موج برخوردار است مولفه‌های هارمونیکی موجود تنها هارمونیک‌های فرد مولفه‌های سینوسی خواهند بود. لذا رابطه ولتاژ خروجی اینورتر به صورت زیر بیان می‌شود:

$$V_o(wt) = \sum_{n=1,3,5}^{N} \frac{4V_{dc}}{n\pi}\left(V_1 Cos\,(n\theta_1) + V_2 Cos\,(n\theta_2) + \cdots + V_N Cos\,(n\theta_N)\right) Sin(nwt) \qquad (۲-۲)$$

در رابطه فوق N تعداد منابع ولتاژ dc است و ولتاژ $V_i V_{dc}$ اندازه i امین منبع ولتاژ dc است. در رابطه فوق $(\theta_1, \theta_2, \cdots, \theta_N)$ زوایای کلیدزنی طبقات مختلف اینورتر هستند که باید دارای شرط زیر باشند [۷۱]:

$$0 \le \theta_1 < \theta_2 < \cdots < \theta_s \le \frac{\pi}{2} \qquad (۲-۳)$$

به منظور مینیمم کردن اعوجاج هارمونیکی و دستیابی مؤلفه اصلی با دامنه مطلوب، باید $(N-1)$ مؤلفه هارمونیکی شکل موج ولتاژ خروجی حذف شوند. در این صورت معادله مربوط به دامنه مؤلفه هارمونیک اصلی برابر مقدار مطلوب و معادلع مربوط به $(N-1)$ هارمونیک باقی مانده برابر صفر در نظر گرفته می‌شوند. لذا انتخاب زوایای کلیدزنی با هدف حذف هارمونیک‌های فرکانس پایین مهم انجام می‌شود زیرا با حذف هارمونیک‌های مرتبه پایین به مقدار لازم و گذاشتن فیلتری پایین‌گذر برای حذف هارمونیک‌های مرتبه بالا در خروجی اینورتر، شکل موج خروجی مطلوب تولید خواهد شد [۱۱]. این دسته معادلات غیرجبری و غیر خطی متشکل از جملات مثلثاتی با فرکانس‌های بالا بوده و دارای چندین مجموعه جواب می‌باشد. روش‌های حل عددی تکراری از قبیل نیوتن–رافسون برای محاسبه زوایای کلیدزنی یکی از روش‌هایی است که در حل این دستگاه معادلات مورد استفاده قرار می‌گیرد. این روش مبتنی بر در نظر گرفتن مقدار اولیه‌ای است که تا حد امکان به پاسخ نهایی نزدیک باشد در غیر این صورت و با افزایش تعداد زوایای کلیدزنی، محاسبه دقیق این زوایا تقریباً غیر ممکن می‌شود. هم چنین امکان محاسبه تمامی پاسخ‌های ممکن در این روش

وجود ندارد. روش دیگر برای تعیین این زوایا، استفاده از تئوری ریاضی رزلتانت برای بدست آوردن همه‌ی مجموعه جواب‌های ممکن برای این دسته معادلات می‌باشد. از ویژگی‌های جالب این روش نداشتن نیاز به مقدار اولیه و هم‌چنین پیدا کردن همه دسته جواب‌های ممکن می‌باشد. به طور کلی استفاده از تئوری ریاضی رزلتانت در تعیین زوایای کلیدزنی مناسب به دلیل پیچیدگی محاسباتی به اینورترهای چند سطحی با منابع dc یکسان و با تعداد سطوح خروجی کم محدود شده است [۷۱]. علاوه بر روش‌های مذکور روش‌های دیگری نیز در مقالات [۷۳-۷۲] پیشنهاد شده است

۲-۵-۲ مدولاسیون بردار فضایی (SVM) برای اینورترهای چند سطحی

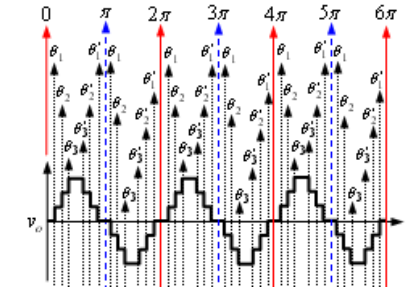
در این روش کنترلی ولتاژهای مرجع در قالب بردارهای ولتاژ به اینورترهای چند سطحی داده می‌شوند. هم چنین تمامی حالت‌های کلیدزنی ممکن به صورت بردارهای ولتاژ قابل دستیابی نمایش داده می‌شوند. با ترکیب خطی این بردارها که بردارهای حالت نام دارند بردارهای ولتاژ مرجع تولید می‌شوند به طوری که میانگین ولتاژ خروجی در طول هر دوره کلیدزنی برابر با ولتاژ مرجع باشد. این روش کنترلی در واقع حالت خاصی از روش کنترلی PWM می‌باشد که در آن زمان کلیدزنی بر مبنای بردارفضایی محاسبه شده است.

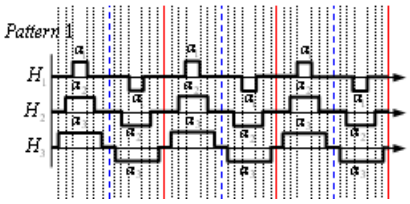
۲-۵-۳ روش‌های شارژ متعادل[1] برای اینورترهای چند سطحی سری

مرسوم‌ترین روش کنترلی برای اینورترهای چند سطحی سری روش کلیدزنی فرکانس پایه است. در این روش کنترلی تلفات کلیدزنی کاهش و در نتیجه راندمان اینورتر افزایش می‌یابد. یکی از معایب عمده این روش کلیدزنی سهم متفاوت منابع ولتاژ dc استفاده شده در پل‌های مختلف اینورتر چند سطحی در تامین انرژی مورد نیاز بار است، در نتیجه منابع ولتاژ شارژهای متفاوتی خواهند داشت و به دلیل افزایش تعداد دفعات تعویض و یا شارژ منابع ولتاژ dc هزینه نگهداری سیستم افزایش می‌یابد. شکل ۲-۵-الف روش کلیدزنی کلاسیک را برای یک اینورتر ۷ سطحی سری متقارن نشان می‌دهد. هم چنان که در این شکل دیده می‌شود منبع dc طبقه سوم سیکل کاری بیشتری نسبت به منابع dc طبقات دیگر خواهد داشت، بنابراین این منبع با سرعت بیشتری نسبت به سایر طبقات دشارژ خواهد شد. به منظور متعادل کردن اندازه توان تأمین شده توسط منابع ولتاژ dc مختلف روش‌های شارژ متعادل در مراجع [۷۵] و [۷۴] پیشنهاد شده است. از این روش‌ها می‌توان به روش کنترلی شارژ متعادل تمام موج و روش کنترلی شارژ متعادل نیم موج اشاره کرد. در روش کنترلی شارژ متعادل تمام موج در هر دوره تناوب، پالس‌های تولید شده در بین طبقات اول تا n ام به صورت چرخشی بین طبقات مختلف تعویض می‌شود به طوری که بعد از n دوره تناوب، منابع ولتاژ dc موجود در هر n طبقه به یک اندازه شارژ و یا دشارژ خواهند شد و عمر آن‌ها به شرط آن که دارای انرژی اولیه یکسانی باشند به یک اندازه خواهد بود. لازم به ذکر است که n تعداد طبقات اینورتر چند سطحی می‌باشد. شکل ۲-۵-ب روش کنترلی شارژ متعادل تمام موج را در یک اینورتر ۳ طبقه نشان می‌دهد. در این روش در هر دوره تناوب، پالس‌های α_1 تا α_3 بین طبقات اول تا سوم به صورت چرخشی عوض می‌شوند به طوری که بعد از ۳ دوره تناوب، منابع ولتاژ dc موجود در هر ۳ طبقه به یک اندازه شارژ و یا دشارژ خواهند شد. در روش کنترلی شارژ متعادل نیم موج چرخش پالس‌های تولید شده در بین طبقات اول تا n ام در هر نیم دوره تناوب انجام می‌شود. شکل ۲-۵-ج این روش کنترلی را در یک اینورتر سری ۳ طبقه متقارن نشان می‌دهد. دو روش کنترلی شارژ متعادل دیگری نیز در شکل۲-۵-د و ۲-۵- ه نشان داده شده است. هم چنان که در شکل ۲-۵-د نشان داده شده است جهت

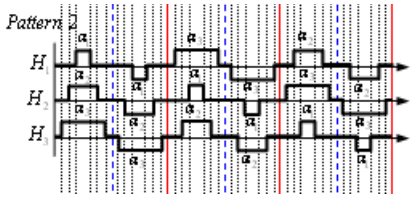
[1] Charge balance

شارژ و دشارژ منابع ولتاژ dc ، پالس‌های β_1 تا β_3 در هر دوره تناوب بین طبقات مختلف به صورت چرخشی عوض می‌شود و در نهایت در آخرین روش کنترلی چرخش پالس‌های β_1 تا β_3 در هر نیم دوره تناوب، بین طبقات اول تا سوم صورت گرفته است. نتایج شبیه‌سازی مربوط به شکل موج‌های ولتاژ خروجی طبقات مختلف و شکل موج ولتاژ خروجی یک اینورتر ۷ سطحی سری متقارن در روش کنترلی کلاسیک و شارژ متعادل تمام موج به ترتیب در شکل‌های ۲-۶ و ۲-۷ نشان داده شده است.

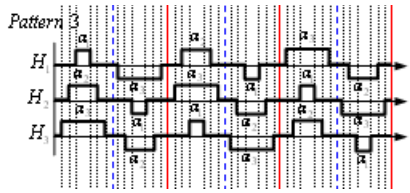




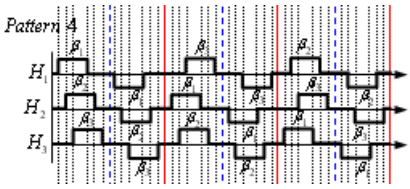
(الف)



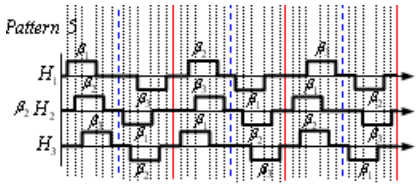
(ب)



(ج)

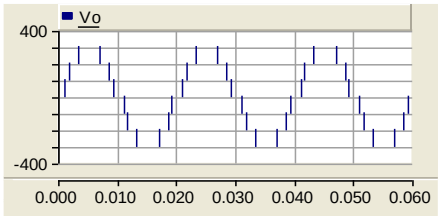


(د)

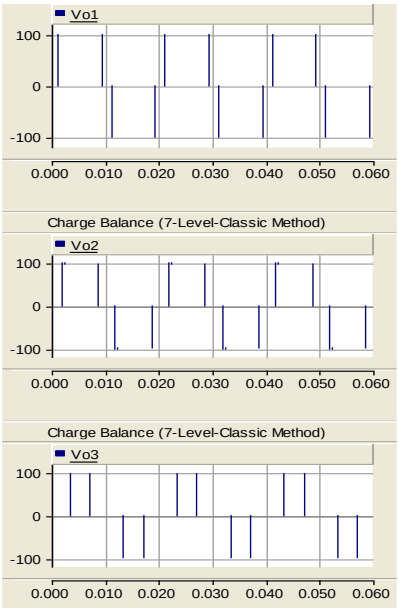


(ه)

شکل ۵-۲: دروش‌های کنترلی یک اینورتر سری ۳ طبقه متقارن؛ (الف) روش کنترلی کلاسک؛ (ب) روش کنترلی شارژ متعادل تمام موج؛ (ج) روش کنترلی شارژ متعادل نیم موج؛ (د) روش کنترلی شارژ متعادل ارائه شده در مرجع [۷٤]؛ (ه) روش کنترلی شارژ متعادل ارائه شده در مرجع [۷٤]

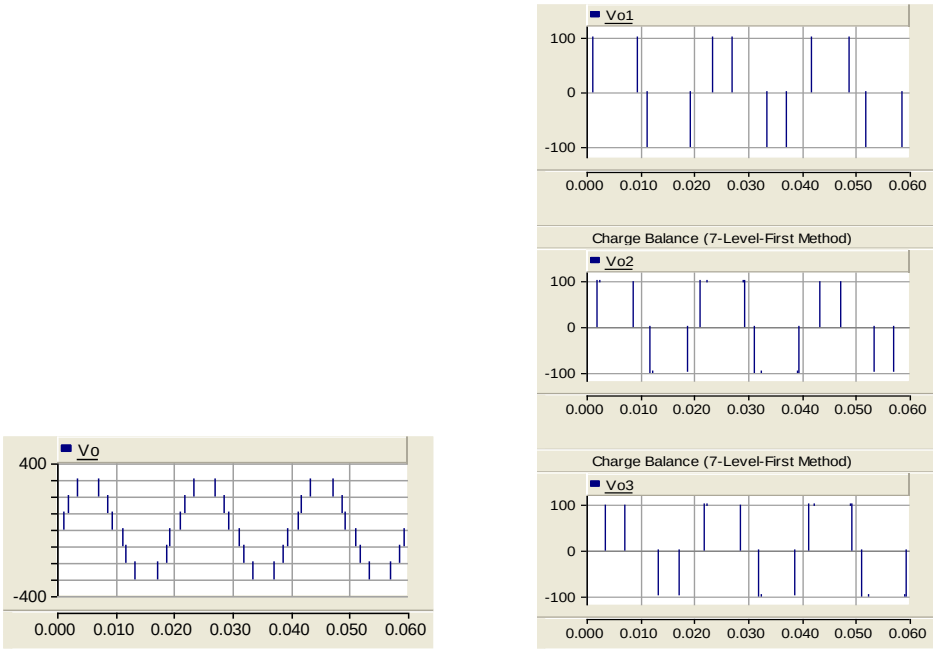


(ب)



(الف)

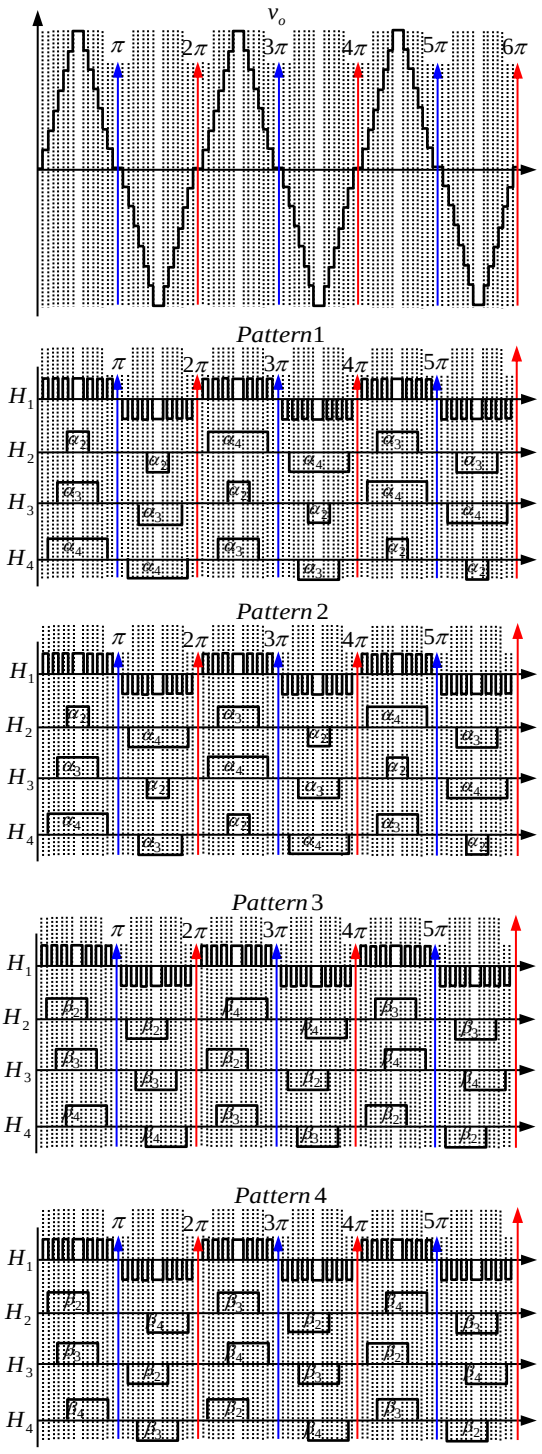
شکل ٦-۲: نتایج شبیه‌سازی اینورتر ۷ سطحی سری متقارن در روش کنترلی کلاسیک؛ (الف) شکل موج‌های ولتاژ خروجی طبقات مختلف؛ (ب) ولتاژ خروجی اینورتر



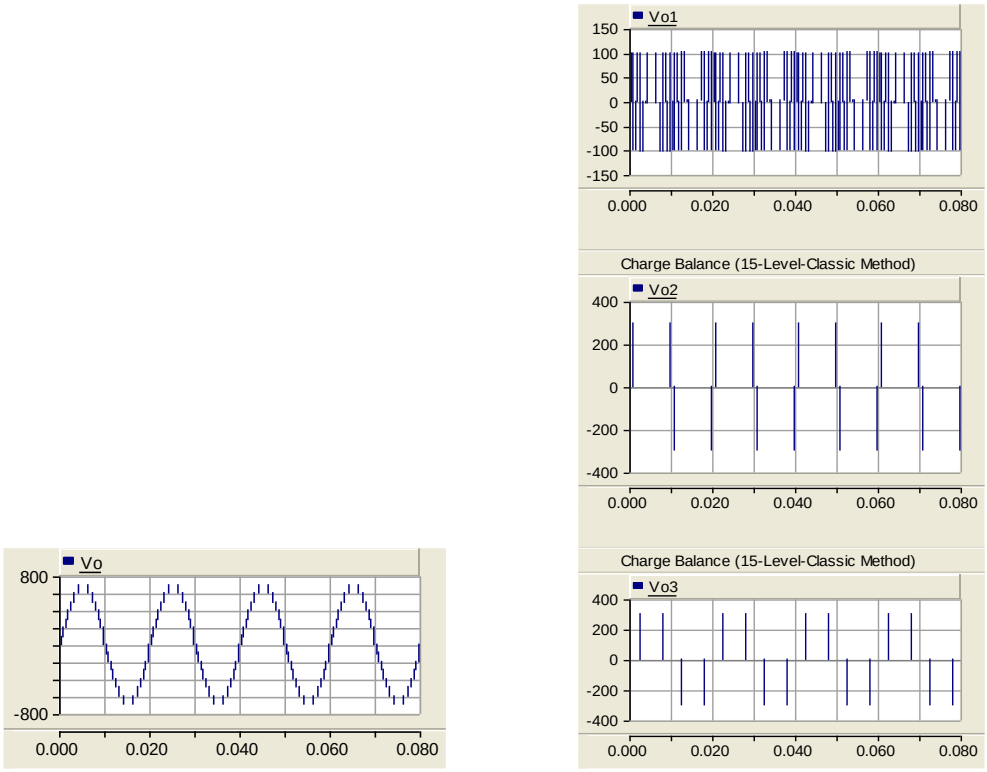
(ب) (الف)

شکل ۷-۲: نتایج شبیه‌سازی اینورتر ۷ سطحی سری متقارن در روش کنترلی شارژ متعادل تمام موج؛ (الف) شکل موج‌های ولتاژ خروجی طبقات مختلف؛ (ب) ولتاژ خروجی اینورتر

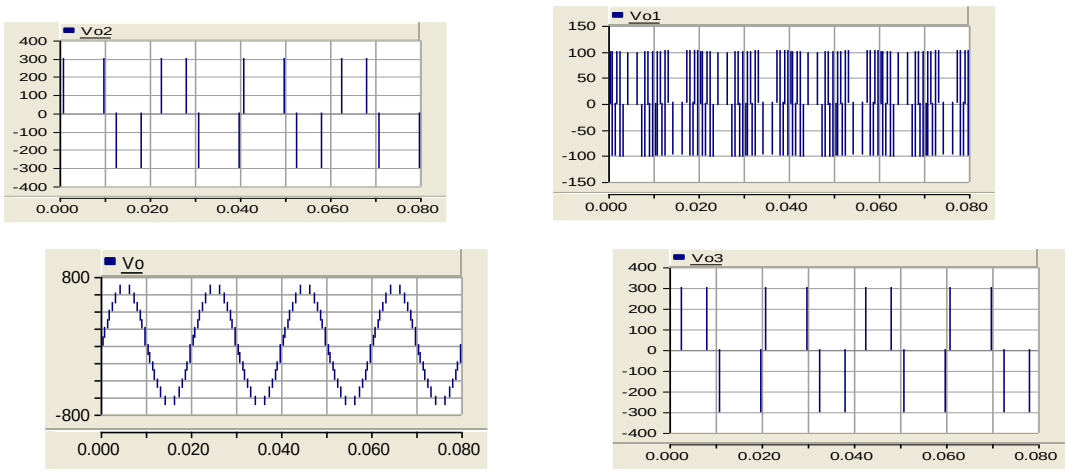
لازم به ذکر است که روش‌های شارژ متعادل ارائه شده تنها در اینورترهای چند سطحی سری قابل استفاده می‌باشد. به همین منظور چهار روش کنترلی شارژ متعادل برای اینورترهای چند سطحی سری نامتقارن در مرجع [۳۳] ارائه شده است. این روش‌های کنترلی برای یک اینورتر ۱۵ سطحی نامتقارن در شکل ۲-۸ نشان داده شد ه است. هم چنان که در این شکل دیده می‌شود، در این روش کنترلی طبقه اول در نظر گرفته نشده و در یک اینورتر N طبقه برای $(N-1)$ طبقه دیگر پیاده‌سازی می‌شود. به طوری که بعد از $(N-1)$ دوره تناوب، ولتاژ منابع dc تمام طبقات به استثنای طبقه اول به یک اندازه شارژ ویا دشارژ خواهند شد. با استفاده از این روش‌ها توان کشیده شده از منابع dc مختلف، یکسان خواهد بود. نتایج شبیه‌سازی مربوط به شکل موج‌های ولتاژ خروجی طبقات مختلف و شکل موج ولتاژ خروجی یک اینورتر ۱۵ سطحی سری نامتقارن در روش کنترلی کلاسیک و شارژ متعادل نیم موج به ترتیب در شکل‌های ۲-۹ و ۲-۱۰ نشان داده شده است.



شکل ۸-۲: روش‌های کنترلی شارژ متعادل در اینورتر۱۵ سطحی سری نامتقارن



شکل ۹-۲: نتایج شبیه‌سازی اینورتر ۱۵ سطحی سری نامتقارن در روش کنترلی کلاسیک؛ (الف) شکل موج‌های ولتاژ خروجی طبقات مختلف؛ (ب) ولتاژ خروجی اینورتر



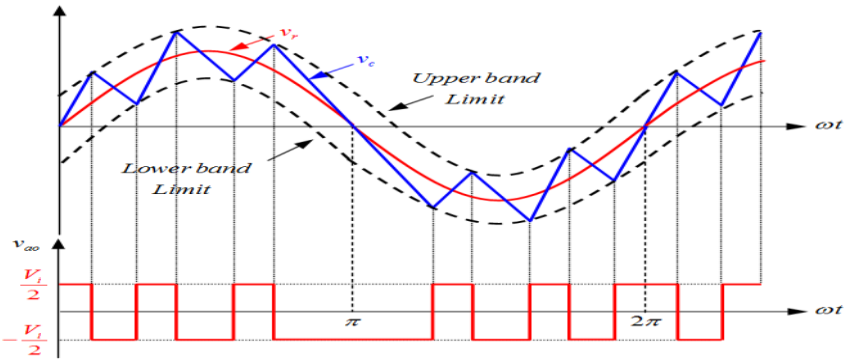
شکل ۱۰-۲: نتایج شبیه‌سازی اینورتر ۱۵ سطحی سری نامتقارن در روش کنترلی شارژ متعادل نیم موج؛ (الف) شکل موج‌های ولتاژ خروجی طبقات مختلف؛ (ب) ولتاژ خروجی اینورتر

۲-۶ سایر روش‌های مدولاسیون اینورترهای چند سطحی

در این زیربخش به بررسی سایر روش‌های کنترلی اینورترهاای چند سطحی که ترکیبی از روش‌های مختلف و بیشتر بر مبنای مدولاسیون پهنای پالس با سیگنال حامل متفاوت و کلیدزنی متفاوت خواهد بود ارائه شده است.

۲-۶-۱ روش‌کنترلی مدولاسیون دلتا

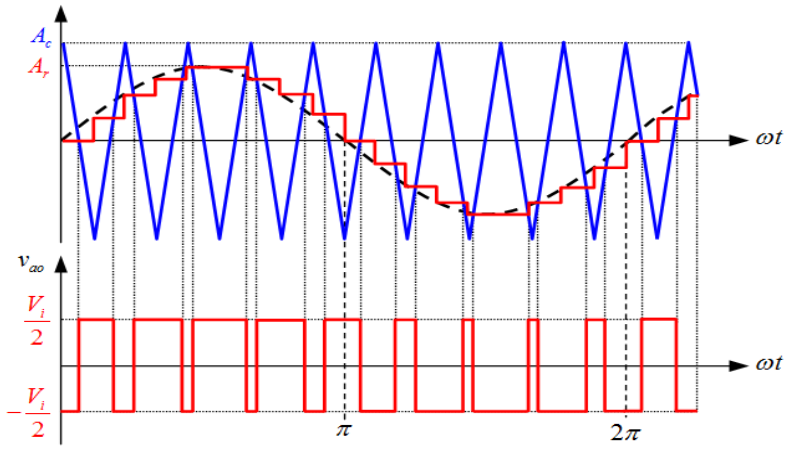
در مدولاسیون دلتا، به یک موج مثلثی اجازه داده می‌شود تا در یک فاصله معین ΔV در بالا و پایین موج سینوسی مرجع نوسان کند. تابع کلیدزنی اینورتر که مشابه ولتاژ خروجی است مطابق شکل از عمودهایی که از راس مثلث‌ها رسم می‌شود به دست می‌آید. این عمل تحت عنوان مدولاسیون هیسترزیس هم نامیده می‌شود. اگر فرکانس موج مدوله کننده را در حالی که شیب مثلثی ثابت نگه داشته می‌شود تغییر دهیم تعداد پالس‌ها و عرض پالس‌های موج مدوله شده مانند شکل ۲-۱۱ تغییر می‌کند[۷۶].



شکل ۱۱-۲: مدولاسیون دلتا [۷۶]

۲-۶-۱-۱ روش‌کنترلی مدولاسیون پله‌ای

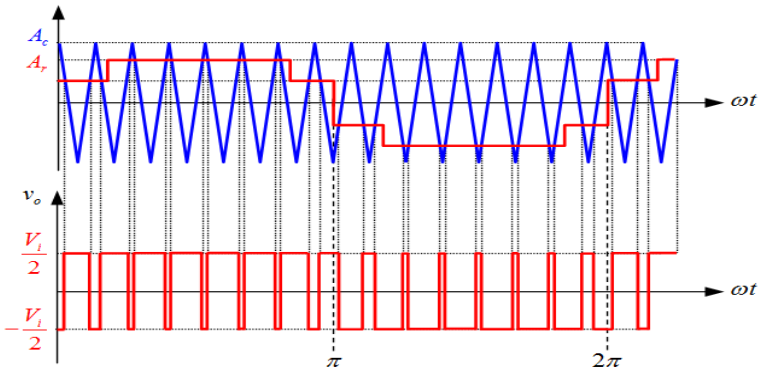
سیگنال مدوله کننده، یک موج پله‌ای است. موج پله‌ای یک نمونه تقریبی از موج سینوسی نیست. این موج به فواصل تعیین شده‌ای، برای مثال $20°$ تقسیم می‌شود که هر فاصله به منظور کنترل دامنه مولفه اصلی و بر طرف کردن هارمونیک‌های خاص، به طور جداگانه کنترل می‌شود. این نوع کنترل در مقایسه با کنترل PWM نرمال، همانند شکل ۲-۱۲ دامنه اصلی بزرگ‌تر و اعوجاج کمتری را در خروجی ارائه می‌کند[۶۹].



شکل ۱۲-۲: مدولاسیون پله‌ای ارائه شده [۷۷]

۲-۶-۱-۲ روش‌کنترلی مدولاسیون پلکانی

سیگنال مدوله کننده، همان طور که در شکل نشان داده شده است یک موج پلکانی است. موج پلکانی یک نمونه تقریبی از موج سینوسی نمی‌باشد. سطح پله‌ها برای برطرف کردن یک سری هارمونیک‌های خاص محاسبه می‌شوند. نسبت فرکانس مدولاسیون m_f و تعداد پله‌ها طوری انتخاب می‌شوند که ولتاژ خروجی دارای کیفیت مطلوب باشد. این روش نوعی PWM بهینه شده است و برای کم‌تر از ۱۵ پالس در هر دوره تناوب توصیه نمی‌شود. ثابت شده است که برای داشتن ولتاژ خروجی با کیفیت بالا و ضریب اعوجاج پایین، مناسب‌ترین تعداد پالس در هر دوره تناوب مقدار ۱۵ برای دو سطح، ۲۱ برای سه سطح و ۲۷ برای چهار سطح می‌باشد. این نوع کنترل، ولتاژ خروجی با کیفیت بالا و مقدار اصلی با دامنه $0.94V_i$ را مانند شکل ۲-۱۳ تامین می‌کند[۶۹].



شکل ۱۳-۲: مدولاسیون پلکانی ارائه شده [۶۹]

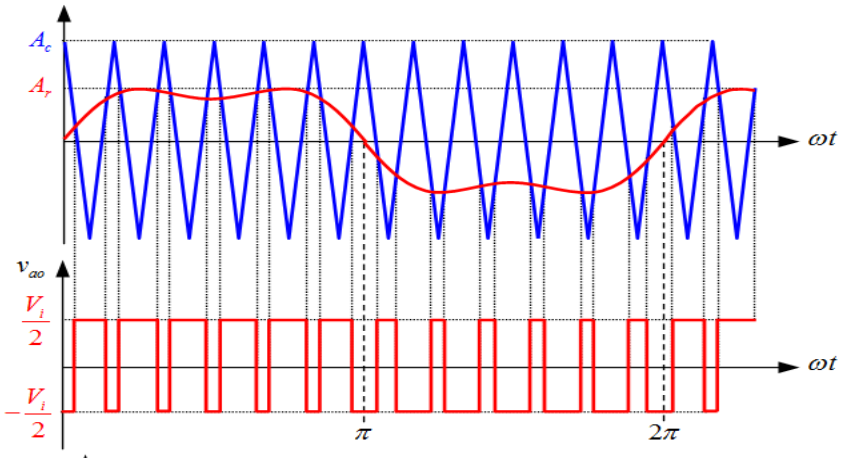
۲-۶-۱-۳ روش‌کنترلی مدولاسیون تزریق هارمونیک

سیگنال مدوله کننده با تزریق یک سری هارمونیک‌های منتخب به موج سینوسی ایجاد می‌شود. این عمل باعث ایجاد یک شکل‌موج با قله‌های تخت شده و مقدار فوق مدولاسیون را کاهش می‌دهد. این کنترل دامنه اصلی بالاتر و اعوجاج کم در ولتاژ خروجی را نتیجه می‌دهد. عموماً سیگنال مدوله کننده از ترکیب زیر به دست می‌آید:[۱۹]

$$v_r = 1.15sin\omega t + 0.27sin\omega t - 0.029sin9\omega t \qquad (۴-۲)$$

سیگنال مدوله کننده با تزریق هارمونیک‌های سوم و نهم درشکل ۳-۱۰ نشان داده شده است. باید توجه داشت که تزریق هارمونیک سوم کیفیت ولتاژ خروجی را تحت تاثیر قرار نمی‌دهد چرا که خروجی اینورتر سه فاز فاقد هارمونیک‌های مضرب سه می‌باشد. اگر فقط هارمونیک سوم تزریق شود v_r با رابطه زیر مشخص می‌شود:[۱۹]

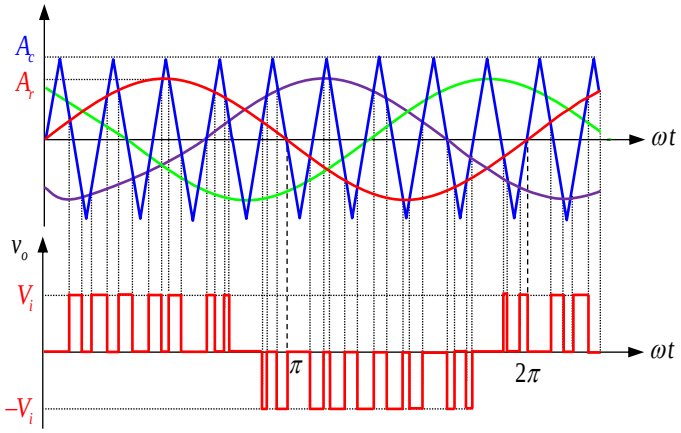
$$v_r = 1.15sin\omega t + 0.19sin3\omega t \qquad (۲-۵)$$



شکل ۱۴-۲: مدولاسیون تزریق هارمونیک ارائه شده [۷۷]

۲-۶-۱-۴ روش‌کنترلی اینوترهای سه فاز

یک اینورتر سه فاز را می‌توان به صورت سه اینورتر تک فاز که خروجی هر یک ۱۲۰ درجه شیفت داده شده است در نظر گرفت. روش‌های کنترل ولتاژ را که در بخش‌های قبل مورد بررسی قرار گرفتند می‌توان در مورد اینورترهای سه فاز به کار برد. به عنوان مثال، نحوه تولید سیگنال‌های فرمان توسط مدولاسیون پهنای پالس سینوسی در شکل نشان داده شده است. سه موج سینوسی که هر یک نسبت به هم ۱۲۰ درجه شیفت داده شده‌اند وجود دارد. برای ایجاد سیگنال فرمان برای هر فاز، یک موج حامل با سیگنال مرجع مربوط به آن فاز مقایسه می‌شود. ولتاژ خروجی همان‌طور که در شکل ۲-۱۵ نشان داده شده است با کنار گذاشتن این شرط که دو کلید قدرت واقع شده در یک بازو نمی‌توانند به طور هم زمان هدایت کنند ایجاد می‌شود[۶۷].

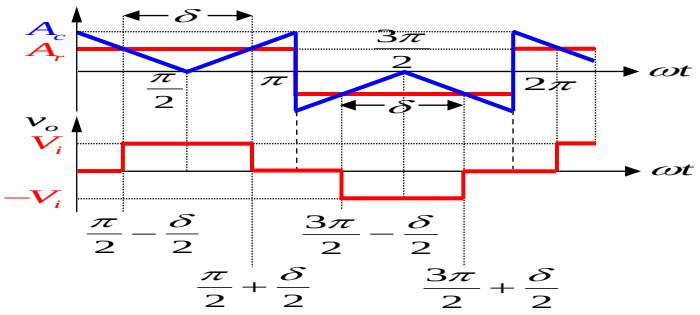


شکل ۱۵-۲: روش کنترلی اینورترهای سه فاز ارائه شده [۶۷]

۲-۶-۱-۵ روش‌کنترلی مدولاسیون پهنای پالس منفرد

در کنترل مدولاسیون پهنای پالس منفرد، در هر نیم دوره تناوب تنها یک پالس وجود دارد و پهنای این پالس برای کنترل ولتاژ خروجی اینورتر، تغییر داده می‌شود. در شکل ۲-۱۶ سیگنال حامل و موج مرجع و نحوه تولید ولتاژ خروجی اینورتر تمام پل تک فاز نشان داده شده است. ولتاژ خروجی از مقایسه یک سیگنال مرجع مربعی با دامنه A_r با یک موج حامل مثلثی با دامنه A_c حاصل

می‌شود. فرکانس سیگنال مرجع، فرکانس اصلی ولتاژ خروجی را تعیین می‌کند. با تغییر A_r از صفر تا A_c پهنای پالس (δ) را می‌توان از صفر تا ۱۸۰ درجه تغییر می دهد[۶۷].



شکل ۱۶-۲: روش‌کنترلی مدولاسیون پهنای پالس منفرد ارائه شده [۶۷]

با توجه به شکل ۲-۱۶ مقدار موثر ولتاژ خروجی از رابطه زیر به دست می‌آید:

$$V_{o,rms} = \sqrt{\frac{2}{2\pi}\int_{\frac{(\pi-\delta)}{2}}^{\frac{(\pi+\delta)}{2}} V_i^2\, d(\omega t)} = V_i\sqrt{\frac{\delta}{\pi}} \qquad (۶-۲)$$

با توجه به این که شکل‌موج خروجی یک شکل‌موج متقارن می‌باشد بنابراین با بسط به سری فوریه می‌توان طیف هارمونیکی آن را به دست آورد. بسط سری فوریه ولتاژ خروجی برابر خواهد بود با:

$$V_o(t) = \sum_{n=1,3,5,\dots}^{\infty} \frac{4V_i}{n\pi}\sin\frac{n\delta}{2}\sin(n\omega t) \qquad (۷-۲)$$

با توجه به رابطه فوق مشاهده می‌شود که تنها مولفه‌های فرد وجود خواهد داشت که علت آن متقارن بودن شکل‌موج خروجی می‌باشد.

۲-۶-۲ روش‌کنترلی مدولاسیون ذوزنقه‌ای

همان‌گونه که در شکل ۲-۱۷ نشان داده شده است سیگنال‌های آتش از مقایسه یک موج حامل مثلثی با یک موج ذوزنقه‌ای مدوله کننده ایجاد می‌شوند. موج ذوزنقه‌ای را می‌توان به وسیله محدود کردن دامنه یک موج مثلثی به $\pm A_r$ که با رابطه زیر با مقدار $A_{r(\max)}$ مربوط است به دست آورد.

$$A_r = \sigma A_{r(\max)} \qquad (۸-۲)$$

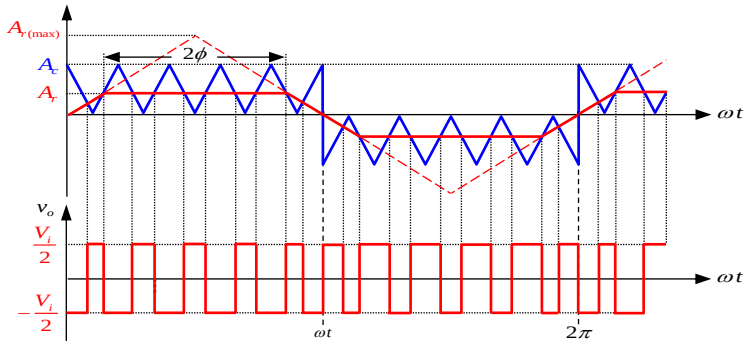
در رابطه بالا σ به نام ضریب مثلثی خوانده می‌شود چون هنگامی که $\sigma = 1$ باشد شکل‌موج به یک موج مثلثی تبدیل می‌شود. شاخص مدولاسیون M برابر است با:

$$M = \frac{A_r}{A_c} \qquad 0 \le M \le 1 \qquad (۹-۲)$$

زاویه قسمت تخت موج ذوزنقه‌ای از رابطه زیر به دست می‌آید:

$$2\emptyset = (1-\sigma)\pi \qquad (۱۰-۲)$$

برای مقادیر ثابت $A_{r(\max)}$ و A_c ، M را که با ولتاژ خروجی تغییر می‌کند می‌توان با عوض کردن ضریب مثلثی تغییر داد. این نوع مدولاسیون، ولتاژ خروجی اصلی پیک را تا $1.05V_i$ افزایش می‌دهد.اما خروجی شامل هارمونیک‌هایی با مرتبه پایین‌تر خواهد بود[۶۷].



شکل ۱۷-۲: مدولاسیون ذوزنقه‌ای ارائه شده [۷۷]

۲-۷ نتیجه‌گیری

در این بخش روش‌های کنترل اینورترهای چند سطحی در یک دسته‌بندی کلی بیان و در خصوص هر کدام از روش‌های اصلی و پایه توضیحاتی داده شده است. هم چنین بسیاری از روش‌های مبتنی بر روش‌های کلیدزنی پایه و یا تلفیقی از آنها که در مقالات ارائه شده است به تفصیل بیان شده است. قاعدتا روش‌های کنترل مبتنی بر کلیدزنی در فرکانس اصلی به دلیل تلفات کلیدزنی پایین ناشی از کاهش در تعداد دفعات روشن و خاموش شدن کلیدها و افزایش راندمان ناشی از آن، بیشتر مورد استقبال قرارخواهد گرفت و یکی از مهمترین ویژگی اینورترهای چند سطحی سری در مقایسه با سایر انواع اینورترهای چند سطحی امکان کلیدزنی در فرکانس اصلی است. توجه به این نکته ضروری است که استفاده از روش‌های کلیدزنی در فرکانس بالا مبتنی بر روش‌های PWM در برخی از ساختارهای اینورت‌های چند سطحی از جمله اینورترهای خازن شناور و برشگر دیودی اجتناب ناپذیر خواهد بود. در فصل بعد، با معرفی ساختار پیشنهادی و بررسی شرایط حاکم بر ساختار و اجزاء تشکیل دهنده آن مناسب‌ترین روش کلیدزنی انتخاب و بیان خواهد شد.

فصل سوم: ارائه ساختار پیشنهادی

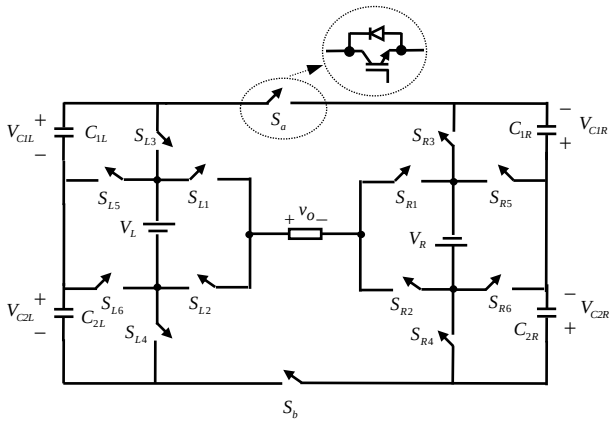
۳-۱ مقدمه

اینورترهای چند سطحی به عنوان یک مبدل الکترونیک قدرت در کاربردهای توان بالا، ولتاژ بالا مورد استفاده قرار می‌گیرند. در میان انواع مختلف اینورترهای چند سطحی، اینورترهای چند سطحی سری به دلیل عدم نیاز به خازن‌های شناور و در نتیجه مشکلات مربوط به تعادل ولتاژ آن‌ها و دیودهای برشگر، قابلیت اطمینان بالاتر، سادگی روش کنترلی و غیره بیش‌تر مورد توجه قرار می‌گیرند. یکی از مشکلات اینورترهای چند سطحی سری افزایش تعدادمنابع ولتاژ dc مستقل و ادوات الکترونیک قدرت مورد نیاز با افزایش تعداد سطوح ولتاژ خروجی است که منجر به افزایش فضای مورد نیاز برای نصب و هزینه تمام شده اینورتر می‌شود. در این فصل، به منظور حل مشکلات مربوط به اینورترهای موجود ساختار اینورتر پایه پیشنهادی مبتنی بر خازن به همراه روش کنترلی انتخابی برای اینورترهای چند سطحی سری پیشنهاد می‌گردد. هم چنین روابط مربوط به تعداد ادوات الکترونیک قدرت موردنیاز، تعداد منابع ولتاژ dc، تنوع اندازه منابع ولتاژ dc و تعداد خازن‌های مورد نیاز محاسبه خواهند شد.

ساختار پیشنهادی از مجموعه ساختارهای اینورتر سری خواهد بود که در این بخش ابتدا ساختار پایه و در ادامه ساختار توسعه یافته سری ارائه خواهد شد. در ادامه ساختار پیشنهادی با ساختارهای پایه دیگر از اینورترهای چند سطحی به لحاظ تعداد ادوات الکترونیک قدرت استفاده شده مقایسه خواهد شد در شرایطی که تعداد سطوح ولتاژ خروجی برابر باشد تا مزایا و معایب این ساختار نشان داده شود.

۳-۲ ساختار اینورتر پایه پیشنهادی

شکل ۳-۱ واحد پایه پیشنهادی را نشان می‌دهد. همانطور که در شکل ۳-۱ نشان داده شده است ساختار پایه پیشنهادی از چهارده کلید الکترونیک قدرت، دو منبع ولتاژ dc و ۴ خازن تشکیل شده است. هم چنین با توجه به اینکه عموما بارها از نوع اهمی سلفی می‌باشند لذا دو طرفه جریان خواهند بود و یک طرفه ولتاژ هستند. منابع ولتاژ dc ایزوله شده که توسط منابع انرژی تجدید پذیر مانند سلول‌های سوختی و فتوولتائیک می‌توانند تامین شوند، در ساختار اینورتر چند سطحی پیشنهادی استفاده شده است. در ساختار پیشنهادی، روشن شدن هم زمان کلیدهای (S_{L1}, S_{L2})، (S_{R1}, S_{R2})، (S_{L6}, S_{L5}) و (S_{R6}, S_{R5}) منجر به اتصال کوتاه شدن منابع ولتاژ می‌شود، بنابراین باید از روشن کردن هم زمان این کلیدها خودداری کرد. توجه شود کلیدزنی باید به گونه‌ای باشد که منابع ولتاژ اتصال کوتاه نشوند. هم چنین کلیدهای (S_{R5}) و (S_{R6}) جهت شارژ و دشارژ خازن‌های (C_1) و (C_2) مورد استفاده قرار خواهند گرفت. به طور مشابه، کلیدهای (S_{L5}) و (S_{L6}) جهت شارژ و دشارژ خازن‌های (C_3) و (C_4) در نظر گرفته شده است. جدول ۳-۱ ولتاژ خروجی واحد پایه پیشنهادی را به ازای حالت‌های مختلف کلیدزنی نشان می‌دهد.



شکل ۱-۳: واحد پایه پیشنهادی

جدول ۱-۳: ولتاژ خروجی واحد پایه پیشنهادی به ازای حالت‌های مختلف کلیدزنی

SL,1	SL,2	SL,3	SL,4	SL,5	SL,6	SR,1	SR,2	SR,3	SR,4	SR,5	SR,6	Sa	Sb	V_o
1	0	1	0	0	1	1	0	1	0	0	1	0	1	$V_{C1L}+V_{C2L}+V_{C1R}+V_{C2R}$
1	0	1	0	0	1	1	0	0	1	1	0	0	1	$V_R+V_{C1L}+V_{C2L}$
1	0	1	0	0	1	0	1	0	1	1	0	0	1	$V_{C1L}+V_{C2L}$
1	0	0	1	1	0	1	0	1	0	0	1	0	1	$V_L+V_{C1R}+V_{C2R}$
1	0	0	1	1	0	1	0	0	1	1	0	0	1	V_L+V_R
1	0	0	1	0	0	0	1	0	1	0	0	0	1	V_L
0	1	0	1	1	0	1	0	1	0	0	1	0	1	$V_{C1R}+V_{C2R}$
0	1	0	1	0	0	1	0	0	1	0	0	0	1	V_R
0	1	0	1	0	0	0	1	0	1	0	0	0	1	0
1	0	1	0	0	0	1	0	1	0	0	0	1	0	۰
1	0	1	0	0	0	0	1	1	0	0	0	1	0	$-V_R$
1	0	1	0	0	1	0	1	0	1	1	0	1	0	$-(V_{C1R}+V_{C2R})$
0	1	1	0	0	0	1	0	1	0	0	0	1	0	$-V_L$
0	1	1	0	0	1	0	1	1	0	0	1	1	0	$-(V_L+V_R)$
0	1	1	0	0	1	0	1	0	1	1	0	1	0	$-(V_L+V_{C1R}+V_{C2R})$
0	1	0	1	1	0	1	0	1	0	0	1	1	0	$-(V_{C1L}+V_{C2L})$
0	1	0	1	1	0	0	1	1	0	0	1	1	0	$-(V_R+V_{C1L}+V_{C2L})$
0	1	0	1	1	0	0	1	0	1	1	0	1	0	$-(V_{C1L}+V_{C2L}+V_{C1R}+V_{C2R})$

با در نظر گرفتن مقادیر منابع ولتاژ dc در شکل ۳-۱برابر $V_L=3V_{dc}$ و $V_R=V_{dc}$ و قابلیت شارژ خازن‌های (C_{1L})، (C_{2L})، (C_{1R}) و (C_{2R}) به ترتیب به اندازه $(C_{1L}=3V_{dc})$، $(C_{2L}=3V_{dc})$، $(C_{1R}=V_{dc})$ و $(C_{2R}=V_{dc})$، ساختار پایه پیشنهادی قادر به تولد ۱۷ سطح $8V_{dc}$، $7V_{dc}$، $6V_{dc}$، $5V_{dc}$، $4V_{dc}$، ...، 0، ...، $-4V_{dc}$، $-5V_{dc}$، $-6V_{dc}$، $-7V_{dc}$ و $-8V_{dc}$، در ولتاژ خروجی خواهد بود. در چنین شرایط نحوه شارژ و دشارژ خازن‌ها متناسب با روش کلیدزنی در جدول ۳-۲ نشان داده شده است. هم چنان که مشاهده می‌شود در این ساختار تعداد دفعات شارژ و دشارژ خازن‌ها مشابه بوده و خازن‌ها به مقدار لازم و به طور تساوی شارژ و دشارژ می‌شوند. شایان ذکر است امکان تولید این تعداد سطوح با کلیدزنی کمتر هم وجود دارد لیکن شارژ خازن‌ها متعادل و متقارن نبوده و در آن صورت الگوی مشخصی در جهت کلیدزنی ارائه نخواهد داد. لذا به منظور داشتن الگوی مناسب و شارژ خازن‌ها کلیدزنی مطابق جدول ۳-۱ در نظر گرفته خواهد شد.

جدول ۲-۳: نحوه شارژ و دشارژ خازن به ازای سطوح مختلف ولتاژ خروجی

V_O	V_O	(C_{1L})	(C_{2L})	(C_{1R})	(C_{2R})
$V_{C1L}+V_{C2L}+V_{C1R}+V_{C2R}$	8 Vdc	NC*	DISCHARGE	NC*	DISCHARGE
$V_R+V_{C1L}+V_{C2L}$	7 Vdc	NC*	DISCHARGE		CHARGE
$V_{C1L}+V_{C2L}$	6 Vdc	NC*	DISCHARGE		CHARGE
$V_L+V_{C1R}+V_{C2R}$	5 Vdc		CHARGE	NC*	DISCHARGE
V_L+V_R	4 Vdc		CHARGE		CHARGE
V_L	3 Vdc				
$V_{C1R}+V_{C2R}$	2 Vdc		CHARGE	NC*	DISCHARGE
V_R	1 Vdc				
0	0				
0	0				
$-V_R$	-1 Vdc				
$-(V_{C1R}+V_{C2R})$	-2 Vdc	CHARGE		DISCHARGE	NC*
$-V_L$	-3 Vdc				
$-(V_L+V_R)$	-4 Vdc	CHARGE		CHARGE	
$-(V_L+V_{C1R}+V_{C2R})$	-5 Vdc	CHARGE		DISCHARGE	NC*
$-(V_{C1L}+V_{C2L})$	-6 Vdc	DISCHARGE	NC*	CHARGE	
$-(V_R+V_{C1L}+V_{C2L})$	-7 Vdc	DISCHARGE	NC*	CHARGE	
$-(V_{C1L}+V_{C2L}+V_{C1R}+V_{C2R})$	-8 Vdc	DISCHARGE	NC*	DISCHARGE	NC*

۳-۳ توسعه ساختار اینورتر پیشنهادی

به منظور افزایش در تعداد سطوح ولتاژ خروجی توسعه ساختار پایه پیشنهادی در نظرگرفته شده است. در ارائه ساختار توسعه یافته دو روش پیشنهاد می گردد. در روش اول ساختار به صورت افقی توسعه یافته و با هدف ایجاد سطوح ولتاژ جدید با ایجاد هر طبقه باشد. در این حالت به دلیل ، افزایش تعداد خازن ها، زمان بسیار زیاد مورد نیاز برای شارژ خازن‌ها در سطوح ولتاژ بالاتر، روش کنترلی پیچیده، عدم امکان شارژ درست و به موقع خازن و لذا عدم امکان ایجاد تمامی سطوح، مورد تایید قرار نگرفته است. در مدل دوم اتصال سری چند واحد پایه به صورت پشت سر هم و سری در نظر گرفته شده است. به منظور امکان ارائه ساختار توسعه یافته بر مبنای روش دوم در ادامه ساختار دو طبقه پیشنهادی، در صورت امکان ساختار توسعه یافته بررسی خواهند شد.

۳-۳-۱ ساختار توسعه یافته دو طبقه

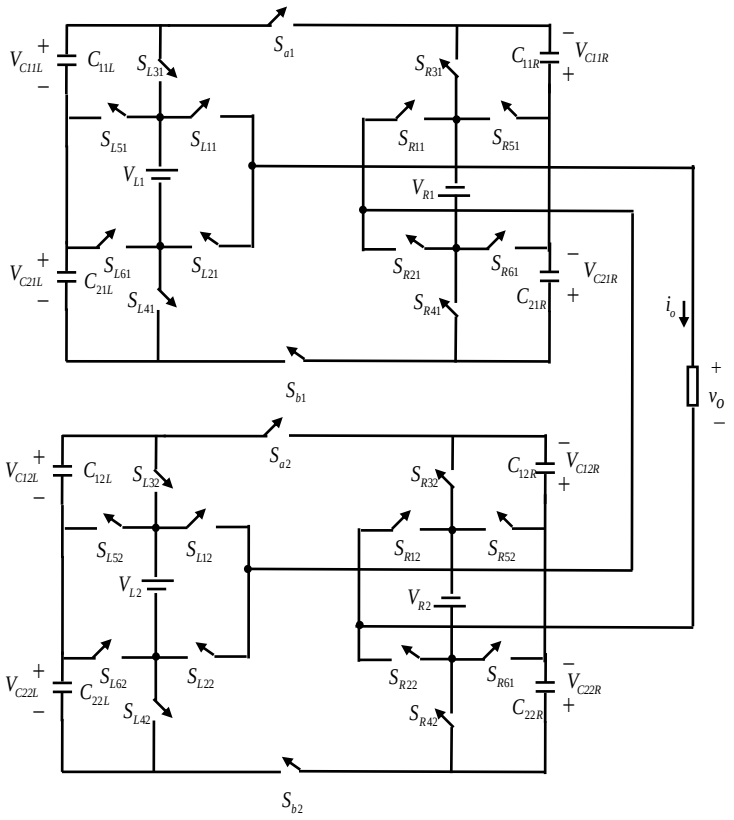
ساختار اینورتر پیشنهادی دو طبقه در شکل ۳-۲ نشان داده شده است. این ساختار از اتصال سری دو واحد پایه مطابق شکل ۳-۱ تشکیل شده است. لذا در این ساختار ۸ خازن، ۲۸ کلید الکترونیک قدرت و ۴ منبع ولتاژ dc استفاده شده است. دامنه منابع ولتاژ dc طبقات مختلف مطابق روابط زیر تعیین می‌گردد.

$$V_{R1}=V_{R2}=V_{dc} \quad (۳-۱)$$

$$V_{L1}=V_{L2}=3V_{dc} \quad (۳-۲)$$

در این ساختار روش کنترلی مشابه روش کنترلی به کار رفته در ساختار پایه خواهد بود و کلیدزنی به نحوی انجام خواهد شد تا در صورت نیاز امکان شارژ خازن‌ها فراهم گردد. در ساختار پیشنهادی، روشن شدن هم زمان کلیدهای (S_{L11}, S_{L21}) ، (S_{R11}, S_{R21})

، (S_{L61}, S_{L51}) و (S_{R61}, S_{R51}) از طبقه اول و روشن شدن هم زمان کلیدهای (S_{L12}, S_{L22})، (S_{R12}, S_{R22}) و (S_{L62}, S_{L52}) و (S_{R62}, S_{R52}) از طبقه دوم منجر به اتصال کوتاه شدن منابع ولتاژ می‌شود، بنابراین باید از روشن کردن هم زمان این کلیدها خودداری کرد. توجه شود کلیدزنی باید به گونه‌ای باشد که منابع ولتاژ اتصال کوتاه نشوند. هم چنین کلیدهای (S_{R51}) و (S_{R61}) جهت شارژ و دشارژ خازن‌های (C_{11R}) و (C_{21R}) از طبقه اول و کلیدهای (S_{R52}) و (S_{R62}) جهت شارژ و دشارژ خازن‌های (C_{12R}) و (C_{22R}) از طبقه دوم مورد استفاده قرار خواهند گرفت. به طور مشابه، کلیدهای (S_{L51}) و (S_{L61}) جهت شارژ و دشارژ خازن‌های (C_{11L}) و (C_{21L}) از طبقه اول و کلیدهای (S_{L52}) و (S_{L62}) جهت شارژ و دشارژ خازن‌های (C_{12L}) و (C_{22L}) در نظر گرفته شده است. جدول ۳–۳ ولتاژ خروجی ساختار دو طبقه پیشنهادی را به ازای حالت‌های مختلف کلیدزنی نشان می‌دهد.



شکل ۳–۳: ساختار دو طبقه پیشنهادی

با در نظر گرفتن مقادیر منابع ولتاژ dc در شکل ۳–۲ مطابق روابط (۳–۱)، (۳–۲)، قابلیت شارژ خازن‌های (C_{11L})، (C_{21L})، (C_{11R}) و (C_{21R}) از طبقه اول به ترتیب به اندازه $(C_{11L}=3V_{dc})$، $(C_{21L}=3V_{dc})$، $(C_{11R}=V_{dc})$، $(C_{21R}=V_{dc})$ و قابلیت شارژ خازن‌های (C_{12L})، (C_{22L})، (C_{12R}) و (C_{22R}) از طبقه دوم به ترتیب به اندازه $(C_{12L}=3V_{dc})$، $(C_{22L}=3V_{dc})$، $(C_{12R}=V_{dc})$، $(C_{22R}=V_{dc})$، ساختار دو طبقه پیشنهادی قادر به تولد ۳۳ سطح $32V_{dc}$، $31V_{dc}$، $30V_{dc}$، $29V_{dc}$، ⋯، $5V_{dc}$، $4V_{dc}$، $3V_{dc}$، $2V_{dc}$، V_{dc}، 0، $-V_{dc}$، $-2V_{dc}$، $-3V_{dc}$، $-4V_{dc}$، $-5V_{dc}$، ⋯، $-29V_{dc}$، $-30V_{dc}$، $-31V_{dc}$ و $-32V_{dc}$ ، در ولتاژ خروجی خواهد بود. در چنین شرایط نحوه شارژ و دشارژ خازن‌ها متناسب با روش کلیدزنی در جدول ۳–۳ نشان داده شده است. هم چنان که مشاهده می‌شود در این ساختار تعداد دفعات شارژ و دشارژ خازن‌ها

مشابه بوده و خازن‌ها به مقدار لازم شارژ و دشارژ می‌شوند. لذا به منظور داشتن الگوی مناسب، شارژ خازن‌ها کلیدزنی مطابق جدول ۳-۳ در نظر گرفته خواهد شد.

جدول ۴-۳: ولتاژ خروجی ساختار دو طبقه پیشنهادی به ازای حالت‌های مختلف کلیدزنی

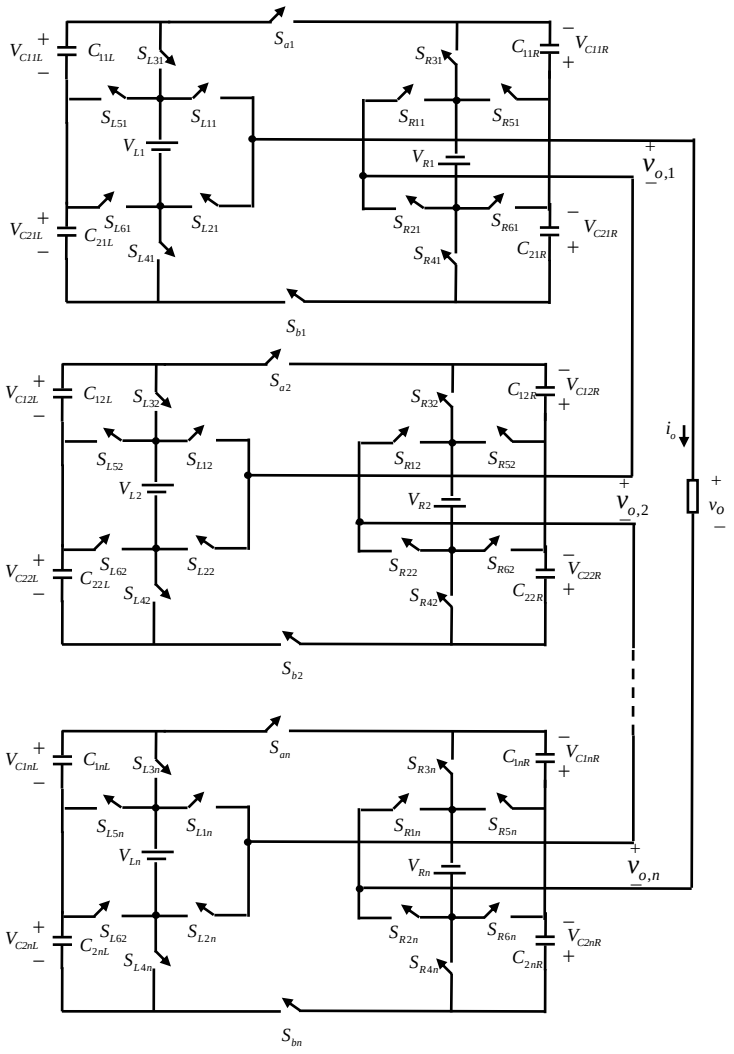
	On Switched			State of the Capacitors							
	First Proposed Unit	Second Proposed Unit		C_{11L}				C_{12L}	C_{22L}	C_{12R}	
	$S_{L11}, S_{L61}, S_{L31}, S_{R31}, S_{R11}, S_{R61}, S_{b1}$	$S_{L12}, S_{L62}, S_{L32}, S_{R12}, S_{R62}, S_{R32}, S_{b2}$									
	$S_{L11}, S_{L61}, S_{R11}, S_{R21}, S_{R51}, S_{b1}$	$S_{L12}, S_{L62}, S_{L32}, S_{R12}, S_{R62}, S_{R32}, S_{b2}$									
	$S_{L11}, S_{L61}, S_{L31}, S_{R11}, S_{R31}, S_{R61}, S_{b1}$	$S_{L62}, S_{L12}, S_{R42}, S_{R22} S_{R52}, S_{b2}$									
	$S_{L11}, S_{L61}, S_{R41}, S_{R21}, S_{R51}, S_{b1}$	$S_{L12}, S_{L22}, S_{R12}, S_{R42} S_{R52}, S_{b2}$									
	$S_{L11}, S_{L61}, S_{R11}, S_{R31}, S_{R61}, S_{b1}$	$S_{L42}, S_{L12}, S_{L52}, S_{R12}, S_{R42} S_{R52}, S_{b2}$									
	$S_{L41}, S_{L11}, S_{L51}, S_{R41}, S_{R11}, S_{R51}, S_{b1}$	$S_{L62}, S_{L12}, S_{R12}, S_{R42} S_{R52}, S_{b2}$									
	$S_{L21}, S_{L41}, S_{L51}, S_{R11}, S_{R51}, S_{b1}$	$S_{L12}, S_{L62}, S_{R32}, S_{R62}, S_{b2}$									
	$S_{L21}, S_{L41}, S_{L51}, S_{R41}, S_{R11}, S_{R51}, S_{b1}$	$S_{L62}, S_{L12}, S_{R12}, S_{R62}, S_{b2}$									
	$S_{L11}, S_{L61}, S_{R11}, S_{R61}, S_{b1}$	$S_{L22}, S_{L42}, S_{L52}, S_{R22}, S_{R42}, S_{R52}, S_{b2}$									
	$S_{L11}, S_{L61}, S_{R11}, S_{R41}, S_{R51}, S_{b1}$	$S_{L22}, S_{L42}, S_{L52}, S_{R22}, S_{R42}, S_{R52}, S_{b2}$									
	$S_{L11}, S_{L61}, S_{R41}, S_{R21}, S_{R51}, S_{b1}$	$S_{L22}, S_{L42}, S_{L52}, S_{R52}, S_{R22}, S_{R42}, S_{b2}$									
	$S_{L41}, S_{L11}, S_{L51}, S_{R11}, S_{R61}, S_{b1}$	$S_{L22}, S_{L42}, S_{L52}, S_{R22}, S_{R42}, S_{R52}, S_{b2}$									
	$S_{L41}, S_{L11}, S_{L51}, S_{R41}, S_{R11}, S_{R51}, S$	$S_{L22}, S_{L42}, S_{L52}, S_{R22}, S_{R42}, S_{R52}, S_{b2}$									
	$S_{L41}, S_{L11}, S_{L51}, S_{R51}, S_{R21}, S_{R41}, S$	$S_{L22}, S_{L42}, S_{L52}, S_{R52}, S_{R22}, S_{R42}, S_{b2}$									
	$S_{L21}, S_{L41}, S_{L51}, S_{R11}, S_{R61}, S_{b1}$	$S_{L22}, S_{L42}, S_{L52}, S_{R22}, S_{R42}, S_{R52}, S_{b2}$									

	$S_{L21}, S_{L41}, S_{L51},$ $S_{R11}, S_{R41}, S_{R51},$	$S_{L22}, S_{L42}, S_{L52},$ $S_{R22}, S_{R42}, S_{R52}, S_{b2}$									
	$S_{L21}, S_{L41}, S_{L51},$ $S_{R21}, S_{R41}, S_{R51},$	$S_{L22}, S_{L42}, S_{L52},$ $S_{R22}, S_{R42}, S_{R52}, S_{b2}$									
	$S_{L11}, S_{L31}, S_{L61},$ $S_{R11}, S_{R31}, S_{R61},$	$S_{L12}, S_{L32}, S_{L62},$ $S_{R12}, S_{R32}, S_{R62}, S_{a2}$									
	$S_{L11}, S_{L31}, S_{L61},$ $S_{R31}, S_{R21}, S_{R61},$	$S_{L12}, S_{L32}, S_{L62},$ $S_{R12}, S_{R32}, S_{R62}, S_{a2}$									
	$S_{L11}, S_{L31}, S_{L61},$ S_{R51}, S_{R21}, S_{a1}	$S_{L12}, S_{L32}, S_{R12},$									
	$S_{L31}, S_{L21}, S_{L61},$ $S_{R11}, S_{R31}, S_{R61},$	$S_{L12}, S_{L32}, S_{L62},$ $S_{R12}, S_{R32}, S_{R62}, S_{a2}$									
	$S_{L31}, S_{L21}, S_{L61},$ $S_{R31}, S_{R21}, S_{R61},$	$S_{L12}, S_{L32}, S_{L62},$ $S_{R12}, S_{R32}, S_{R62}, S_{a2}$									
	$S_{L31}, S_{L21}, S_{L61},$ S_{R21}, S_{R51}, S_{a1}	$S_{L12}, S_{L32}, S_{L62},$ $S_{R12}, S_{R32}, S_{R62}, S_{a2}$									
	$S_{L21}, S_{L51}, S_{R11},$ S_{R31}, S_{R61}, S_{a1}	$S_{L12}, S_{L32}, S_{L62},$ $S_{R12}, S_{R32}, S_{R62}, S_{a2}$									
	$S_{L21}, S_{L51}, S_{R31},$ S_{R21}, S_{R61}, S_{a1}	$S_{L12}, S_{L32}, S_{L62},$ $S_{R12}, S_{R32}, S_{R62}, S_{a2}$									
	$S_{L21}, S_{L51}, S_{R21},$	$S_{L12}, S_{L32}, S_{L62},$ $S_{R12}, S_{R32}, S_{R62}, S_{a2}$									
	$S_{L11}, S_{L31}, S_{L61},$ $S_{R61}, S_{R21}, S_{R31},$	$S_{L22},, S_{L52}, S_{R22},,$									
	$S_{L11}, S_{L31}, S_{L61},$ S_{R21}, S_{R51}, S_{a1}	$S_{L22}, S_{L52}, S_{R22},$									
	$S_{L31}, S_{L21}, S_{L61},$ $S_{R31}, S_{R61}, S_{R21},$	$S_{L22}, S_{L52}, S_{R22},$ S_{R32}, S_{R62}, S_{a2}									
	$S_{L21}, S_{L51}, S_{R21},$	$S_{L22}, S_{L12}, S_{L62},$ $S_{R22}, S_{R32}, S_{R62},$									
	$S_{L21}, S_{L51}, S_{R11},$ S_{R31}, S_{R61}, S_{a1}	$S_{L22}, S_{L52}, S_{R22},$ S_{R32}, S_{R62}, S_{a2}									
	$S_{L21}, S_{L41}, S_{L51},$ $S_{R21}, S_{R41}, S_{R51},$	$S_{L22}, S_{L42}, S_{L52},$ $S_{R12}, S_{R32}, S_{R62}, S_{a2}$									
	$S_{L21}, S_{L51}, S_{R61},$ S_{R21}, S_{R31}, S_{a1}	$S_{L22}, S_{L52}, S_{R22},$									

	$S_{L21}, S_{L41}, S_{L51},$ $S_{R21}, S_{R41}, S_{R51},$	$S_{L22}, S_{L42}, S_{L52},$ $S_{R22}, S_{R42}, S_{R52},$										

۲-۳-۳ ساختار توسعه یافته پیشنهادی

در ادامه و با هدف افزایش در تعداد سطوح ولتاژ خروجی، بدون افزایش در تعداد منابع ولتاژ dc در مقایسه با ساختارهای مرسوم و لذا استفاده از خازن به جای منابع ولتاژ، ساختار توسعه یافته پیشنهادی ارائه شده است. این ساختار در شکل ۳-۳ نشان داده شده است.



شکل ۲-۳: ساختار توسعه یافته پیشنهادی

این ساختار از n واحد پایه مطابق شکل ۳-۱ تشکیل شده است. دامنه منابع ولتاژ dc در این ساختار مطابق روابط زیر تعیین می‌گردد.

$$V_{B1} = V_{B2} = V_{Bi} = V_{dc} \quad for \quad i = 1, 2, 3, ..., n \qquad (۳-۳)$$

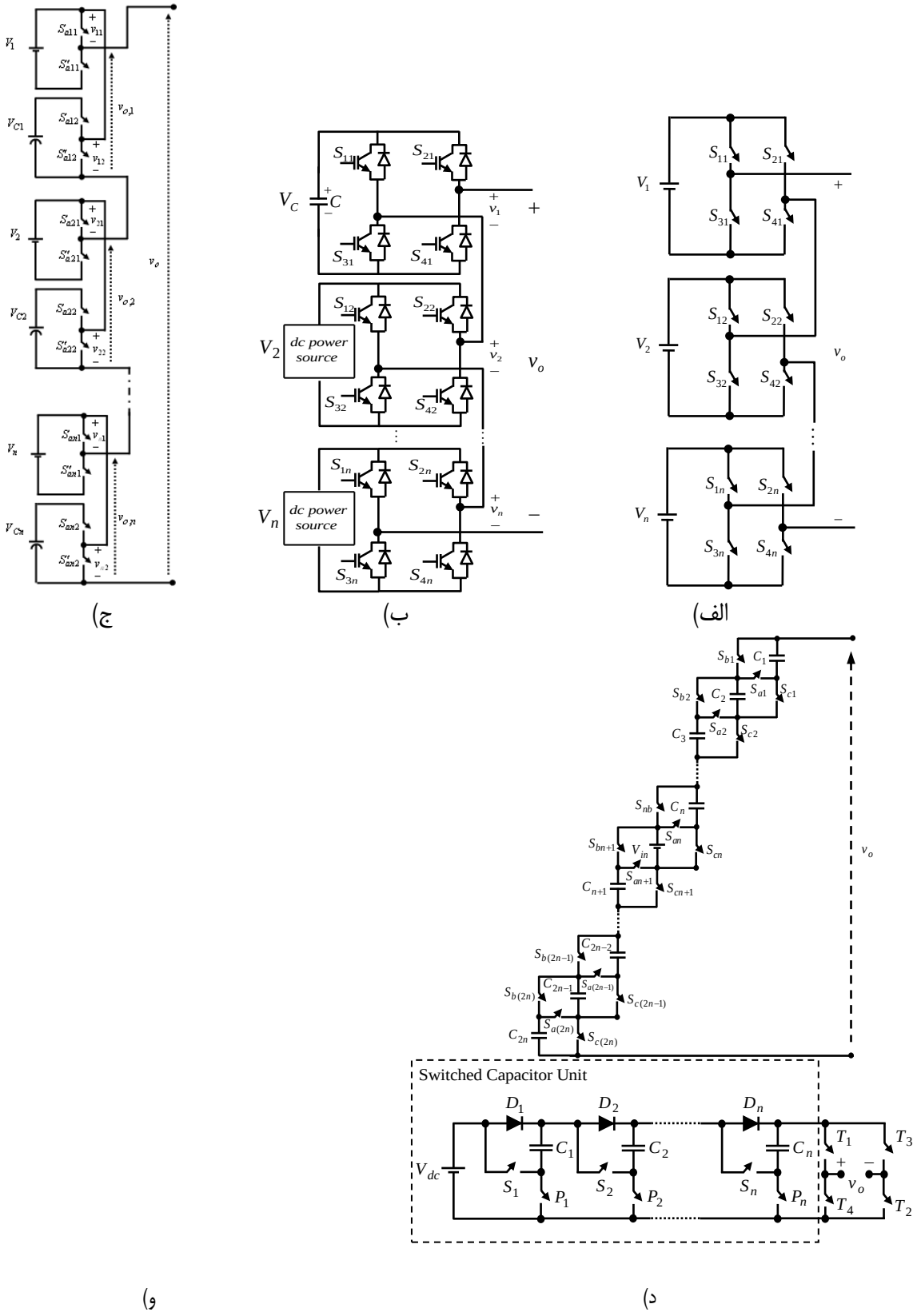
$$V_{r1} = V_{r2} = V_{ri} = 3V_{dc} \quad for \quad i = 1, 2, 3, ..., n \qquad (۳-۴)$$

روش شارژ و دشارژ خازن ها و کلیدزنی مطابق ساختار دو طبقه انجام خواهد شد. هم چنین کلیدزنی به گونه‌ای انجام می‌شود که مدت زمان شارژ خازن ها در هر طبقه بیشتر از مدت زمان دشارژ آن بوده و امکان تولید تمامی سطوح ولتاژ خروجی وجود داشته باشد. با توجه به اینکه خازن‌ها (C_{1jL}) و (C_{2jL})، حداکثر تا مقدار $3V_{dc}$ و خازن های ، (C_{1jR}) و (C_{2jR}) حداکثر تا مقدار V_{dc} امکان شارژ خواهند داشت، این مبدل قادر به تولید N_{level} سطح با حداکثر دامنه $V_{O,max}$ خواهد بود. هم چنین کلیه کلیدها از نوع یک طرفه ولتاژ دو طرفه جریان بوده و معادلات مربوط به تعداد کلیدهای الکترونیک قدرت (N_{switch})، مدارات راه انداز (N_{driver}) ، دیودها (N_{diode})، خازن‌ها $(N_{C\ldots})$ و تعداد منابع ولتاژdc (N_{dc}) مطابق روابط زیر بدست خواهدآمد.

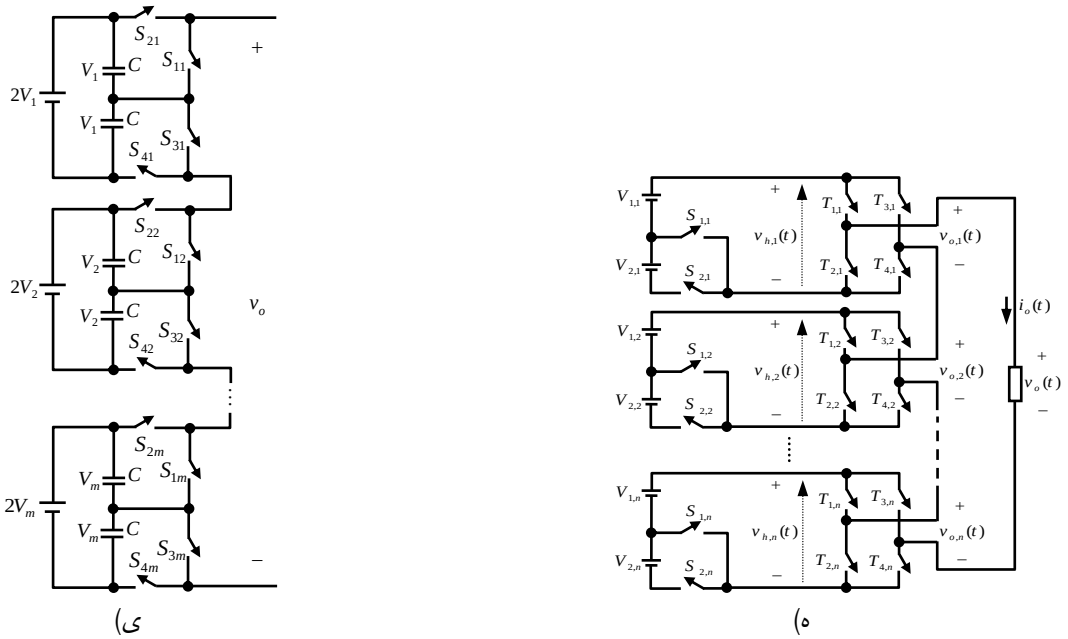
$$N_{level} = 16n + 1 \qquad (۳-۵)$$
$$V_{O,max} = 8nV_{dc} \qquad (۳-۶)$$
$$N_{switch} = 14n \qquad (۳-۷)$$
$$N_{driver} = 14n \qquad (۳-۸)$$
$$N_{diode} = 14n \qquad (۳-۹)$$
$$N_{Capacitor} = 4n \qquad (۳-۱۰)$$
$$N_{dc} = 2n \qquad (۳-۱۱)$$

۳-۴ مقایسه ساختار پیشنهادی با ساختارهای مرسوم

در این زیر بخش به منظور بررسی مزایا و معایب ساختار پیشنهادی توسعه یافته، این ساختار با چندین ساختار اینورتر چند سطحی مرسوم مقایسه شده است. در این مقایسه از انواع مختلف ساختار اینورترهای چند سطحی متقارن و نامتقارن، مبتنی بر خازن و بدون استفاده از خازن و ساختار مرسوم پل H استفاده شده است. ساختارهای به کار رفته در این بخش در شکل ۳-۴ نشان داده شده است. ساختار پل H مرسوم که در شکل ۳-۴-الف نشان داده شده است با دو الگوریتم متقارن $(V_1 = V_2 = \cdots = V_n = V_{dc})$ و نا متقارن$(V_1 = V_{dc} \quad V_2 = \cdots = V_n = 2V_{dc})$ و با R_1 و R_2 در نظر گرفته شده است [۳۳]. ساختار ارائه شده در مرجع [۷۷] که با نماد R_3 در شکل ۳-۴-ب نشان داده شده است از ساختارهای بر مبنای خازن و با الگوریتم $V_j = 2V_{dc}, V_C = V_{dc} \quad for\ j = 1, 2, \cdots, n$ می‌باشد. هم چنان که در این الگوریتم دیده می‌شود دامنه منبع ولتاژ خازنی نصف منابع ولتاژ dc در نظر گرفته شده است. ساختار نشان داده شده در شکل ۳-۴-ج از نوع ساختارهای مبتنی بر خازن بوده که به ترتیب با نمادهای R_4 و R_5 در نظر گرفته شده است و هر کدام به ترتیب از الگوریتم $V_1 = V_{dc}, V_{j+1} = 2V_{dc}, V_{C,j} = V_j \quad for\ j = 1, 2, \cdots, n$ و $V_j = V_{dc}, V_{C,j} = V_j \quad for\ j = 1, 2, \cdots, n$ پیروی می‌کنند. هم چنان که در شکل دیده می‌شود هر واحد پایه مشتمل بر یک منبع ولتاژ dc و یک خازن خواهد بود [۷۸]. ساختار نشان داده شده در شکل ۳-۴-د از ساختار تماما بر مبنای خازن با تنها یک منبع ولتاژdc است. در این ساختار که با نماد R_6 در نظر گرفته شده است دامنه منابع ولتاژ با رابطه $V_{in} = V_{dc}$ تعیین می‌شود [۵۰]. ساختار ارائه شده در مرجع [۷۹] که با نماد R_7 و الگوریتم $V_{in} = V_{dc}$ در نظر گرفته شده است و در شکل ۳-۴-و نشان داده شده است ساختار مبتنی بر خازن است. ساختارهای نشان داده شده در شکل ۳-۴-ه و ۳-۴-ی به ترتیب با نماد R_8 و R_9 نشان داده شده است [۵۲] و [۸۰]. الگوریتم تعیین دامنه منابع در این ساختارها به ترتیب عبارت است از $V_1 = V_2 = \cdots = V_m = V_{dc}$ و $V_1 = V_2 = \cdots = V_m = 2V_{dc}$. در این مقایسه به منظور بررسی بهتر عملکرد مبدل پیشنهادی در مقایسه با ساختارهای فوق، مقایسه از نقطه نظر تعداد ادوات الکترونیک قدرت به کار رفته، تعداد منابع ولتاژ dc ،تنوع اندازه منابع ولتاژ به کار رفته و تعداد خازن ها در نظر گرفته شده است. در ادامه به بررسی تک تک موارد فوق خواهیم پرداخت.



الف) ب) ج) د) و)



شکل ۳-۳: ساختار استفاده شده در مقایسه ، الف) ارائه شده در مرجع [۳۳] (R_1 و R_2) ، ب) ارائه شده در مرجع [۷۷] (R_3)، ج) ارائه شده در مرجع [۷۸] (R_4 و R_5)، د) ارائه شده در مرجع [۵۰] (R_6)، و) ارائه شده در مرجع [۷۹] (R_7)، ه) ارائه شده در مرجع[۵۲] (R_8)، ی) ارائه شده در مرجع[۸۰] (R_9).

شکل ۳-۵ نتایج حاصل از مقایسه را نشان می‌دهد. نتایج حاصل از مقایسه از نقطه نظر تعداد کلیدهای الکترونیک قدرت در شکل ۳-۵-الف نشان داده شده است. هم چنان که در این شکل دیده می‌شود ساختار پیشنهادی کمترین تعداد کلیدهای الکترونیک قدرت را به ازای تولید تعداد مشخصی سطوح ولتاژ خروجی نیاز خواهد داشت. از آنجایی که کلیدهای به کار رفته در ساختار پیشنهادی و در ساختارهایی که مقایسه می‌شوند مطابق شکل ۳-۴ از نوع یک طرفه ولتاژ و دوطرفه جریان هستند لذا در این ساختارها تعداد کلیدهای الکترونیک قدرت برابر تعداد دیودهای، تعداد IGBT ها و تعداد مدارات راه‌انداز خواهد بود. در نتیجه ساختار پیشنهادی کمترین تعداد دیودها، IGBT ها و مدارات راه انداز را در مقایسه با سایر ساختارها استفاده خواهد نمود.

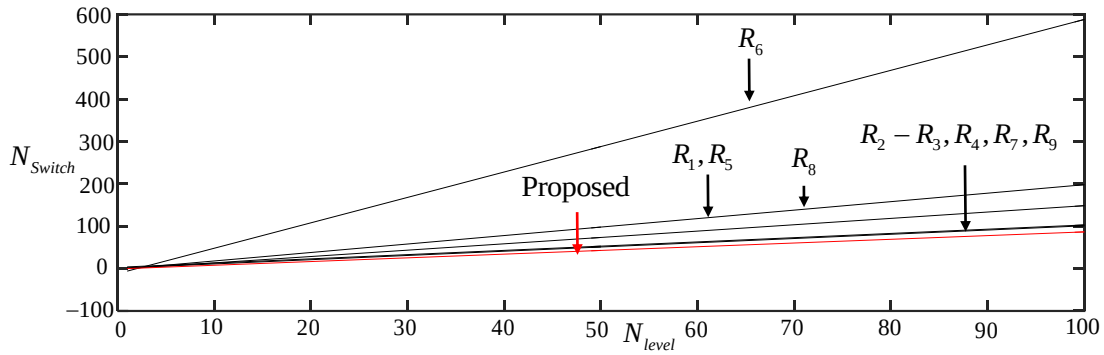
نتایج حاصل از مقایسه تعداد منابع ولتاژ dc در شکل ۳-۴-ب نشان داده شده است. هم چنان که در این شکل دیده می‌شود ساختار پیشنهادی کمترین تعدادمنابع ولتاژdc را درمقایسه با بیشتر ساختارها به جز ساختارهای R_6 و R_7 خواهد داشت. شایان ذکر است در ساختارهای R_6 و R_7 تنها یک منبع ولتاژ استفاده شده و تماما خازن به کار رفته است و این مهم دلیل عدم مزیت ساختار پیشنهادی نسبت به آن می باشد که البته تتعداد زیاد خازن ها پیچیدگی روش کنترلی را به همراه خواهد داشت.

شکل ۳-۴-ج تنوع اندازه منابع ولتاژ dc را نشان می‌دهد. هم چنان که در این شکل دیده می‌شود تمامی ساختارهای متقارن و ساختارهایی که تنها یک منبع ولتاژ دارند دارای تنوع به مقدار ۱ بوده و ساختارپیشنهادی و سایر ساختارهای نامتقارن دارای تنوع اندازه ۲ می‌باشند. بدیهی است که هر ساختار نامتقارنی از هر ساختار متقارنی تنوع اندازه منابع ولتاژ dc بالاتری خواهد داشت و این یک عیب محسوب نمی شود زیرا با تعداد منابع کمتر به تعداد سطوح بالاتر دست خواهد یافت.

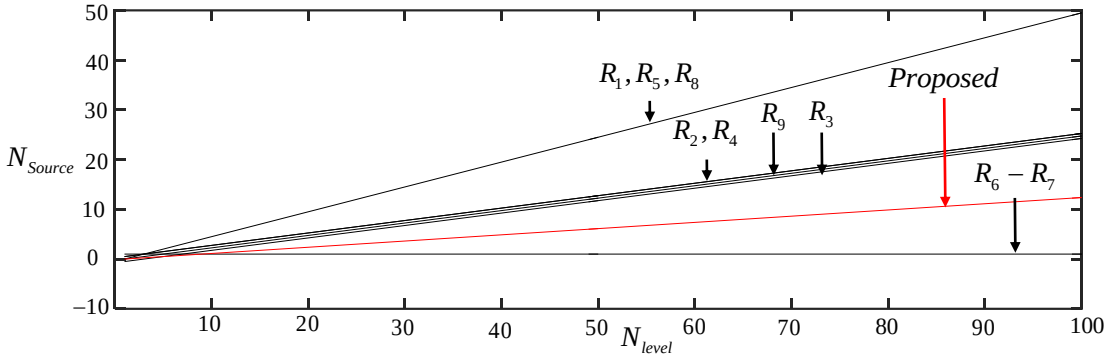
شکل ۳-۴-و نتایج حاصل از مقایسه تعداد خازن های به کار رفته در ساختار پیشنهادی را در مقایسه با سایر ساختارها نشان می‌دهد. هم چنان که در این شکل دیده می‌شود ساختار پیشنهادی در مقایسه با اکثر ساختارهای به تعداد کمتری

خازن نیاز دارد به جز ساختارهای R_3. در ساختار R_3 تنها یک خازن استفاده نشده است. شایان ذکر است در ساختارهای R_1، R_2، R_8 و R_9 هیچ خازنی به کار نرفته است.

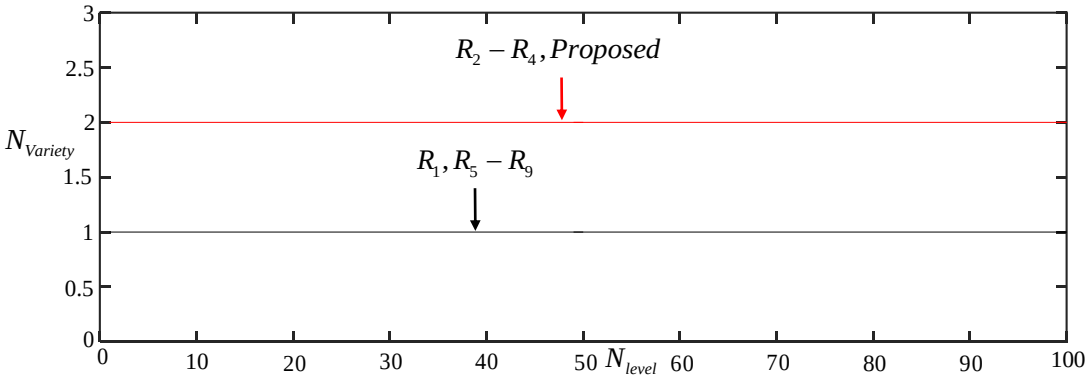
هم چنان که در شکل‌های فوق دیده شده است ساختار توسعه یافته پیشنهادی نسبت به اکثر ساختارها دارای مزیت بوده و ادوات الکترونیک قدرت کمتری نیاز خواهد داشت که این مهم منجر به کاهش فضای مورد نیاز برای نصب، کاهش پیچیدگی روش کنترلی، کاهش هزینه تمام شده، کاهش تلفات و افزایش راندمان مبدل خواهد شد.



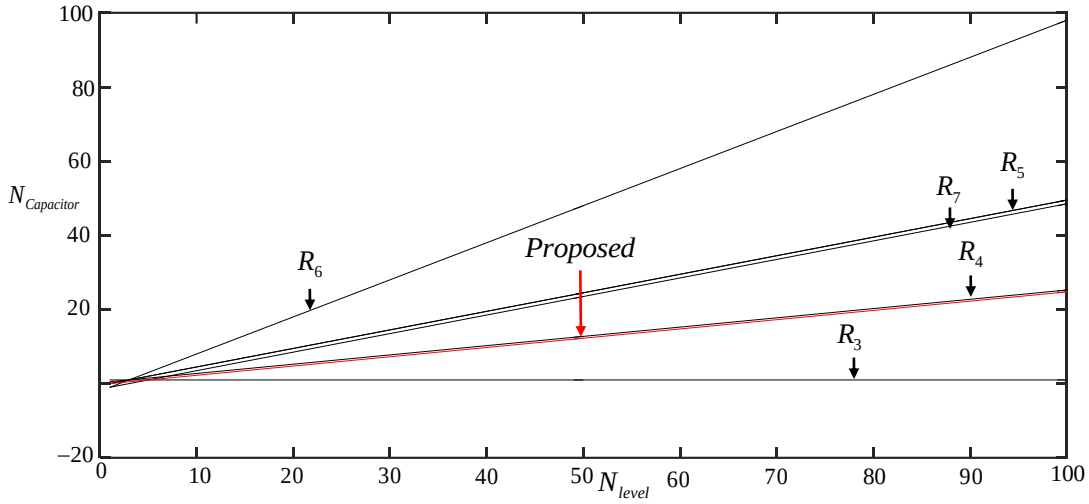
الف)



ب)



ج)



د)

شکل ٤-۳: نتایج حاصل از مقایسه ساختار توسعه یافته پیشنهادی با ساختارهای مرسوم ، الف) از نقطه نظر تعداد کلیدهای الکترونیک قدرت ، ب) از نقطه نظر تعداد منابع ولتاژ dc ج) از نقطه نظر تنوع اندازه منابع ولتاژ ، د) از نقطه نظر تعداد خازن های استفاده شده

۳-۵ نتایج شبیه‌سازی و آزمایشگاهی ساختار پیشنهادی

در این قسمت به منظور بررسی صحت عمل‌کرد اینورتر چند سطحی پیشنهادی در تولید تمامی سطوح ولتاژ خروجی از نتایج شبیه‌سازی و آزمایشگاهی استفاده شده است. نتایج شبیه‌سازی در محیط نرم‌افزار EMTDC/PSCAD به دست آمده است و شامل دو حالت خواهد بود. نتایج آزمایشگاهی بر روی اینورتر پایه پیشنهادی در محیط آزمایشگاه انجام خواهد شد. در ادامه جزییات نتایج شبیه‌سازی و آزمایشگاهی ارائه خواهد شد.

۳-۵-۱ نتایج شبیه‌سازی

به منظور صحت سنجی ساختارهای پیشنهاد شده از شبیه‌سازی نرم افزاری و در دو حالت انجام خواهد شد. در حالت اول شبیه‌سازی بر روی یک اینورتر پایه پیشنهادی ۱۷ سطحی نشان داده شده در شکل ۳-۱ خواهد بود و در حالت دوم شبیه‌سازی بر روی اینورتر توسعه یافته دو طبقه ۳۳ سطحی مطابق شکل ۳-۲، نشان داده خواهد شد. در شبیه‌سازی از روش کنترلی مدولاسیون پهنای پالس استفاده شده است و مقادیر المان‌ها و سایر پارامترها به صورت جدول ۳-۴ انتخاب شده‌اند.

جدول ۵-۳: مقادیر انتخابی در شبیه‌سازی

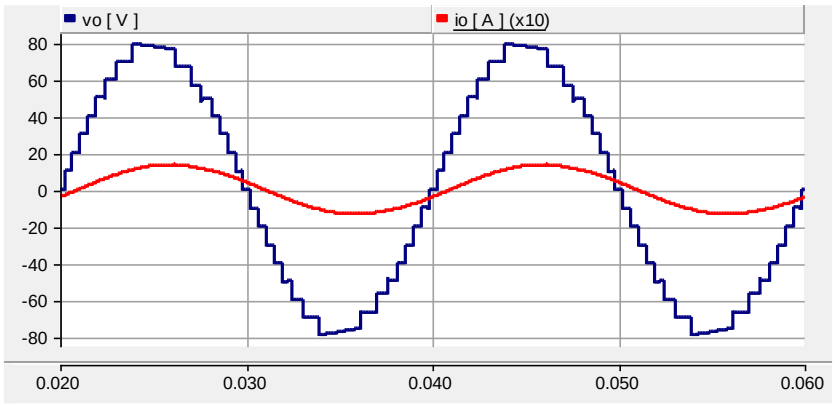
V_{dc}	10 V
L	55 mH
$C_{1iL} = C_{2iL} = C_{1iR} = C_{2iR} \quad for \;\; i = 1, 2, \cdots, n$	1500 µF
R_L	56Ω
f_s	32 kHz
f_o	50 Hz

۳-۵-۱-۱ نتایج شبیه‌سازی اینورتر پایه پیشنهادی

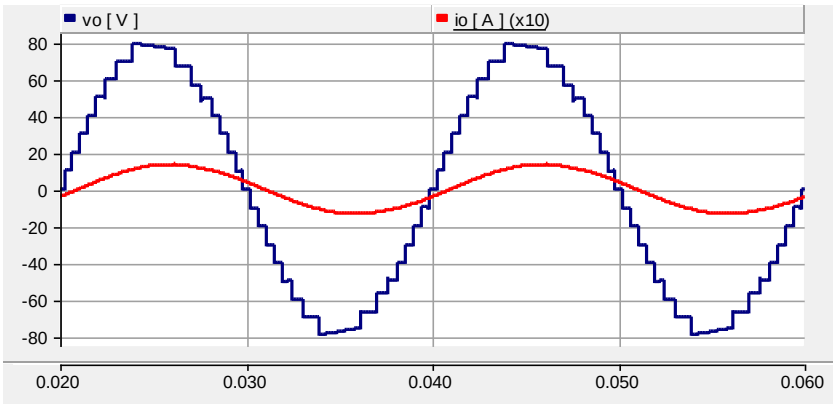
مطابق جدول ۳-۴ و به منظور تولید تمامی سطوح ولتاژ، دامنه منابع ولتاژ dc به ترتیب برابر $V_L = 3V_{dc}$ ، $V_R = V_{dc}$ و برابر $V_{dc} = 10V$ در نظر گرفته شده است. تحت این حالت این اینورتر قادر به تولید ۱۷ سطح با حداکثر ولتاژ ۸۰ ولت در خروجی خواهد بود.

شکل ۳-۶ شکل موج ولتاژ و جریان خروجی اینورتر پیشنهادی را نشان می‌دهد. شکل ۳-۶-الف نتایج خروجی در شرایط ایده‌آل و شکل ۳-۶-ب نتایج شبیه‌سازی با در نظرگرفتن تلفات موجود و نزدیک به حالت واقعی نشان داده شده است. هم چنان که در هر دو شکل مشاهده می‌شود اینورتر پیشنهادی ۱۷ سطح در ولتاژ خروجی تولید خواهد نمود. مطابق شکل ۳-۶-الف حداکثر دامنه ولتاژ خروجی برابر ۷۴.۷۴ ولت و مطابق شکل ۳-۶-ب برابر ۷۳.۲۷ ولت خواهد بود. نزدیکی مقادیر بدست آمده به مقدار در نظر گرفته شده صحت طراحی انجام شده را نشان خواهد داشت. مطابق شکل ۳-۶-الف و ۳-۶-ب، شکل موج جریان در مقایسه با شکل موج ولتاژ به سینوسی ایده‌آل نزدیک‌تر می‌باشد که این به دلیل خاصیت اهمی سلفی بار است که مانند فیلتر پایین گذر عمل خواهد نمود. هم چنین اختلاف فاز کوچکی بین شکل موج ولتاژ و جریان وجود دارد.

هم چنین مطابق شکل ۳-۶-الف و ۳-۶-ب، مقدار جریان خروجی به ترتیب برابر ۱.۳۴ آمپر و ۱.۲۷۷ آمپر است که مجددا مرتبط به حالت ایده‌آل و واقعی خواهد بود. شایان ذکر است مقدار نشان داده شده در شکل به دلیل کوچک بودن جریان ده برابر مقدار نامی است. در ادامه به دلیل کاهش تعداد شکل موج‌های نشان داده شده تنها شکل‌موج‌های مرتبط با حالت واقعی نشان داده خواهد شد.



(الف)

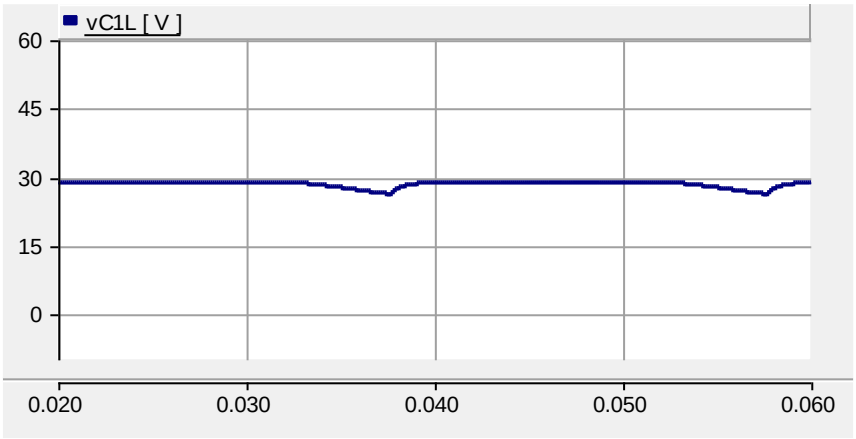


(ب)

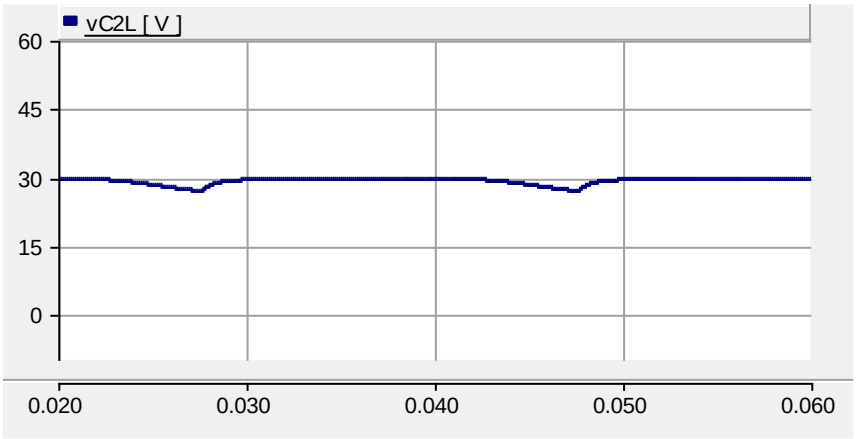
شکل ۵-۳: ولتاژ و جریان خروجی ، الف) حالت ایده‌آل ب) حالت واقعی

نتایج شبیه‌سازی مرتبط با ولتاژ دو سر خازن‌ها در شکل ۳–۷ نشان داده شده است. هم چنان که در شکل ۳–۷–الف دیده می‌شود، ولتاژ دو سر خازن C_{1L} (V_{C1L}) حداکثر تا مقدار ۲۸.۵ ولت شارژ خواهد شد که با مقدار پیش‌بینی شده در طراحی که برابر ۳۰ ولت، مطابقت دارد. شکل موج ولتاژ دو سر خازن C_{2L} (V_{C2L}) در شکل ۳–۷–ب نشان داده شده است. مطابق شکل، حداکثر ولتاژ این خازن برابر ۲۹.۱ ولت است. نزدیکی این مقدار با ولتاژ ۳۰ ولت در نظر گرفته شده در طراحی صحت نتایج شبیه‌سازی را تایید می‌نماید. شکل ۳–۷–ج ولتاژ دو سر خازن C_{1R} (V_{C1R}) را نشان می‌دهد. مطابق شکل ولتاژ دو سر این خازن برابر ۹.۲ ولت است که با مقدار بدست آمده در طراحی مطابقت کامل دارد. هم چنین ولتاژ دو سر خازن C_{2R} (V_{C2R}) در شکل ۳–۷–د نشان داده شده است که برابر ۹.۱۸ ولت است که با مقدار ۱۰ ولت در نظر گرفته شده در طراحی نزدیکی کامل دارد.

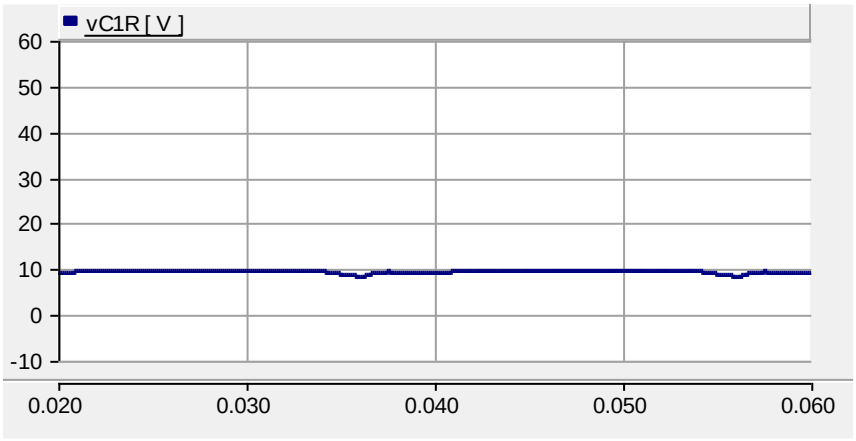
شکل موج اعوجاج هارمونیکی ولتاژ (THD_V_o) و جریان (THD_i_o) به ترتیب در شکل ۳–۸–الف و ۳–۸–ب نشان داده شده است. در تمامی شکل‌ها یک حالت گذرای بسیار کوتاه وجود دارد و پس از آن مدار به حالت کار دائمی خود خواهد رسید. مطابق این شکل، مقدار THD ولتاژ و جریان به تریب برابر ۵.۲۷٪ و ۱.۰۸٪ می‌باشد که با مقادیر استاندارد مطابقت کامل دارد.



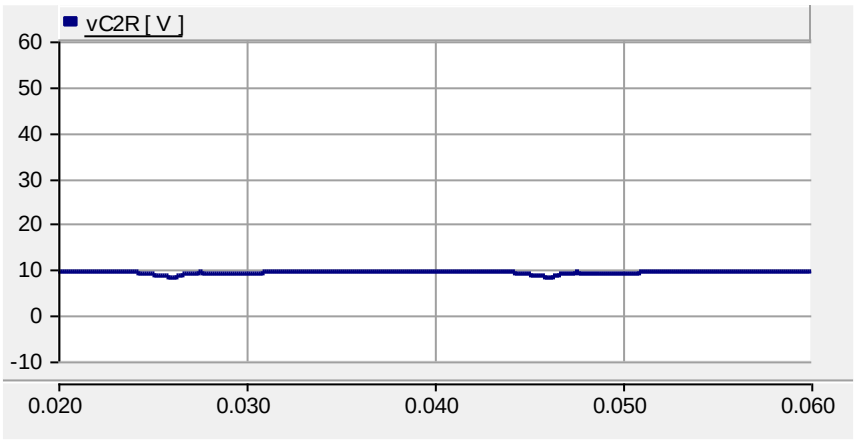
(الف)



(ب)

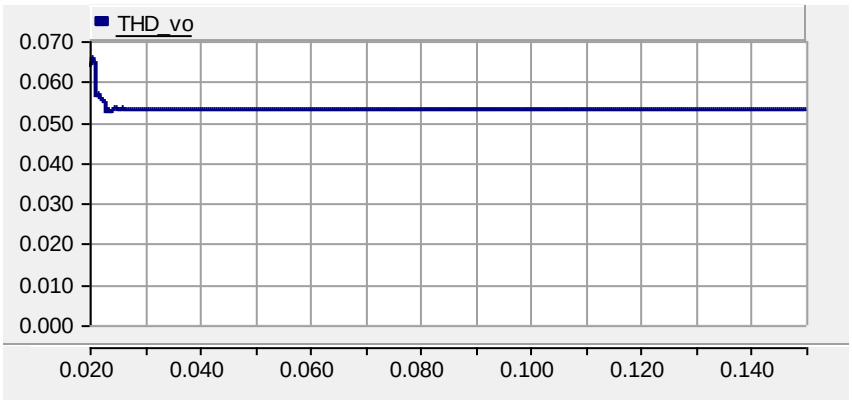


(ج)

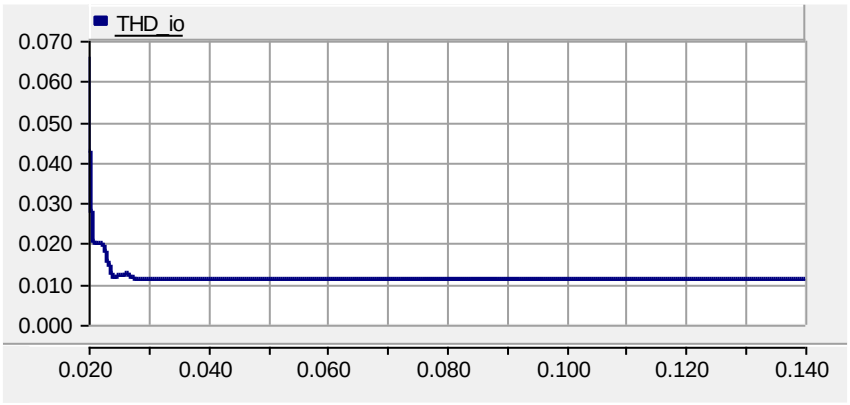


(د)

شکل۶-۳: ولتاژ دو سر خازن‌ها؛ لف) V_{C1L}**، ب)** V_{C2L} **، ج)** V_{C1R} **،د)** V_{C2R}



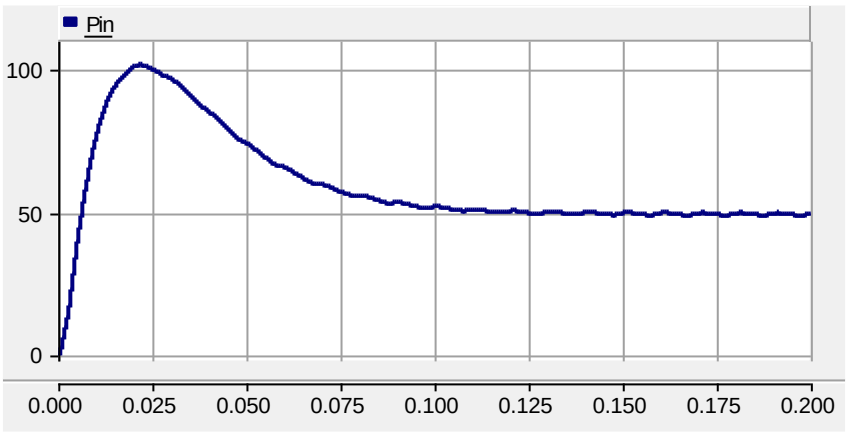
(الف)



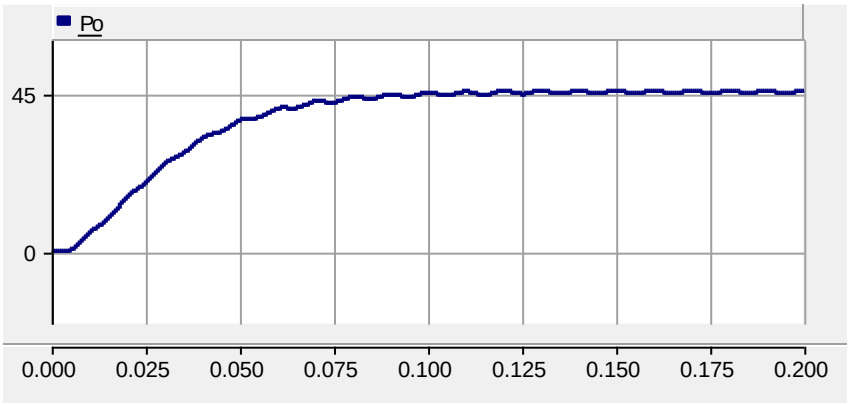
(ب)

شکل ۷-۳: اعوجاج هارمونیکی کل؛ الف) ولتاژ($THD\ \ V_{-}$)، ب) جریان ($THD\ \ i_{-}$)

با توجه مقایر ولتاژ و جریان خروجی مقدار توان خروجی در این ساختار در حالت دائمی تقریبا برابر ۴۵.۰۸ وات است که در شکل ۹-۳ نشان داده شده است. هم چنین مطابق مقادیر جریان عبوری از منابع ولتاژ ورودی و ولتاژ ورودی، توان ورودی در این ساختار در شکل ۳-۱۰ نشان داده شده است. این مقدار در حالت ماندگار برابر ۴۹.۴۲ وات است. مقادیر نشان داده شده راندمان مبدل را در حدود ۹۲.۴۱٪نشان خواهد داد که نتایج شبیه‌سازی به درستی تایید می‌نماید.



شکل ۸-۳: شکل موج توان ورودی به مبدل



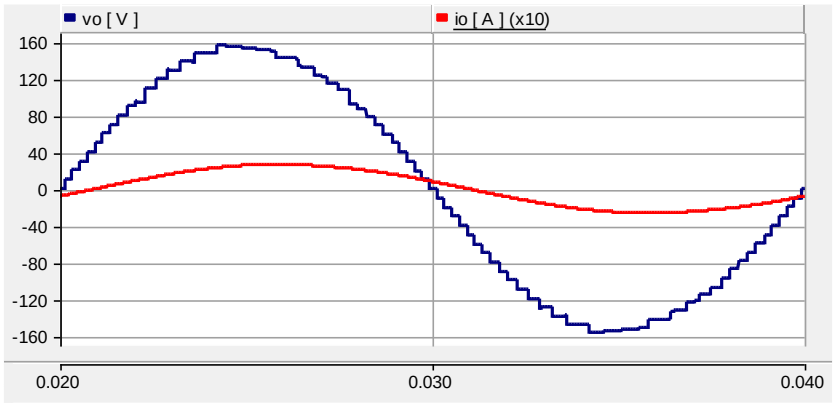
شکل ۹-۳: شکل موج توان خروجی از مبدل

۳-۵-۱-۲ نتایج شبیه‌سازی اینورتر دو طبقه پیشنهادی

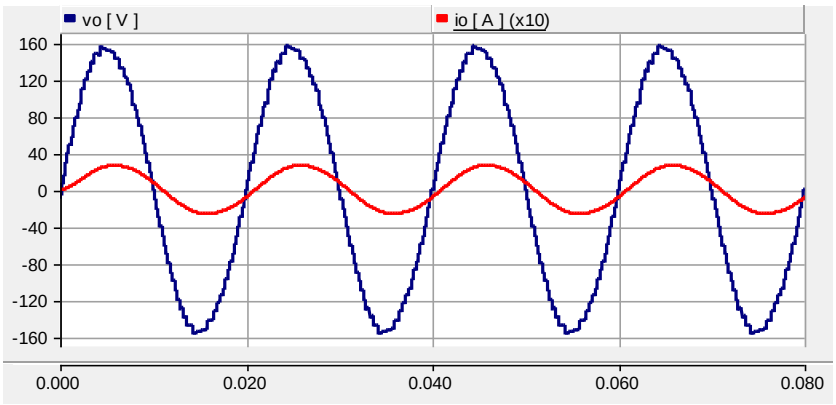
مطابق جدول ۳-۴ و به منظور تولید تمامی سطوح ولتاژ، دامنه منابع ولتاژ dc به ترتیب برابر $V_{L1}=V_{L2}=3V_{dc}$ ، $V_{R1}=V_{R2}=V_{dc}$ و برابر $V_{dc}=10V$ در نظر گرفته شده است. تحت این حالت این اینورتر قادر به تولید ۳۳ سطح با حداکثر ولتاژ ۱۶۰ ولت در خروجی خواهد بود.

شکل ۳-۱۱ شکل موج ولتاژ و جریان خروجی اینورتر پیشنهادی را نشان می‌دهد. شکل ۳-۱۱ نتایج شبیه‌سازی با در نظرگرفتن تلفات موجود و نزدیک به حالت واقعی نشان داده شده است. شکل ۳-۱۱-الف ولتاژ و جریان خروجی را برای یک دوره تناوب و شکل ۳-۱۱-ب این شکل را برای چند دوره تناوب نشان می‌دهد. هم چنان که در هر دو شکل مشاهده می‌شود اینورتر پیشنهادی ۳۳ سطح در ولتاژ خروجی تولید خواهد نمود. مطابق شکل ۳-۱۱ حداکثر دامنه ولتاژ خروجی برابر ۱۵۴.۲۷ ولت خواهد بود. نزدیکی مقادیر بدست آمده به مقدار در نظر گرفته شده صحت طراحی انجام شده را نشان خواهد داشت. مطابق شکل ۳-۱۱، شکل موج جریان در مقایسه با شکل موج ولتاژ خروجی به سینوسی ایده‌آل نزدیک‌تر می‌باشد که این به دلیل خاصیت اهمی سلفی بار است که مانند فیلتر پایین گذر عمل خواهد نمود. هم چنین اختلاف فاز کوچکی بین شکل موج ولتاژ و جریان وجود دارد.

هم چنین مطابق شکل ۳-۱۱، مقدار جریان خروجی برابر ۲.۶۱۳ آمپر است که مجددا مرتبط به حالت ایده‌آل و واقعی خواهد بود. در ادامه به دلیل کاهش تعداد شکل موج‌های نشان داده شده تنها شکل‌موج‌های مرتبط با حالت واقعی نشان داده خواهد شد.



(الف)



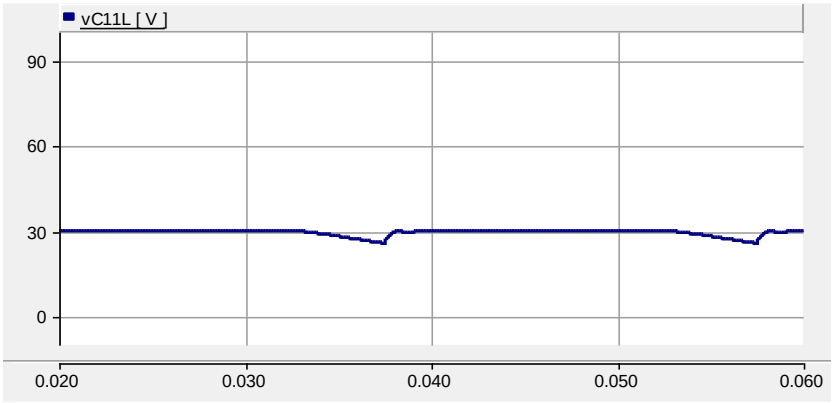
(ب)

شکل ۳-۱۰: ولتاژ و جریان خروجی در حالت واقعی الف) برای یک دوره تناوب، ب) برای ٤ دوره تناوب

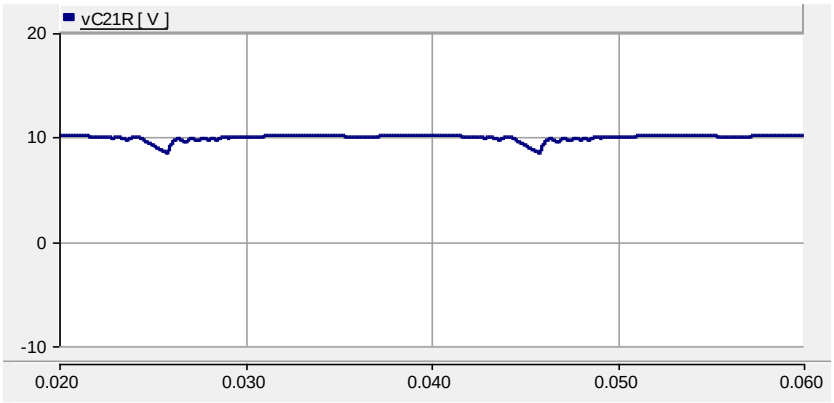
نتایج شبیه‌سازی مرتبط با ولتاژ دو سر خازن‌ها در شکل ۳-۱۲ نشان داده شده است. هم چنان که در شکل ۳-۱۲-الف دیده می‌شود، ولتاژ دو سر خازن C_{11L} (V_{C11L}) حداکثر تا مقدار ۲۹ ولت شارژ خواهد شد که با مقدار پیش‌بینی شده در طراحی که برابر ۳۰ ولت، مطابقت دارد. شکل موج ولتاژ دو سر خازن C_{21R} (V_{C21R}) در شکل ۳-۱۲-ب نشان داده شده است. مطابق شکل،

حداکثر ولتاژ این خازن برابر ۹.۵ ولت است. نزدیکی این مقدار با ولتاژ ۱۰ ولت در نظر گرفته شده در طراحی صحت نتایج شبیه‌سازی را تایید می‌نماید. شکل ۳-۱۲-ج ولتاژ دو سر خازن C_{22L} (V_{C22L}) را نشان می‌دهد. مطابق شکل ولتاژ دو سر این خازن برابر ۲۹.۲ ولت است که با مقدار بدست آمده در طراحی مطابت کامل دارد.

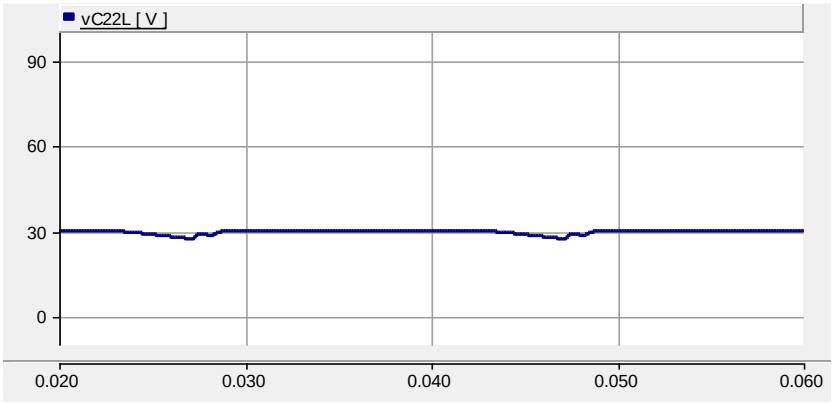
شکل موج اعوجاج هارمونیکی ولتاژ (THD_V_o) و جریان (THD_i_o) به ترتیب در شکل ۳-۱۳-الف و ۳-۱۳-ب نشان داده شده است. در تمامی شکل‌ها یک حالت گذرای بسیار کوتاه وجود دارد و پس از آن مدار به حالت کار دائمی خود خواهد رسید. مطابق این شکل، مقدار THD ولتاژ و جریان به ترتیب برابر ۳٪ و ۱.۲۵٪ می‌باشد که با مقادیر استاندارد مطابقت کامل دارد.



(الف)

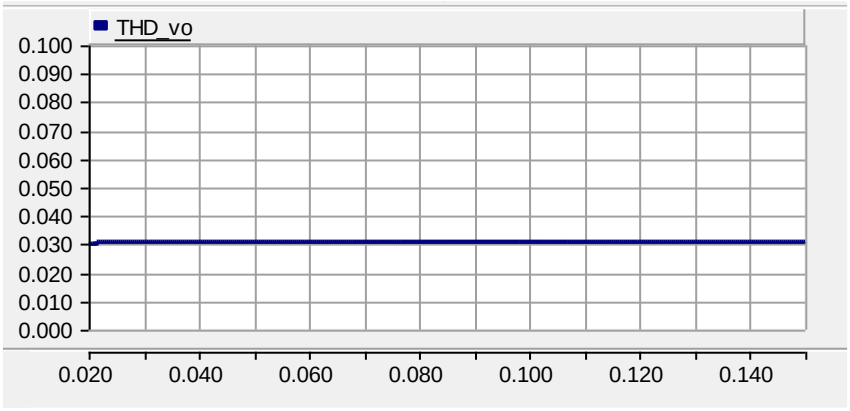


(ب)

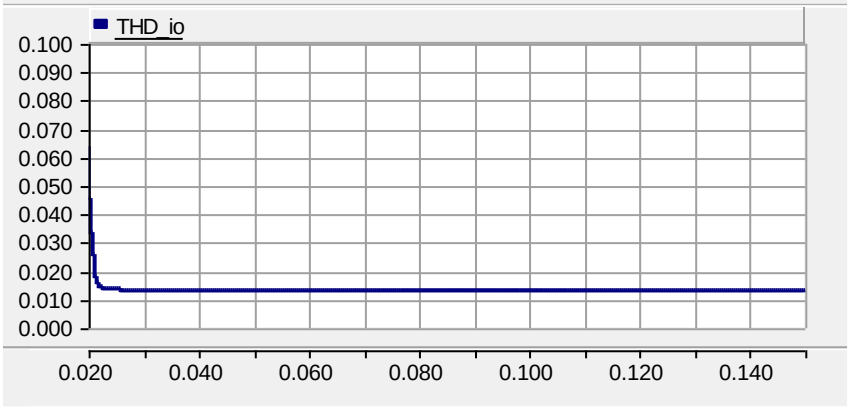


(ج)

شکل ۱۱-۳: ولتاژ دو سر خازن‌ها؛ الف) V_{C11L}، ب) V_{C21R}، ج) V_{C22L}.



(الف)



(ب)

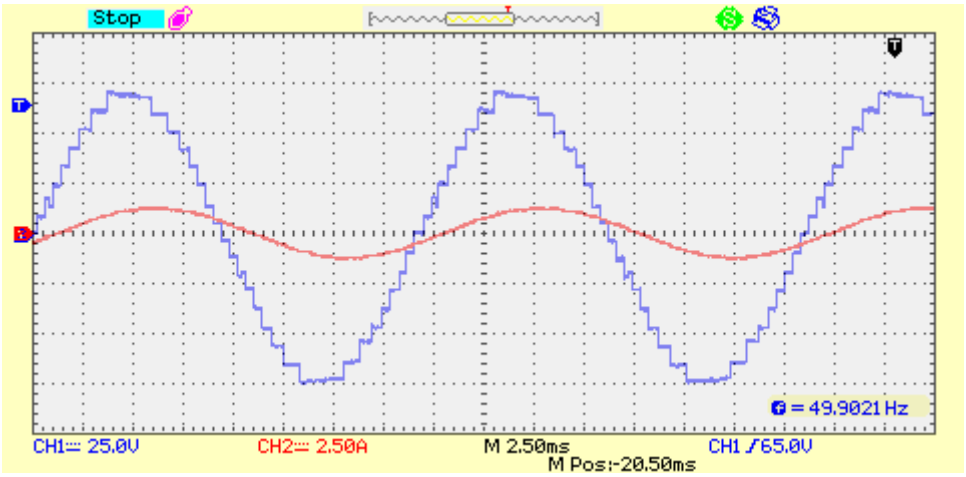
شکل ۱۲-۳: اعوجاج هارمونیکی کل؛ الف (ولتاژ(THD_V_o)، ب) جریان (THD_i_o)

۳-۵-۲ نتایج آزمایشگاهی

به منظور صحت سنجی ساختار اینورتر پایه پیشنهادی و نتایج شبیه‌سازی بدست آمده از نمونه آزمایشگاهی استفاده خواهد شد. از ساختار پیشنهادی مطابق شکل ۳-۱ استفاده شده است. مقادیر المان‌ها و سایر پارامترها به صورت جدول ۳-۴ انتخاب شده‌اند. مطابق جدول ۳-۴ و به منظور تولید تمامی سطوح ولتاژ، دامنه منابع ولتاژ dc به ترتیب برابر $V_L = 3V_{dc}$ ، $V_R = V_{dc}$ و برابر $V_{dc} = 10V$ در نظر گرفته شده است. تحت این حالت این اینورتر قادر به تولید ۱۷ سطح با حداکثر ولتاژ ۸۰ ولت در خروجی خواهد بود.

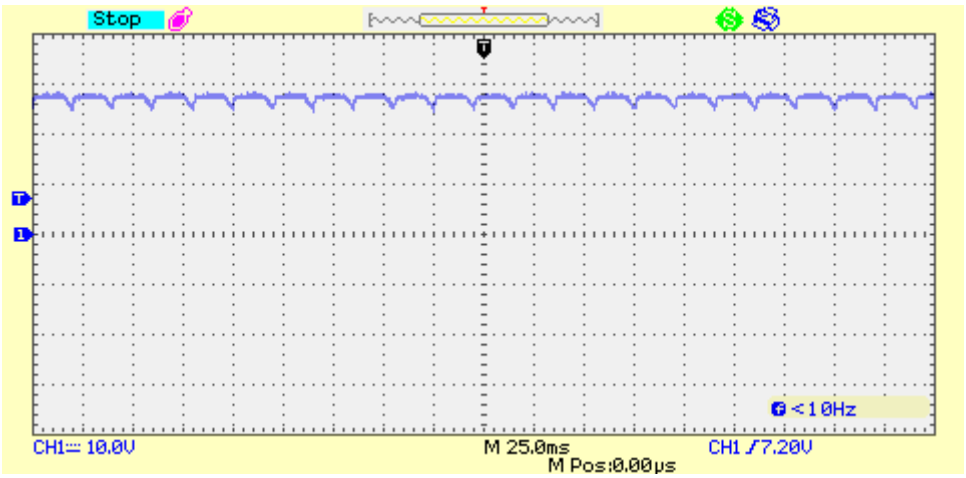
شکل ۳-۱۴ شکل موج ولتاژ و جریان خروجی اینورتر پیشنهادی را نشان می‌دهد. هم چنان که در این شکل مشاهده می‌شود اینورتر پیشنهادی ۱۷ سطح در ولتاژ خروجی تولید خواهد نمود و حداکثر دامنه ولتاژ خروجی برابر ۷۲.۵ ولت خواهد بود. نزدیکی مقدار بدست آمده به مقدار حاصل شده در بخش شبیه‌سازی که برابر ۷۳.۲۴ ولت است صحت طراحی انجام شده را نشان خواهد داشت. مطابق شکل ۳-۱۴ شکل موج جریان در مقایسه با شکل موج ولتاژ خروجی به سینوسی ایده‌آل نزدیک‌تر می‌باشد که این به دلیل خاصیت اهمی سلفی بار است که مانند فیلتر پایین گذر عمل خواهد نمود. هم چنین اختلاف فاز کوچکی بین شکل موج ولتاژ و جریان وجود دارد.

هم چنین مطابق این شکل، مقدار جریان خروجی برابر ۱.۲۵ آمپر است که مجددا مرتبط به حالت ایده‌آل و واقعی خواهد بود. نزدیکی مقدار بدست آمده به مقدار حاصل شده در بخش شبیه‌سازی که برابر ۱.۲۷۷ ولت است صحت طراحی انجام شده را نشان خواهد داشت.

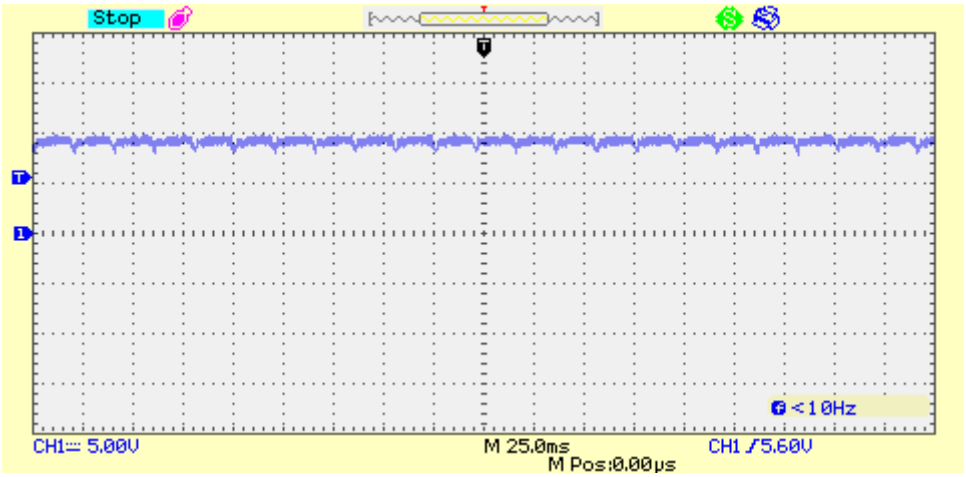


شکل ۳-۱۴: نتایج آزمایشگاهی ولتاژ و جریان خروجی

نتایج شبیه‌سازی مرتبط با ولتاژ دو سر خازن‌ها در شکل ۳-۱۵ نشان داده شده است. هم چنان که در شکل ۳-۱۵-الف دیده می‌شود، ولتاژ دو سر خازن C_{1L} (V_{C1L}) حداکثر تا مقدار ۲۸.۲ ولت شارژ خواهد شد که با مقدار پیش‌بینی شده در شبیه‌سازی که برابر ۲۸.۵ ولت است، مطابقت دارد. شکل ۳-۱۵-ب ولتاژ دو سر خازن C_{1R} (V_{C1R}) را نشان می‌دهد. مطابق شکل ولتاژ دو سر این خازن برابر ۹.۱۵ ولت است که با مقدار بدست آمده در شبیه‌سازی مطابقت کامل دارد.



(الف)



(ب)

شکل ۱۳-۳: نتایج آزمایشگاهی ولتاژ دو سر خازن‌ها؛ لف) V_{C1L}، ب) V_{C1R}

۳-۶ جمع‌بندی

در این فصل ساختار پایه از اینورتر ۱۷ سطحی بر مبنای خازن پیشنهاد شده است. خازن‌ها قابلیت شارژ داشته و منجر به تولید تعداد کامل سطوح ولتاژ در خروجی شده و با وجود خازن عملکرد مبدل به خوبی انجام می‌شود. هم چنین جدول کلیدزنی با هدف شارژ متقارن خازن‌ها ارائه شده است. در ادامه ساختار توسعه یافته با قابلیت تولید N_{Level} ۳ سطح در ولتاژ خروجی ارائه شده است. ساختار پیشنهادی از ترکیب سری چند واحد پایه ارائه شده است. نحوه شارژ و دشارژ خازن‌ها به همراه روش کلیدزنی در یک جدول نشان داده شده است. بررسی‌ها نشان داده است که این ساختار قابلیت توسعه خواهد داشت. سپس ساختار پیشنهادی با چندین ساختار اینورتر چند سطحی سری مقایسه شده است. نتایج مقایسه نشان داده است که ساختار پیشنهادی قادر به تولید تعداد سطوح ولتاژ بیشتر در خروجی با کمترین تعداد ادوات الکترنیک قدرت و منابع ولتاژ dc در مقایسه با سایر ساختارها می‌باشد. صحت روابط بدست آمده و سوئیچینگ ساختار پیشنهادی و ساختار توسعه یافته از طریق شبیه‌سازی در محیط نرم افزار EMTDC/PSCAD تایید شده است. هم چنین راندمان مبدل در حدود ۹۳٪ است که این مهم به مزایای آن اضافه خواهد نمود. در انتها به منظور تایید شبیه‌سازی انجام شده از نتایج آزمایشگاهی بدست آمده از نمونه ساخته شده در محیط آزمایشگاه استفاده شده است. تمامی نتایج شبیه‌سازی وآزمایشگاهی درستی عملکرد مبدل را بیش از پیش نشان داده است.

فصل چهارم: نتیجه‌گیری و پیشنهادات

در این پروژه ساختاری جدید از اینورترهای چند سطحی سری ارائه شده است. ساختار پیشنهادی به عنوان ساختار پایه و مبتنی بر خازن در نظر گرفته شده است. حضور خازن و تعادل ولتاژ آن از نکات مهم و کلیدی در اجرای این پروژه و انتخاب روش کنترلی می‌باشد. به همین منظور ابتدا بررسی تفصیلی بر روی انواع ساختارهای اینورترهای چند سطحی و روش‌های کنترلی آن ها انجام شد تا بهترین روش و مناسب‌ترین ساختار محقق شود. در ادامه جدول کلیدزنی و شارژ و دشارژ هر یک از خازنها در هر سیکل از کلیدزنی تعیین شده است. در ادامه و با هدف افزایش تعداد سطوح ولتاژ خروجی، ساختار توسعه یافته از ساختار پیشنهادی که در آن از ساختار پایه مبتنی بر خازن است پیشنهاد شده است. نکته و ویژگی مهم این ساختار استفاده از چهار خازن و تنها دو منبع ولتاژ dc در هر واحد پایه و همچنین قابلیت توسعه آن است زیرا با افزایش تعداد خازن‌ها احتمال عدم موفقیت در شارژ خازن ها بوده است که در این تحقیق با موفقیت انجام شده است. این در حالی است که ساختارهای مشابه برای تولید تعداد سطوح ولتاژ خروجی مشابه با ساختار پیشنهادی به تعداد منابع ولتاژ dc بیشتری نیاز دارند. در ادامه جدول کلیدزنی ساختار توسعه یافته به همراه شارژ و دشارژ خازن‌ها ارائه شده است. هم چنین معادلات ریاضی حاکم و تجزیه و تحلیل ریاضی با هدف محاسبه تعداد ادوات الکترونیک قدرت، تعداد سطوح ولتاژ خروجی و حداکثر دامنه ولتاژ تولید شده در ساختار توسعه یافته و ساختار پایه انجام شده است. به منظور بررسی مزایا و معایب ساختار پیشنهادی، مقایسه ای بین ساختار توسعه یافته با چندین ساختار اینورتر مرسوم انجام شده است. ساختارهای انتخابی از نوع متقارن و نامتقارن، مبتنی بر خازن و بدون خازن در نظر گرفته شده است.نتایج مقایسه انجام شده بهبود عملکرد اینورتر پیشنهادی در مقایسه با ساختارهای مرسوم را از نقطه نظر تعداد ادوات الکترونیک قدرت و تعداد منابع ولتاژ dc مورد نیازبه ازاء تعداد مشخص سطوح ولتاژ خروجی تولید شده نشان می دهد. کاهش در تعداد ادوات الکترونیک قدرت به منزله کاهش فضای مورد نیاز برای نصب، کاهش هزینه تمام شده، کاهش تلفات کلیدزنی و افزایش راندمان خواهد بود. در ادامه به منظور بررسی صحت عملکرد ساختار پایه و توسعه یافته پیشنهادی از شبیه‌سازی در محیط نرم افزاری PSCAD و نتایج آزمایشگاهی استفاده شده است. هم چنین توان ورودی خروجی مبدل و راندمان مبدل با در نظر گرفتن تلفات احتمالی و در یک سیستم واقعی محاسبه شده است. نتایج شبیه‌سازی و آزمایشگاهی صحت عملکرد مبدل را بیش از پیش تایید می‌نماید.

به منظور توسعه این پروژه پیشنهاد می‌گردد بر روی الگوریتم‌های مختلف جهت تعیین دامنه منابع ولتاژdc به نحوی که تمامی سطوح ولتاژ خروجی قابل تولید باشد و امکان شارژ و دشارژ خازن ها فراهم گردد در نظر گرفته شود. هم چنین ارائه یک روش کنترلی جدید که ضمن برقراری تعادل ولتاژخازن‌ها، امکان شارژ متقارن یا متعادل را برای منابع ولتاژ به کار رفته میسر کند پیشنهاد می‌گردد.

مراجع

[1] J. Rodriguez, J. S. Lai, F. Z. Peng, "Multilevel inverters: A survey of topologies, controls, and applications," IEEE Transactions on Industrial Electronics, vol. 49, no. 4, August 2002.

[2] S .Khomfoi and L .M. Tolbert, "Multilevel power converters," Book Chapter.

[3] K. J. McKenzie, "Elimination hormonics in a cascaded H-bridges multilevel inverter using resultant theory, symmetric polynomials, and power sums," MSc Thesis, University of Tennessee, Knoxville, May. 2004.

[4] E. Babaei, S. H. Hosseini, G. B. Gharehpetian, M. Tarafdar Haque, M. Sabahi, "Reduction of dc voltage sources and switches in asymmetrical multilevel converters using a novel topology," Elsevier Journal of Electric Power System Research, vol. 77, no. 8, pp. 1073-1085, Jun. 2007.

[5] E. Babaei, "A caccade multilevel converter topology with reduced number of switches," IEEE Trans Power Electron, vol. 23, no. 6, Nov. 2008.

[6] M. G. Hosseini Aghdam, S.H. Fathi, G.B. Gharehpetian, "Analysis of multi-carrier PWM methods for asymmetric multi-level inverter," IEEE Conference on Industrial Electronics and Applications (ICIEA), pp. 2057-2062, 2008.

[7] L. Xu, V. G. Agelidis, "Active capacitor voltage control of flying capacitor multilevel converters," IEE Proc. Electr. Power Appl., vol. 151, no. 3, May 2004.

[8] Nabaei, I. Takahashi, and H. Akagi, "A neutral-point clamped PWM inverter," IEEE Trans. Ind. Applicat., vol. 1A-17, no. 5, pp. 518-523, Sept. 1981.

[9] S. S. Fazel, "Investigation and comparison of multilevel converters for medium voltage applications," PhD Thesis, University of Berlin, Berlin, 2007

[10] H. D. Fuches, "Development and implementation of a 1.5 MW inverter and active power filter system for the injection of regenerated energy in spoornet traction substation," MSc Thesis, University of Stellenbosch, Stellenbosch, South-Africa, Dec. 2005.

[11] A. Lega, "Multilevel converters: dual two-level inverter scheme," Phd Thesis, University of Bologna, March. 2007.

[12] W.A. Hill and C.D. Harbourt, "Performance of medium voltage multilevel converters," in Conf. Rec. IEEE IAS Annu. Meeting, Phoenix, AZ, Oct. 1999, pp. 1186–1192.

[13] T. L. Skvarenina, "The Power Electronics Handbook," CRC Press, 2002.

[14] T. Bruckner and S. Bernet, "Loss balancing in three-level voltage source inverters applying active NPC switches," in Proc. IEEE Power Electron. Spec. Conf., Vancouver, BC, Canada, 2001, pp. 1135–1140.

[15] T. Bruckner, S. Bernet, and H. Guldner, "The active NPC converter and its loss balancing control," IEEE Trans. Ind. Electron., vol. 52, pp. 855–868, Jun. 2005.

[16] J. Rodriguez, S. Bernet, P. Steimer, and I. Lizama, "A survey on neutral point clamped inverters," IEEE Trans. Ind. Electron., vol. 57, no. 7, pp. 2219-2230, Jul. 2010.

[17] P. Barbosa, P. Steimer, J. Steinke, M. Winkelnkemper, and N. Celanovic, "Active-neutral-point-clamped (ANPC) multilevel converter technology," in Proc. IEEE Power Electron. Spec. Conf.,Recife, Brasil, Jun. 2005, p. 10.

[18] M. Malinowski, S. Stynski, W. Kolomyjski, and M. P. Kazmierkowski, "Control of three-level PWM converter applied to variable-speed-type turbines," IEEE Trans. Ind. Electron., vol. 56, no. 1, pp. 69–77, Jan. 2009.

[19] D. Floricau, G. Gateau, and A. Leredde, "New active stacked NPC multilevel converter: operation and features," IEEE Trans. Ind. Electron., vol. 57, no. 7, pp. 2272-2278, Jul. 2010.

[20] J. Li, S. Bhattacharya, and A.Q. Huang, "A new nine-level active NPC (ANPC) converter for grid connection of large wind turbines for distributed generation," IEEE Trans. Power Electron., vol. 26, no. 3, pp. 961–972, Mar. 2011.

[21] T. Chaudhuri, P. Barbosa, P. Steimer, and A. Rufer, "Cross-connected intermediate level (CCIL) voltage source inverter," in Proc. 2007 IEEE Power Electron. Special. Conf., Jun. 2007, pp. 490–496.

[22] T. Chaudhuri and A. Rufer, "Modeling and control of the cross-connected intermediate-level voltage source converter," IEEE Trans. Ind. Electron., vol. 57, no. 8, pp. 2597–2604, Aug. 2010.

[23] T. Chaudhuri, P. Steimer, and A. Rufer, "Introducing the common cross connected stage (C3 S) for the 5L ANPC multilevel inverter," Proc. 2008 IEEE Power Electron. Special. Conf., pp. 167–173, Jun. 2008.

[24] T.A. Meynard and H. Foch, "Multi-level conversion: High voltage choppers and voltage-source inverters," in Proc. PESC, 1992, pp. 397–403.

[25] K. Corzine, "Operation and design of multilevel inverters," Book Chapter, University of Missouri, Rolla, 2005.

[26] M. F. Escalante, J. C. Vannier, and A. Arzande, “Flying capacitor multilevel inverters and DTC motor drive applications,” IEEE Trans. Ind. Electron., vol. 49, no. 4, pp. 809–815, Aug. 2002.
[27] L. Wang (Ed.), “Modeling and control, green energy and technology,” Springer-Verlag Berlin Heidelberg pp. 311–340, 2012.
[28] G. Gateau, and M.F.P. Maussio, “Multicell converters: active control and observation of flying-capacitor voltages,” IEEE Trans. Ind. Electron., vol. 49, no. 5, pp. 998-1008, Oct. 2002.
[29] R.H. Wilkinson, T.A. Meynard, and H.T. Mouton, “Natural balance of multicell converters: the general case,” IEEE Trans. Power Electron., vol. 21, no. 6, pp. 1658-1666, Nov. 2006.
[30] A. Shukla, A. Ghosh, A Joshi, “Improved multilevel hysteresis current regulation and capacitor voltage balancing schemes for flying capacitor multilevel inverter,” IEEE Trans. Power Electron., vol. 23, no. 2, pp. 518–529, March 2008.
[31] G. Gatea, T.A. Meynard, and H. Foch, “Stacked multicell converter (SM): properties and design,” in Proc. PESC, 2001, pp. 1583-1588.
[32] R. H. Baker, and L. H. Bannister, “Electric power converter,” U.S. Patent 3 867 643, Feb. 1975.
[33] E. Babaei, S. H. Hosseini, “Charge balance control methods for asymmetrical cascade multilevel converters,” in Proceeding of International Conference on Electrical Machines and Systems, 2007 , Korea, pp. 74-79.
[34] J. Song-Manguelle, S.Mariethoz, M. Veenstra, A. Rufer, “A Generalized design principle of a uniform step asymmetrical multilevel converter for high power conversion,” EPE, 2001, pp. 1-12.
[35] M. Manjrekar, T. A. Lipo, “A hybrid multilevel inverter topology for drive application,” Proc. APEC, 1998, pp. 523-529.
[36] A. Rufer, M. Veenstra, K. Gopakumar, “Asymmetric multilevel converter for high resolution voltage phasor generation,” EPE, 1999, Lausanne.
[37] S. Laali, K. Abbaszades and H. Lesani, “A new algorithm to determine the magnitudes of dc voltage sources in asymmetrical cascaded multilevel converters capable of using charge balance control methods,” in Proc. ICEMS, 2010, Incheon, Korea, pp. 56-61.
[38] P.A. Perez, P. Cortez, J. Rodriguez, “Predictive control algorithm technique multilevel asymmetric cascaded H-bridge inverters,” IEEE Transactions on Industrial Electronics, vol. 55, no. 12, pp. 4354-4361. December. 2008.
[39] S. Mariethoz, A. Rufer, “New configurations for the three-phase asymmetrical multilevel inverter,” IEEE, IAS, 2004, pp. 828-835.
[40] F.Z. Peng, “A generalized multilevel inverter topology with self voltage balancing,” IEEE Trans. Ind. Appl., vol. 37, no. 2, pp. 611-618, Mar./Apr. 2001.
[41] A. Chen, L. Hu, L. Chen, Y. Deng, G. Yao, X. He, “A multilevel converter topology with fault tolerant ability,” IEEE, APEC, 2004, pp. 1610-1616.
[42] J. Wang, “Multilevel Inverters and Their Applications in Power Systems,” PhD Thesis, Michigan State University, 2005.
[43] K. Corzine and Y. Familiant, “A new cascaded multilevel H-bridge drive,” IEEE Trans. Power Electron., vol. 17, no. 1, pp. 125-131, Jan. 2002.
[44] K.A. Corzine, and J.R. Baker, “Multilevel voltage-source duty-cycle modulation: analysis and implementation,” IEEE Trans. Ind. Electron., vol. 49, no. 5, pp. 1009-1016, Oct. 2002.
[45] A. Nami, F. Zare, A. Ghosh, and F. Blaabjerg, “A hybrid cascade converter topology with series-connected symmetrical and asymmetrical diode-clamped H-bridge cells,” IEEE Trans. Power Electron., vol. 26, no. 1, pp. 51-64, Jan. 2011.
[46] F.S. Kang, “A modified cascade transformer-based multilevel inverter and its efficient switching function,” Elsevier Journal of Electric Power Systems Research, vol. 79, pp. 1648–1654, 2009.
[47] F.S. Kang, S.J. Park, C.U. Kim, T. Ise, “Multilevel PWM inverters suitable for the use of stand-alone photovoltaic power system,” IEEE Trans. Energy Convers. vol. 20, no.4, pp. 906–915, 2005.
[48] S.G. Song, F.S. Kang, and S.J. Park, “Cascaded multilevel inverter employing three-phase transformers and single DC input,” IEEE Trans. Ind. Electron., vol. 56, no. 6, pp. 2005–2014, Jun. 2009.
[49] J. Dixon, J. Pereda, C. Castillo, and S. Bosch, “Asymmetrical multilevel inverter for traction drives using only one DC supply,” IEEE Trans. Vehicular Tech., vol. 59, no. 8, pp. 3736–3743, Oct. 2010.
[50] Y. Hinago and H. Koizumi, “A single-phase multilevel inverter using switched series/parallel dc voltage sources,” IEEE Trans. Ind. Electron., vol. 57, no. 8, pp. 2643–2650, August 2010.
[51] G. Waltrich and I. Barbi, “Three-phase cascaded multilevel inverter using power cells with two inverter legs in series” IEEE Trans. Ind. Appl., vol. 57, no. 8, pp. 2605-2612, August 2010.
[52] S.Bahravar, E. Babaei, S.H. Hosseini, “A new cascaded multilevel inverter topology with reduction in the number of switches by using charge balance control methods,” in Proc. IICPE, 2012, India.

[53] J. Ebrahimi, E. Babaei, and G.B. Gharehpetian, "A new multilevel converter topology with reduced number of power electronic components," IEEE Trans. Ind. Electron., vol. 59, no. 2, pp. 655-667, Feb. 2012.

[54] A. Ajami, A. Mokhberdoran and M.R. Jannati Oskuee," A New Topology of Multilevel Voltage Source Inverter to Minimize the Number of Circuit Devices and Maximize the Number of Output Voltage Levels," J Electr Eng Technol, vol. 8, no. 6, pp. 1328-1336, 2013.

[55] A. Ajami, M.R. Jannati Oskuee, A. Mokhberdoran and M. Toupchi Khosroshahi, "Advanced Cascade Multilevel Converter with Reduction in Number of Components," J Electr Eng Technol, vol. 9, no. 1, pp. 127-135, 2014.

[56] E. Babaei, S. Laali, and Z. Bayat, "A single-phase cascaded multilevel inverter based on a new basic unit with reduced number of power switches," IEEE Trans. Ind. Electron., vol. 62, no. 2, pp. 922-929, Feb. 2015.

[57] E. Babaei, S. Laali, and S. Bahravar, "A New Cascaded Multilevel Inverter Topology with Reduced Number of Components and Charge Balance Control Methods Capabilities," *Electric Power Components and Systems, in press.*

[58] F.Z. Peng, "Z-source inverter," IEEE Trans. Power Electron., vol. 39, no. 2, pp. 504-510, March/April 2003.

[59] S. Laali and E. Babaei, "Capacitor based asymmetric cascaded multilevel inverters with capability of charge balance control methods," *The 39th Annual Conference of the IEEE Industrial Electronics Society (IECON),* Nov. 10-13, 2013, Vienna, Austria, pp. 499-504.

[60] E. Babaei, and S. Laali, "New cascaded multilevel inverter by using capacitor based basic units with the capability of charge balance control method," in *Proc. 13th International Conference on Electrical Engineering/Electronics, Computer, Telecommunication and Information Technology (ECTI-CON),* June 28 - July 1, 2016, Chiang Mai, Thailand.

[61] Z. Du, B. Ozpineci, L.M. Tolbert, and J.N. Chiasson, "Inductorless DC-AC cascaded H-bridge multilevel boost inverter for electric/hybrid electric vehicle applications," IEEE-IAS Industry Applications Conf., 2007, pp. 603-608.

[62] E. Babaei and S.H. Hosseini, "New cascaded multilevel inverter topology with minimum number of switches," Elsevier Journal of Energy Conversion and Management, vol. 50, no. 11, pp. 2761-2767, Nov. 2009.

[63] M. Farhadi Kangarlu, E. Babaei, and S. Laali, "Symmetric multilevel inverter with reduced components based on non-insulated dc voltage sources," IET Power Electronics, vol. 5, no. 5, pp. 571-581, May 2012.

[64] M. Farhadi Kangarlu, E. Babaei, and M. Sabahi, "Cascaded cross-switched multilevel inverter in symmetric and asymmetric conditions," IET Power Electronics, vol. 5, no. 5, pp. 571-581, July 2013.

[65] E. Babaei, M. Farhadi Kangarlu, M. Sabahi, and M.R.A. Pahlavani, "Cascaded multilevel inverter using sub-multilevel cells," Electr. Power Syst. Res., vol. 96, pp. 101-110, 2013.

[66] L.G. Franquelo, J. Rodriguez, J.I. Leon, S. Kouro, R.C. Portillo, and M.A.M. Prats, "The age of multilevel converters arrives," IEEE Ind. Electron. Magazine, vol. 2, no. 2, pp. 28-39, Jun. 2008.

[67] J. Rodriguez, L.G. Franquelo, S. Kouro, J.I. Leon, R.C. Portillo, M.A.M. Prats, and M.A. Perez, "Multilevel converters: An enabling technology for high power applications," Proceedings of the IEEE, vol. 97, no. 11, pp. 1786-1817, Nov. 2009.

[68] V. G. Agelidis, M. Calais, "Application specific harmonic performance evaluation of multicarrier techniques," IEEE, pp. 172-178. 1998.

[69] S. Kouro, P. Lezana, M. Angulo, J. Rodriguez, "Multicarrier PWM for dc-link ripple feed forward compensation for multilevel inverters," IEEE Transactions on Industrial Electronics, vol. 23, no. 1, pp. 52-59, January 2008.

[70] B. P. McGrath, D. G.Holmes, "Multicarrier PWM strategies for multilevel inverters," IEEE Transactions on Industrial Electronics, vol. 49, no. 4, pp. 858-867, August 2002.

[71] J. N. Chiasson, L. M. Tolbert, K. J. McKenzie, Z. Du, "Control of a multilevel converter using resultant theory," IEEE Transaction on control system technology, vol. 11, no. 3, May 2003.

[72] A. K. Al-Othman, T. H. Abdolhamid, "Elimination of harmonics in multilevel inverters with non-equal dc sources using pso," Elsevier Journal of Energy Conversion and management, vol. 50, pp. 756-764, 2009.

[73] Z. Du, L. M. Tolbert, J. N. Chiasson, "Harmonic elimination for multilevel converter with programmed PWM method," IEEE Industry Application Society Annual Meeting, Seattle, Washington, pp. 2210-2215, Oct. 2004.

[74] L. M. Tolbert, F. Z. Peng, T. Cunnyngham, J. N. Chiasson, "Charge balance control scheme for cascade multilevel converter in hybrid electric vehicles," IEEE Transaction on Industrial Electronics, vol. 49, no. 5, October 2002.

[75] E. Babaei, G. Ahrabian, G. Alizadeh, S. H. Hosseini "Charge balance control method for symmetrical multilevel inventers based UPQC,".in Proc. Psc. 2006, Tehran, Iran, pp. 1448-1456.

[76] V. Tipsuwanporn;C. Sodaban;P. Thepsatorn "Adaptive switching frequency in delta modulation inverter for single phase induction motor drives " in Proc. 2005 IEEE International Conference on Industrial Technology, 14-17 Dec. 2005.

[77] S. Laali and E. Babaei, "Capacitor based asymmetric cascaded multilevel inverters with capability of charge balance control methods," *The 39th Annual Conference of the IEEE Industrial Electronics Society (IECON)*, Nov. 10-13, 2013, Vienna, Austria, pp. 499-504.

[78] S. Laali and E. Babaei, New cascaded multilevel inverter by using capacitor based basic units with the capability of charge balance control method," *ECTI Transactions on Electrical Eng., Electronics, and Communications*, vol. 11, no. 2, pp. 203-212, Nov. 2017.

[79] E. Babaei and F. Sedaghati, "Series-parallel switched capacitor based multilevel inverter," in *Proc. ICEMS*, 2011, China, pp. 1-5.

[80] E. Babaei, M. Farhadi Kangarlu, and M. Sabahi, "Extended multilevel converters: An attempt to reduce the number of independent dc voltage sources in cascaded multilevel converters," *IET Power Electron.*, vol. 7, no. 1, pp. 157-166, Jan. 2014.